



www.vlsisymposium.org



Media Contacts:

Secretariat for VLSI Symposia (Japan and Asia)

c/o ICS Convention Design, Inc.
Chiyoda Bldg. 1-5-18 Sarugaku-cho,
Chiyoda-ku, Tokyo 101-8449 Japan
Tel: +81-3-3219-3541
Fax: +81-3-3219-3577
E-mail: vlsisymp@ics-inc.co.jp

BtB Marketing (North America and EU)

Chris Burke
BtB Marketing
co-Media Relations Director
Tel: +1-919-872-8172
E-mail: chris.burke@btbmarketing.com

For Immediate Release

Tip Sheet for

2013 Symposia on VLSI Technology and Circuits

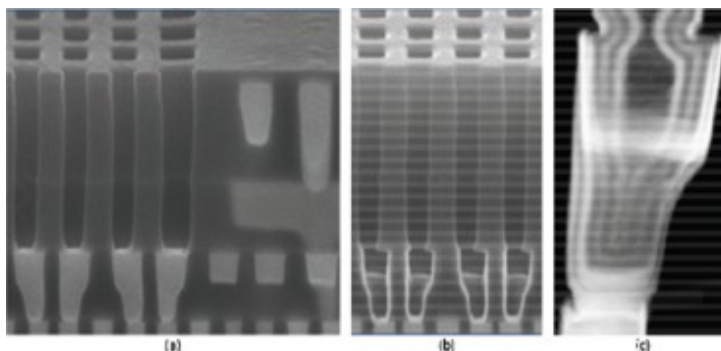
日本京都 – 本新聞剪集是 [2013 Symposia on VLSI Technology and Circuits](#) 會議前的精選論文簡介。本會議將會於 2013 年 6 月 11-13 日 (Technology) 和六月 12-14 日 (Circuit) 於 Rihga Royal Hotel Kyoto, 舉行。

A) 技術會議 (VLSI Technology) 焦點論文 (Highlight)

(1) 22-nm Embedded DRAM SoC Technology featuring Trigate Transistors and MIMCAP COB

今年英特爾(Intel)將會發表 22 奈米嵌入式(embedded) 動態隨機記憶體(DRAM) 技術於傳統體(bulk)矽晶圓。他們實現了極小 $0.029 \mu\text{m}^2$ DRAM 單位晶包(cell)，採用高效能三閘極(tri-gate)電晶體抑制漏電流，能提供超過 100 豪秒(msec)儲存時間於 95 度 C。英特爾並採用“位元上電容”(Capacitor over byline)，設計金屬-絕緣體-金屬 (MIM)電容於後段銅製成導線與低介電(low-K)絕緣層技術上。本技術具有極高的記憶儲存時間及良率。

(Paper T2-1, “A 22 nm High Performance Embedded DRAM Technology Featuring Tri-gate Transistors and MIMCAP COB,” R. Brain et al., Intel)



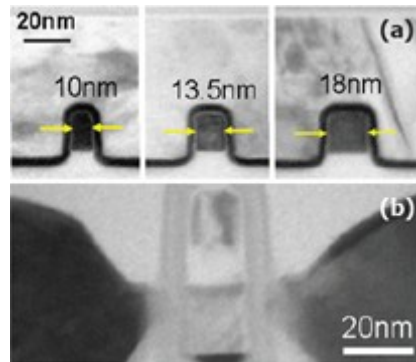
Cross-section transmission electron micrograph of
a high aspect-ratio COB eDRAM bitcell array.

oooooooooooooooooooo

**Aggressively scaled SiGe Channel on insulator Trigate pFET
with implant-free process**

IBM 和 Global foundries 公司將共同發表矽鍺通道 P 型三閘極電機體(Tri-gate)於絕緣基板(SOI)。矽鍺通道因為具有較高電洞遷移率(mobility)，被認為是做 P 型電晶體極佳選擇。本篇論文將探討極小電晶體鰭寬(Fin width)和閘極長(gate length)小於 18 奈米元件特性。利用抬高源極和汲極和最佳化無離子植入製程(Implant free)，電晶體操作電流可達 1.1mA/ μm ，而漏電流可小於 100nA/ μm 於 1V 操作電壓下。

(Paper T2-2, "High Performance $\text{Si}_{1-x}\text{Ge}_x$ Channel on Insulator Trigate PFETs Featuring an Implant-Free Process and Aggressively-Scaled Fin and Gate Dimensions," P. Hasemi et al., IBM & GLOBALFOUNDRIES)



(a) Cross-section TEM images across SiGe fin with $H_{fin} = 17 \text{ nm}$ and $W_{fin} = 10, 13.5 \text{ and } 18 \text{ nm}$..
(b) Cross-section TEM image of a single -fin with Gate length less than 20 nm.

oooooooooooooooooooo

**Strained Ge-in-STI Implant-Free Quantum Well pFETs
for Silicon-compatible CMOS platform**

要達到摩爾定律預測的 10 奈米技術，P 型電晶體的性能至關緊要。IMEC 和 global foundries 將發表矽鍺通道 P 型電晶體，利用矽鍺應力緩衝層環繞於電晶體四周淺溝槽絕緣(STI)區域。此外，他們也採用抬高源極和汲極(75%鍺)製程(raised source/drain)，無離子植入量子井(implant free quantum well)，以及取代式金屬閘極製程(replacement metal gate)。極高的電洞遷移率($550\text{cm}^2/\text{Vs}$)和極佳的“負壓高溫可靠度”(NBTI)測試展示優良的特性。

(Paper T2-3, "First Demonstration of Strained Ge-in-STI IFQW pFETs Featuring Raised SiGe 75% S/D, Replacement Metal Gate and Germanided Local Interconnects," J. Mitard et al., IMEC & GLOBALFOUNDRIES)

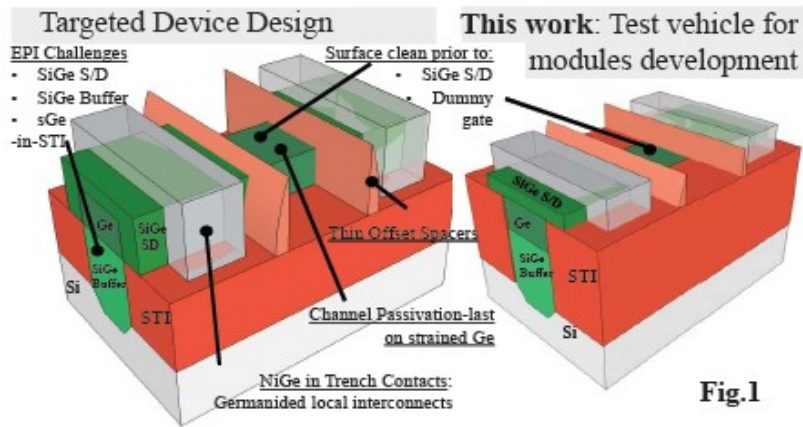


Fig.1

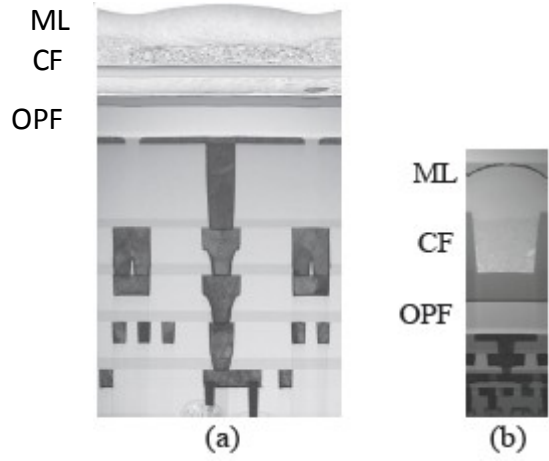
Schematic view of proposed (Left) and studied (Right) structure of Ge-in-STI IFQW pFETs with raised SiGe source/drain and Germanided Local Interconnects. Germanium channel is regrown on SiGe buffer region which is defined by STI.

oooooooooooooooooooo

Organic Photoconductive Film Image Sensor with Extremely High Saturation

半導體矽 CMOS 影像偵測器(image sensor, CIS)是數位相機和手機裡的關鍵元件。儘管近年來 CIS 元件在性能和雜訊處理已經多所提升，但是在同時感測明亮圖案對比的動態範圍卻有待改進。Panasonic 和 Fuji film 提出了有機光導體薄膜(OPF)於 CMOS 電路上。其飽和水平可達 12dB, 遠高於傳統 CIS 元件。其元件並可迴避相互干擾，而且可提供超過 30 度廣視角。

(Paper T2-4, "Thin Organic Photoconductive Film Image Sensors with Extremely High Saturation of 9500 electrons / μm^2 ," M. Mori et al., Panasonic and FUJI FILM)



Cross Sectional TEM images of 3.0 μm (LHS) and 0.9 μm (RHS) pixels of Organic Photoconductive Film Image Sensor

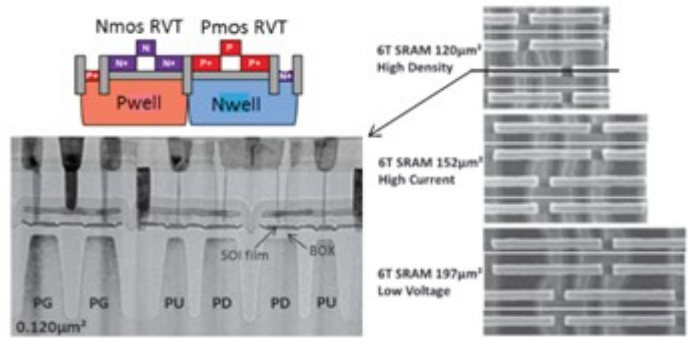
ML: Micro Lense, CF: Color Filters, OPF: Organic Photoconductive Film

oooooooooooooooooooo

Ultra Low Leakage, High Speed and Low Voltage FDSOI SRAMs

STMicroelectronics 和 CEA-LETI 將發表 6 電晶體靜態隨機記憶體(6T SRAM)，具備高密度($0.120 \mu\text{m}^2$)高電流和低電壓操作特性。製程技術採用 28 奈米全空乏(Full depletd)絕緣基板(SOI)技術。與傳統的體矽晶圓(bulk silicon) CMOS 技術相比，其改善的讀取電流可達+50%(@Vdd=1.0V)和+200%(@Vdd=0.6V)。此外，最小操作電壓(Vmin)可減少 100mV。利用絕緣基板(SOI)的背向閘級控制(back-gate bias)可達極低的待機漏電流 1pA 在 Vdd=0.6V

(Paper JJ2-3, "FDSOI Process/Design full solutions for Ultra Low Leakage, High Speed and Low Voltage SRAMs," R. Ranica et al., STMicroelectronics & CEA-LETI)



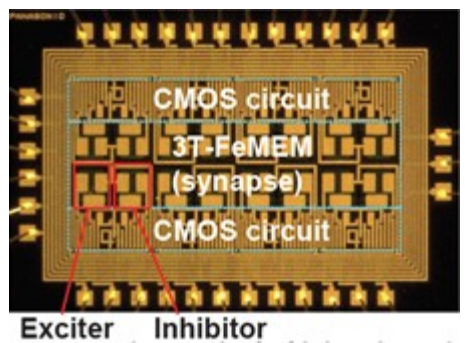
Cross-sectional and plain view of FDSOI SRAM cells for High Density ($0.120 \mu\text{m}^2$), High Current ($0.152 \mu\text{m}^2$) and Low Voltage($0.197 \mu\text{m}^2$).

oooooooooooooooooooo

Three-Terminal Ferroelectric Memristor enabling On-chip Pattern recognition

類神經網路(neural network)被視為是極具效率的自我學習和自動辨識方法，具備低耗能，高平行處理能力和彈性。要實現類神經網路的神經突觸(Synapse)，連續的傳導調節是必要的電路設計要素。Panasonic 將發表利用三端點非揮發記憶體來實現圖樣自動辨識類神經電路。總共 16 個神經突觸是利用多個三端點鐵電組器(ferroelectric memristor)。利用這種類神經網路，即使一個不完整的圖像也能自動辨識。

(Paper T16-2, "Neural Network based on a Three-Terminal Ferroelectric Memristor to Enable On-chip Pattern Recognition," Y. Kaneko et al., Panasonic)



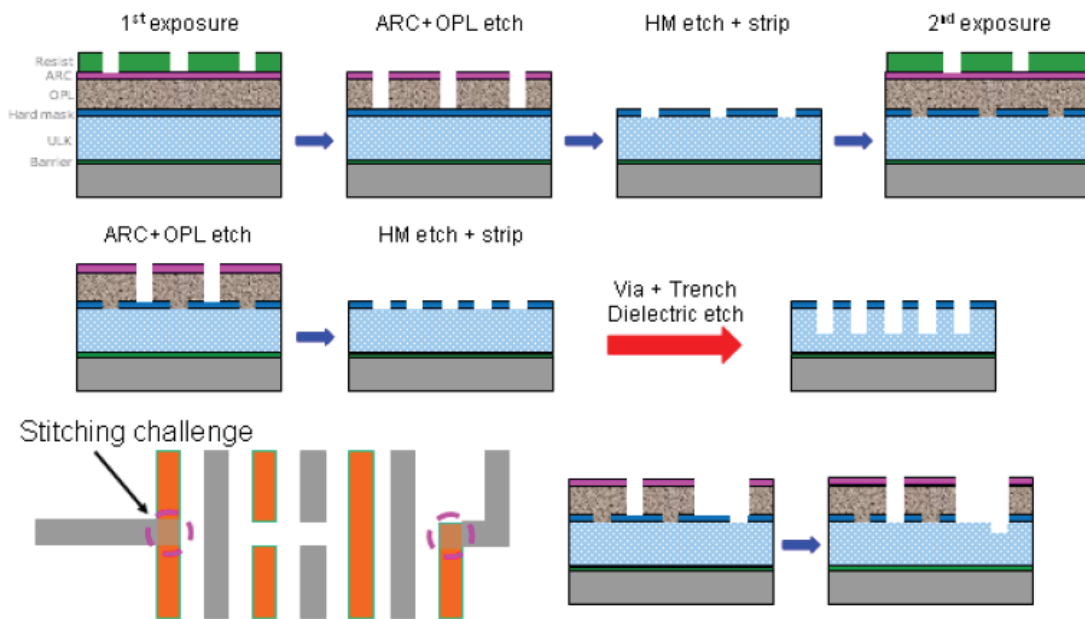
Chip micrograph of fabricated neural network chip with Ferroelectric Memristors .

oooooooooooooooooooo

64 nm Pitch Interconnects

STMicroelectronics, Samsung, GLOBALFOUNDRIES 和 IBM 將聯合發表 64 奈米 pitch 後段導線製程整合技術用以應用在先進 CMOS 節點(node)上。利用許多尖端曝光技術，和自我對準貫孔 (self-aligned VIA)製程，極佳的微縮能力和可靠度將提供各種先進 CMOS 後段導線製程技術基礎。

(Paper T14-5, "64nm Pitch Interconnects: Optimized for Designability, Manufacturability and Extendibility," C. Goldberg et al., STMicroelectronics, Samsung, GLOBALFOUNDRIES, IBM)



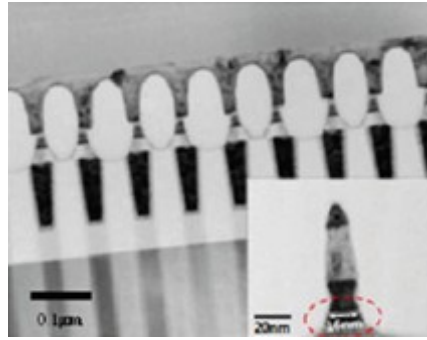
Double patterning with Lithography-Etching & Lithography-Etching (LELE) process flow of Trench formation for 64nm pitch interconnect.

oooooooooooooooooooo

Sub-20 nm perpendicular STT-MRAM with enhancement of switching margin

隨機存取自旋磁阻記憶體(STT MRAM)的最大挑戰之一就是磁性層之間的相互干擾。Samsung 將發表一種新型的 20 奈米自旋磁阻記憶體結構可大幅改善穩定度並降低相互干擾。極寬的操作磁場範圍和極窄的漂移磁場(Hoffset=100Oe)可以達成。這個新型的自旋磁阻記憶體結構的操作電壓範圍很充足可以保證 20 奈米 STT MRAM 元件記憶狀態可以被順利翻轉。

(Paper T6-3, "Enhancement of switching margin by utilizing superior pinned layer stability for sub-20 nm perpendicular STT-MRAM," W. C. Lim et al., Samsung)



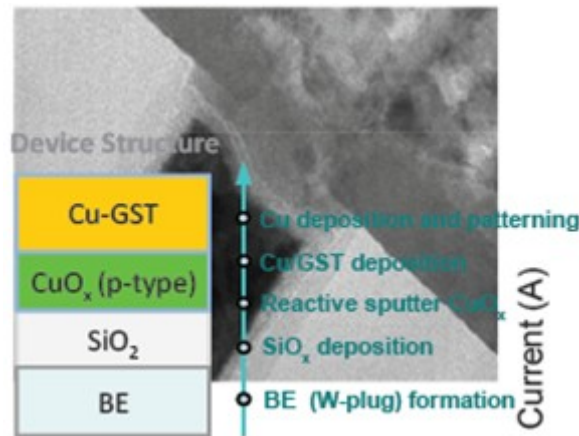
Cross-sectional TEM image of MTJs at 20 nm node

oooooooooooooooooooo

Novel Conducting Bridge Resistive Memory using a Semiconducting Dynamic E-field Moderating Layer

電阻式隨機存取記憶體(ReRAM)被視為是下一代取代大容量 NAND Flash 快閃記憶體的熱門人選之一，並吸引諸多研究學者參與。ReRAM 通常具有高開關電阻比, 高速運作和高密度微縮能力。其中，導電橋式 ReRAM (conducting bridge ReRAM) 是利用操作產生或是破壞導電橋產生記憶狀態。但是這種操作機制很容易因為高電場產生對絕緣層的破壞。Macronix(旺宏電子)發表一論文指出這種高電場破壞可以透過一種 p 型的氧化銅半導體來調節和阻隔銅擴散。良好的元件性能和可靠度可以達成。

(Paper T8-4, "A Novel Conducting Bridge Resistive Memory Using a Semiconducting Dynamic E-field Moderating Layer," F. M. Lee et al., Macronix)

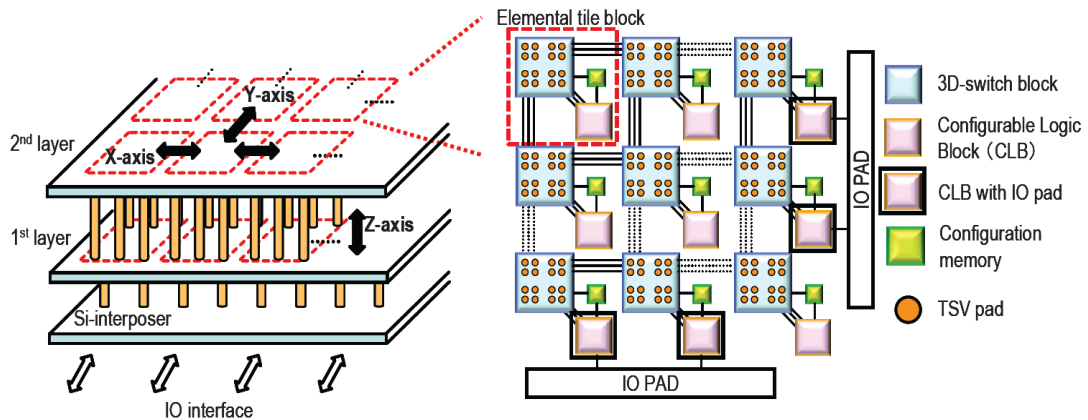


TEM image and the cell structure of the EM Conducting Bridge Device. By adding a p-type CuOx layer, the applied voltage is redistributed, and E-field is reduced.

B) 電路會議 (VLSI Circuits) 焦點論文 (Highlight)

是否可以建立高性能的 3D 結構，以提高場域可程式化閘陣列 (FPGA) 的可擴展性？

FPGA 已成為客製化積體電路 (customer IC) 的選項之一，它可以提供彈性的計算平台，並節省成本與較短上市時間。三維積體電路(3D IC)透過穿透矽通孔(TSV)技術，將增強功能性、大小整合及積體系統的性能」。此文獻探討小電容嵌入式 TSV 設計去改善 Z 軸傳輸性能，也敘述創新的同步時脈，以降低層與層之間時脈差的方案。(摘錄自論文編號 C3-5, "Scalable 3D-FPGA using wafer-to-wafer TSV interconnect of 15 Tbps/W, 3.3 Tbps/mm²," F. Furuta *et al*, ASET and Hitachi)



Architecture of homogeneous 3D-FPGA.

oooooooooooooooooooo

使用 22nm 三重閘級 CMOS 製程來完全整合切換式電容降壓 直流-直流 (DC-DC) 轉換器

今天，高性能 DC-DC 轉換器設計已經針對動態電壓、頻率調節 (DVFS) 和/或重電壓的系統單晶片 (SOC) 來發展了。在 DC-DC 轉換器會議中，Intel 會介紹一個切換式電容降壓轉換器，它是使用 22nm 三重閘級 CMOS 技術來設計，此技術特別著重於彈性和未來展望。這個轉換器使用固定的 1.225V 輸入電壓，經由改變高密度 MIM 電容的連接，提供 0.4-1V 大範圍的輸出電壓，最高轉換效率可達 84%。它能提供所有的數位回饋控制並有效的縮小 die 面積。(摘錄自論文編號 C13-5, "A 0.45-1V Fully Integrated Reconfigurable Switched Capacitor Step-Down DC-DC converter with High Density MIM Capacitor in 22nm Tri-Gate CMOS," R. Jain *et al*, Intel)

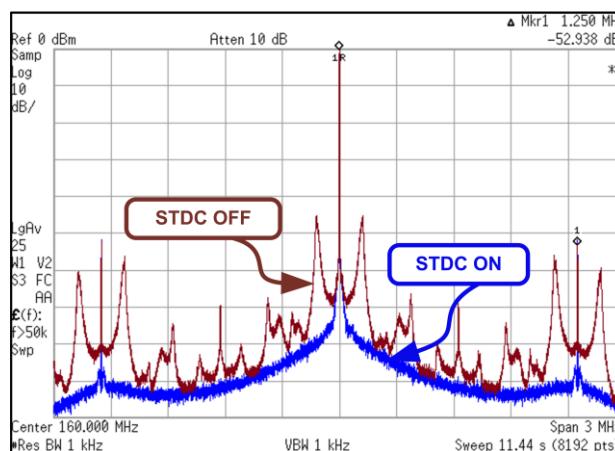


Cross-sectional TEM image of MIM capacitor and die photo.

oooooooooooooooooooo

使用重組式時間至數位轉換器 (ScramblingTime to Digital Converter, STDC)的 2.5GHz ,5.4mW 輸出 1 對 2048 數位時脈倍頻器

儘管數位鎖相迴路(DPLL)本身具有的數位特性，DPLL 會受到因時間至數位轉換器(Time to Digital Converter, TDC)的影響而產生抖動(Jitter)。當互補式金屬氧化物半導體(CMOS)進入奈米(Nanometer)製程，DPLL 開始變成一種具有吸引力的時脈產生器。本篇論文由來自奧勒岡州大(Oregon State Univ.)的團隊發表了全新的重組式 TDC (Scrambling TDC)技術，該技術可以減少抖動累積的時間而不需使用高功耗的高解析度 TDC(High resolution TDC)。本架構可以輸出介於 150 百萬赫茲(MHz)到 2560 百萬赫茲的震盪頻率，抖動為 2.7 皮秒(picosecond,ps)[均方根值,rms]，5.4 微瓦(mW)的功率損耗，以高迴授除頻數而言，此架構有最低的抖動及最佳的功率表現。(摘錄自論文編號 C12-1, “A 2.5GHz 5.4mW 1-to-2048 Digital Clock Multiplier using a Scrambling TDC,” R. N. Nandwana *et al*, Oregon State Univ.)

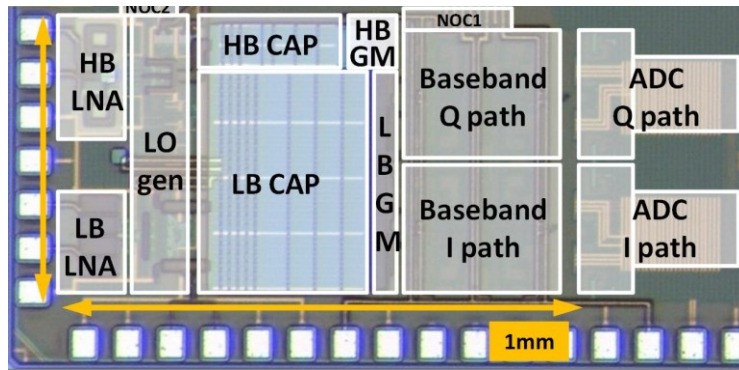


Measured output spectrum with and without scrambling TDC (STDC).

oooooooooooooooooooo

藉由先進 CMOS 製程邁向軟體無線電 (Software Defined Radio, SDR) 的實際使用

在軟體無限收發器的實際使用上，製程的進步使得功耗可以大幅的下降，頻帶也可以更加延伸，卻又可以在低供應電壓的狀態下，保持高線性度。比利時微電子中心(IMEC Leuven)與瑞薩電子(Renesas Electronics Corp.)提出了第一顆由 28 奈米 CMOS 製程，寬頻且具有高線性度的 SDR 接收器的論文。在 400MHz 到 6GHz 的頻率範圍間，其雜訊指數(Noise Figure)可介於 1.8~3dB 之間，二階輸入截止點(Second order intercept point, IIP2)高於 85dbm 頻外(out of band)三階輸入截止點(Third order intercept point, IIP3)高於 3dbm，於 0.9 伏電源供應時，功率耗損為 40mW。本篇論文提出了期望中的 SDR 收發器，甚至可以應用於行動裝置端。(摘錄自論文編號 C11-1, “A 0.9V Low-Power 0.4-6GHz Linear SDR Receiver in 28nm CMOS,” J. Borremans *et al*, imec)

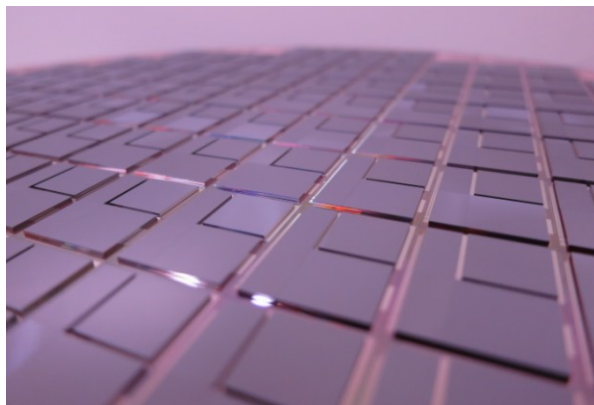


Die photo.

oooooooooooooooooooo

下世代記憶體介面 CoWoS (Chip-on-Wafer-on-Substrate) ?

異質性整合的 3D 堆疊技術，在後摩爾定律的工業界中持續有著許多的創新。記憶體的介面在不同的產品中也在尋找最佳解法，如：穿透矽通孔(TSV)、Wide-IO、MCP、POP 和矽中介層 (Silicon Interposer)。TSMC 的工程師論證了一種 1Tbps 高速嵌入式 DRAM (eDRAM) 介面，是用他們的前至後段異質性整合的解法叫做 CoWoS 所做成的。這篇論文描述了一種用 40nm CMOS 製程做出的低成本，1024 位元寬的平行收發器 (Transceiver)，堆疊在用 65nm CMOS 製程之矽中介層(Silicon Interposer)上，做為 eDRAM 和 SoC 間之橋樑。(摘錄自論文編號 C3-1, "An Extra Low-Power 1Tbit/s Bandwidth PLL/DLL-less eDRAM PHY Using 0.3V Low-Swing IO for 2.5D CoWoS Application," M. Lin *et al*, TSMC)

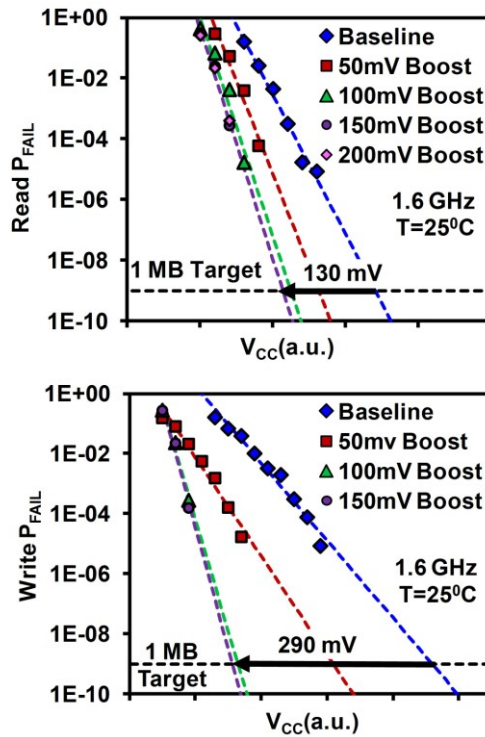


Die photo after stacking.

oooooooooooooooooooo

以 22 奈米三重閘極 CMOS 製程製作之節能且具備大範圍動態電壓操作區間之雙重電源 (Vcc) 8 電晶體 (8T) 儲存位元的 SRAM 陣列

在此展示了一個以 22 奈米三重閘極 CMOS 製程製作的 8 個電晶體 (8T) 儲存位元 SRAM，其容量為 14KB，具備細微調變刻度之雙重 Vcc 輔助技術。在讀取或寫入時，可以選擇性的以 Vboost 電位拉高其操作電壓，以改善整個晶片的最小操作電壓。將 Vboost 從 Vcc 電位開始，以 50mV 的間隔拉高來測量位元失效率 (Pfail)。從操作在 1.6GHz 的 1MB 容量之陣列上，所測量到的 Pfail 對於 Vcc 之數據，利用外推法可以證明，相較於正常之單個 Vcc 的陣列，雙重 Vcc 陣列的最小讀取操作電壓可以降低 130mV，最小寫入操作電壓也可以降低 290mV。量測資料也顯示，在 0.4-1.6GHz 的操作頻率範圍內，調變不同的 Vboost 電位、陣列活動率以及電壓穩定器效率下，降低 130mV 到 290mV 的 Vmin 可以達到 27-46% 的節能效果。(摘錄自論文編號 JJ2-6, "Dual-Vcc 8T-bitcell SRAM Array in 22nm Tri-Gate CMOS for Energy-Efficient Operation across Wide Dynamic Voltage Range," J. Kulkarni *et al*, Intel)



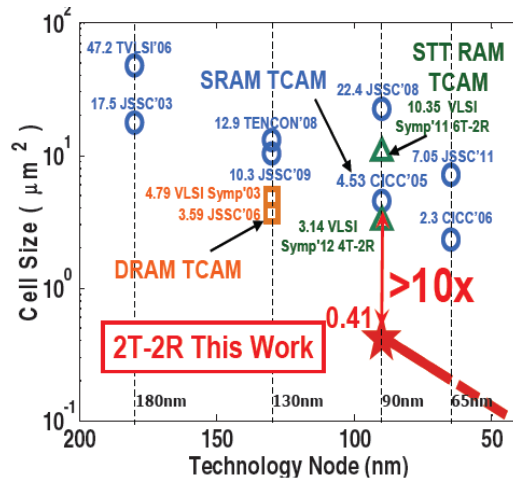
Measured read and write failure rate (P_{FAIL}) vs. V_{CC}.

□□□□□□□□□□□□□□□□□□□□□□□□

基於相變記憶體技術的最小非揮發性 TCAM 單元

使用 2-電晶體(T)/2-電阻性儲存單元(R)與相變記憶體 (PCM)技術的非揮發性 TCAM 晶片首次展示問世。在此呈現的 TCAM 單元達成了最小的單元面積，為 SRAM 單元的 1/10。除了上述的 2T-2R 單元技術之外，一個新的搜索操作，稱為雙位編碼架構(2 bit encoding scheme)和時脈自我參考感測架構(docked self-referenced sensing scheme)，用 90nm CMOS 技術完成了 1MB 的 TCAM 晶片。該晶片達成了較短的比對時間，在 1.2V 和 0.75V 工作電壓下分別花費了 1.9ns

和 9.8ns。(摘錄自論文編號 C9-1, “1Mb 0.41 μm^2 2T-2R Cell Nonvolatile TCAM with Two-bit Encoding and Clocked Self-Referenced Sensing,” J. Li *et al*, IBM)

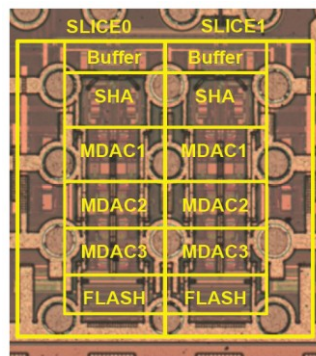


Comparison of proposed TCAM cell size with the state-of-art.

oooooooooooooooooooo

高性能，低功耗的類比數位轉換器 (ADC)

博康(Broadcom)將展示一個時間交錯管線式(Time-Interleaved pipeline) 5.4GS/s 的 12 位元 類比數位轉換器(ADC)，從而使其寬帶直接採樣接收機，可以適用在大部份之有線和無線通信系統中。為了實現高速和低功耗，新穎的放大器拓撲(Amplifier Topology)和乘法式類比數位轉換器 (Multiplying Digital-To-Analog Converter, MDAC) 結構在此被提出。此 ADC 是用 28 奈米 CMOS 技術實現，並達成對 2.6GHz 的輸入頻率 的信號噪聲比(SNR)為 61dB，而功耗僅為 500mW。(摘錄自論文編號 C8-1, “A 5.4GS/s 12b 500mW Pipeline ADC in 28nm CMOS,” J. Wu *et al*, Broadcom)

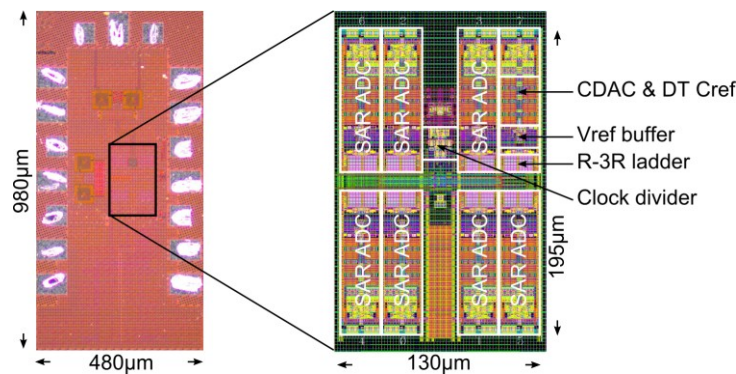


Die photo.

oooooooooooooooooooo

下一代高速鏈接的 8.8GS/s 8 位元 ADC

在“奈奎斯特轉換器”(Nyquist Converters) 的部份，這是最重要的課題之一，在低功耗 35mW，與 1V 電源電壓和小芯片面積為 $130\ \mu\text{m} \times 195\ \mu\text{m}$ 在 32nm CMOS SOI 技術下，8 倍的交錯式 SAR ADC 已經達到如此高的操作速度。其 FOM 是 $58\text{fJ}/\text{conversion-step}$ 。此 ADC 具有優異的性能比相較於現有基於各種有趣技術的 6 位元精度 4GS/s 的 ADC，其中包括一個低功耗電壓參考緩衝器，與每通道增益控制和傳送閘 (Pass-Gate) 選擇器，以應用於其低偏移時脈架構，並將被 IBM 研究中心 (蘇黎世) 和洛桑聯邦理工學院 (EPFL) 在會議上發表。(摘錄自論文編號 C21-1, “A 35mW 8b 8.8 GS/s SAR ADC with Low-Power Capacitive Reference Buffers in 32nm Digital SOI CMOS,” L. Kull *et al*, IBM and EPFL)



oooooooooooooooooooo

一個使用生質阻抗和雜訊整型的體內傳輸之全積體化的脈波傳導速度感測儀

測量硬化動脈的脈波傳導速度 (PWV)，是診斷心血管疾病的一種重要評估方式。韓國科技技術學院 (KAIST) 提出了一種全電子式量測系統，裡頭包含了心電感測器和積體化的脈波傳導速度感測儀，將之分別置於人體的胸部和腕關節，如此脈波傳導速度感測儀能測得經由動脈傳遞來的生質阻值 (BI)。吾人便能藉由心電感測器測得的訊號和測得生質阻抗的時間差進而推導出脈波傳導速度，這種單純建立在體內量測方式可將以往難以處理的體外導線造成誤差全部排除。(摘錄自論文編號 C17-4, “An Integrated Pulse Wave Velocity Sensor using Bio-impedance and Noise-shaped Body Channel Communication,” W. Lee *et al*, KAIST)

