

# 2013年VLSI回路シンポジウム 注目論文のご紹介

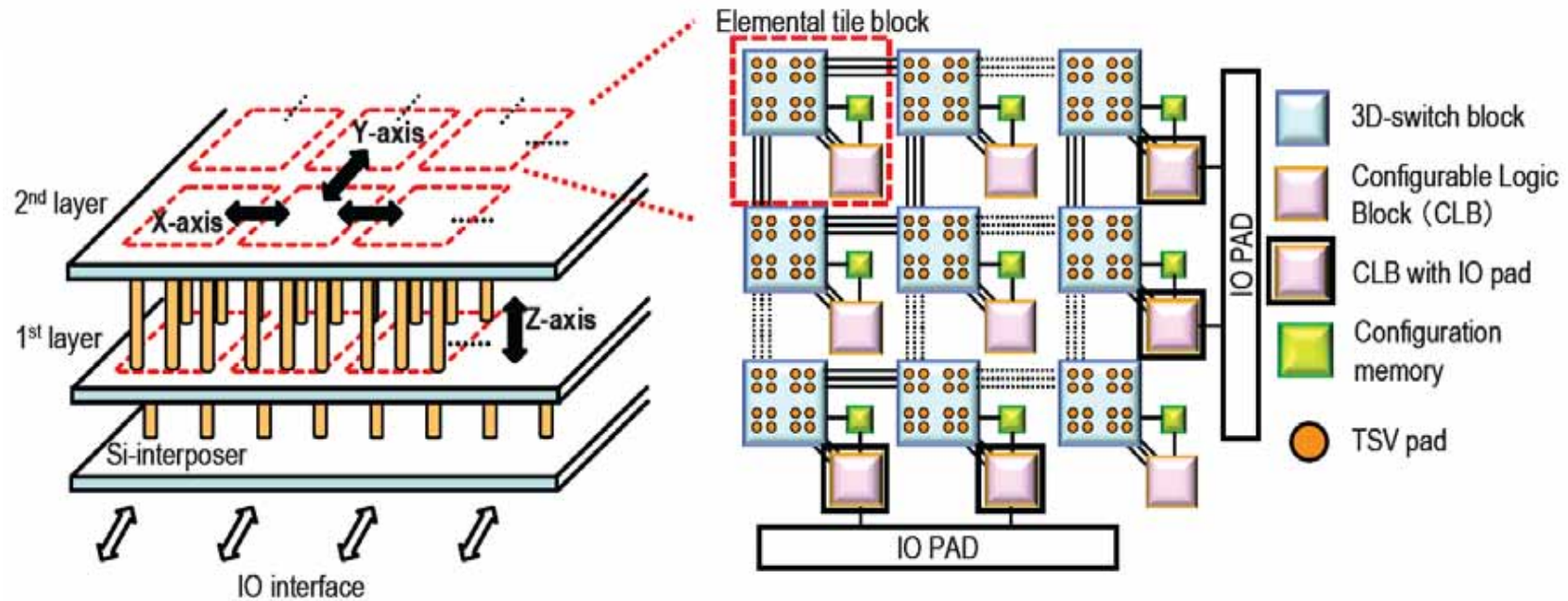
VLSI回路シンポジウムプログラム委員長  
蕪尾 英之

# 10件のハイライト論文の紹介

JFE(日本・アジア)とNAE(米国・欧州)とのプログラム委員会にて、109本の秀逸な採択論文から、論文のクオリティ、技術のインパクト等を考慮し、VLSI回路技術分野として**話題性のある10の論文**をハイライトとして選定しました。

詳細はTip Sheetをご覧ください。

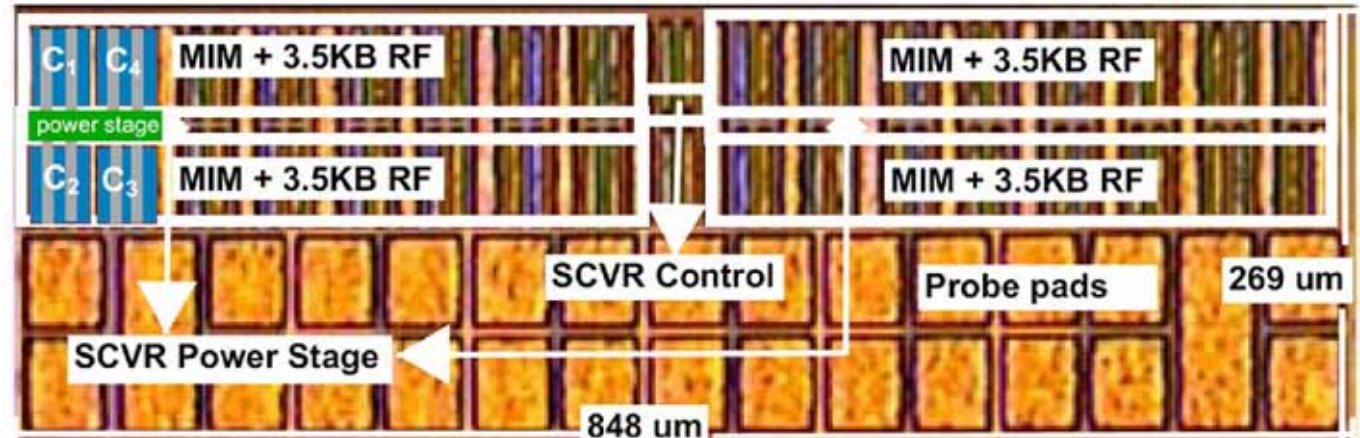
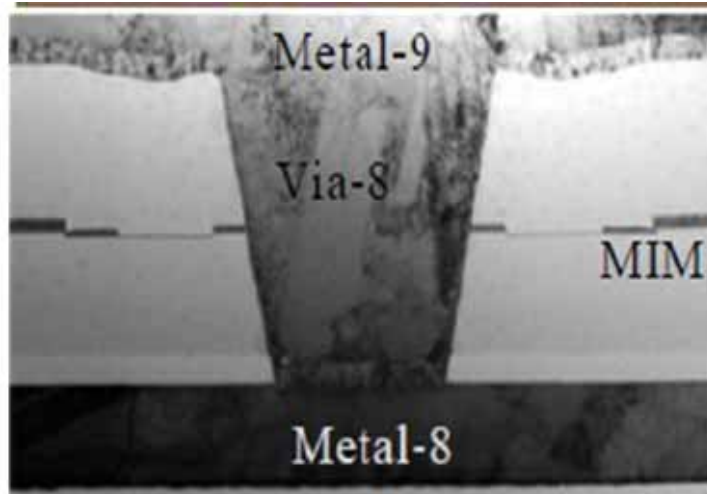
(C3-5: ASET, Hitachi)



## 同一チップを積層した3次元FPGAのアーキテクチャ

(Paper C3-5, "Scalable 3D-FPGA using wafer-to-wafer TSV interconnect of 15 Tbps/W, 3.3 Tbps/mm<sup>2</sup>," F. Furuta *et al.*, ASET and Hitachi)

- 貫通ビア(TSV)を用いた3次元集積回路技術をFPGAに適用
- 積層するチップ数に応じてFPGAの機能・集積度・性能をスケラブルに向上
- TSVの寄生容量の低減技術、回路中にTSVを埋め込む設計手法、3次元集積チップ間のクロックスキューを低減する回路技術など、3次元集積回路技術を実現する上でのキー技術が満載



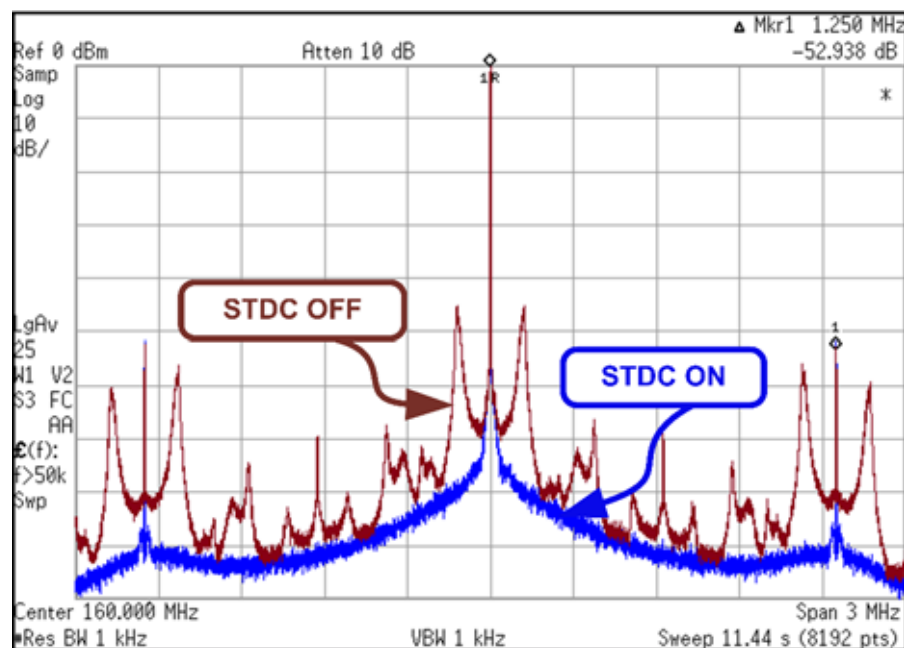
## MIMキャパシタの断面写真とDC-DCコンバータのチップ写真

(Paper C13-5, "A 0.45-1V Fully Integrated Reconfigurable Switched Capacitor Step-Down DC-DC converter with High Density MIM Capacitor in 22nm Tri-Gate CMOS," R. Jain *et al.*, Intel)

- SoC向け**オンチップ電源回路**
- 1.225Vの入力電圧から、オンチップの高密度**MIMキャパシタ**の接続変更により、0.45-1Vの範囲の出力電圧を得ることができる。
- 最大効率は84%に達し、フィードバック制御を含め**全てデジタル回路**、かつ**小面積**で実現されていることが特徴である。

# スクランプリングTDCを用いた2.5GHz、5.4mWの低ジッタデジタルPLL

(C12-1: Oregon State Univ.)

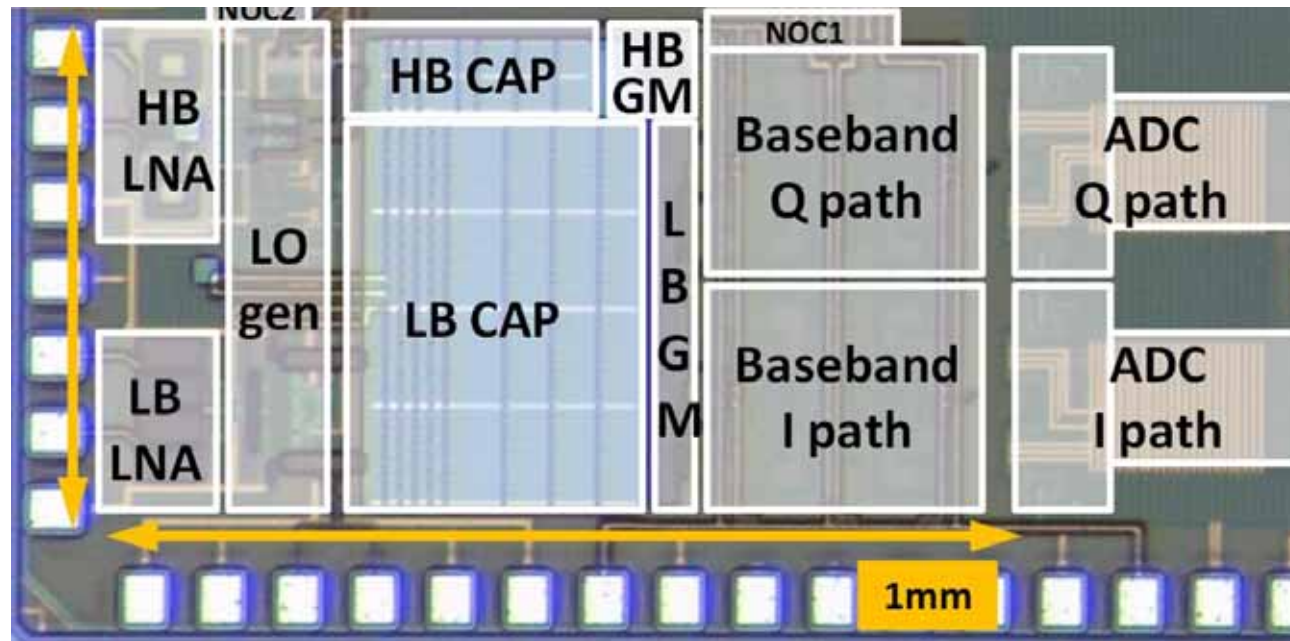


## 提案するスクランプリングTDC有無の出力スペクトラムの比較

(Paper C12-1, "A 2.5GHz 5.4mW 1-to-2048 Digital Clock Multiplier using a Scrambling TDC," R. N. Nandwana et al., Oregon State Univ.)

- **デジタルPLL**はデジタル回路との親和性が高い長所があるが、ジッタが劣化する問題があった。
- **スクランプリングTDC**と呼ぶ新しいTDCをデジタルPLLに適用することにより、低ジッタのPLLを実現。
- 1.25MHzの入力に対して、ジッタ(rms)が2.7ps(160MHz出力時)、6.28ps(2.56GHz出力時)、消費電力が5.4mW(2.56GHz出力時)を実現し、逡倍数が大きいPLLとしては**世界最小のジッタ**、**世界最高の電力効率**を達成。

(C11-1: imec、ルネサス)

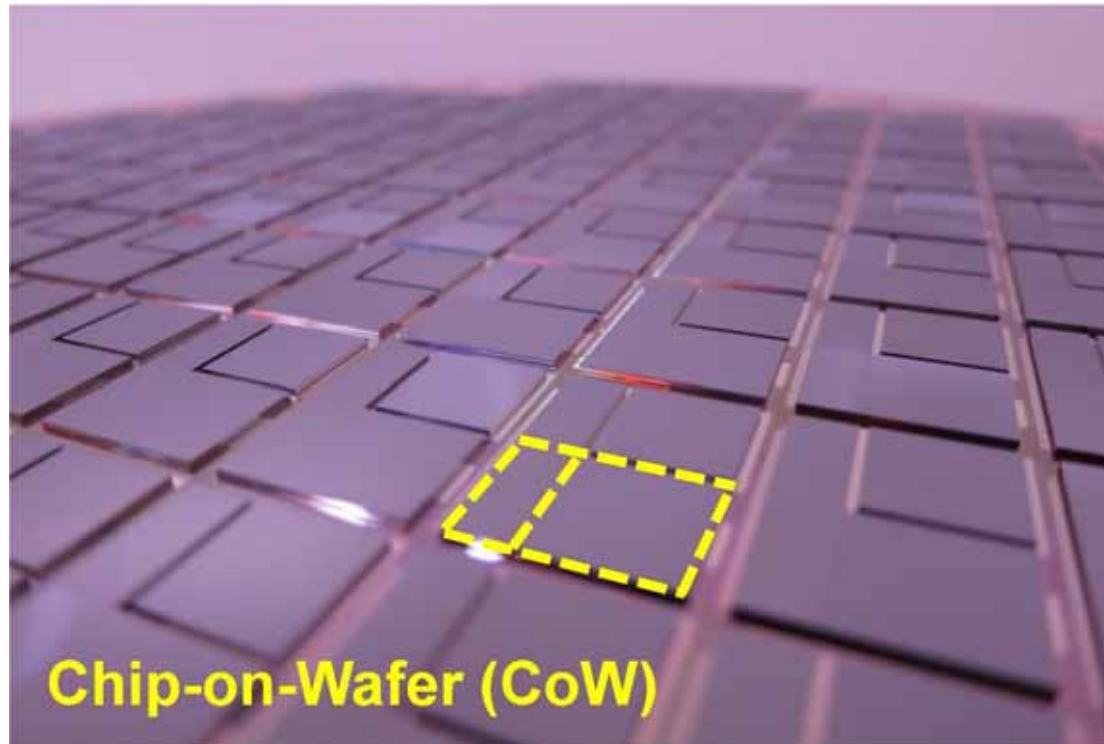


28nm CMOSを用いた高線形、広帯域のソフトウェア無線用受信機のチップ写真

(Paper C11-1, "A 0.9V Low-Power 0.4-6GHz Linear SDR Receiver in 28nm CMOS," J. Borremans et al., imec)

- モバイル機器向けソフトウェア無線技術
- 世界初の28nm CMOSを用いた高線形、広帯域のソフトウェア無線用受信機
- 0.9Vという低い電源電圧ながら、0.4GHz帯から6GHz帯という広範囲をカバーし、1.8 ~ 3dBのNF、85dBm以上のIIP2、3dBm以上のIIP3を40mW以下の低消費電力で達成

(C3-1: TSMC)

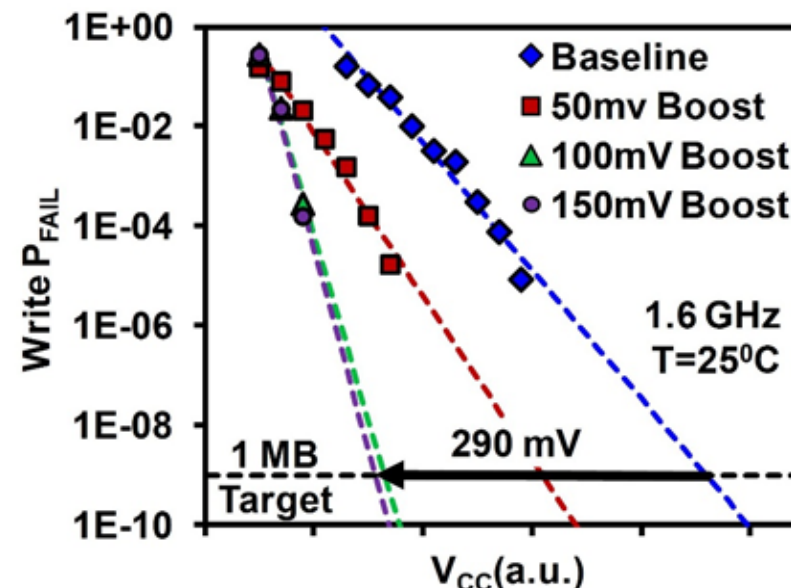
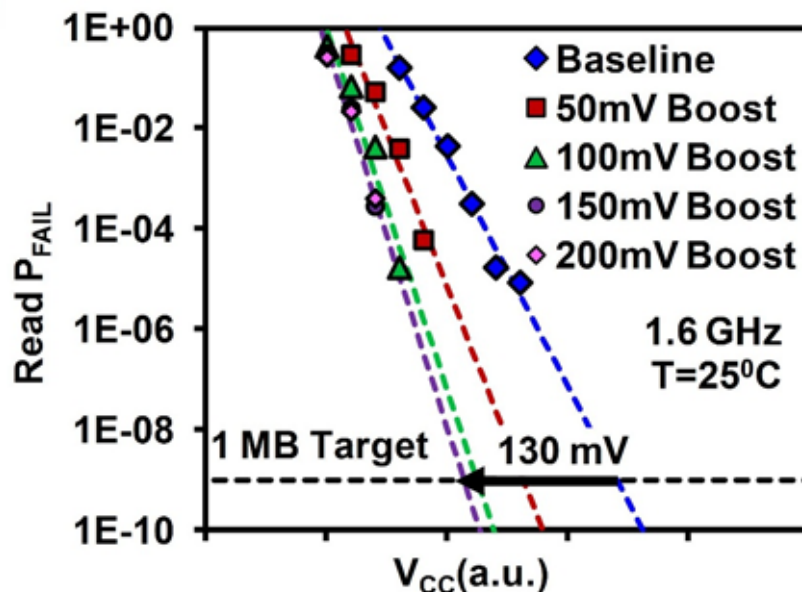


シリコンインターポーザ上に積層したeDRAMとSoCの写真

(Paper C3-1, "An Extra Low-Power 1Tbit/s Bandwidth PLL/DLL-less eDRAM PHY Using 0.3V Low-Swing IO for 2.5D CoWoS Application," M. Lin et al., TSMC)

- CoWoS (Chip-on-Wafer-on-Substrate)と呼ぶシリコンインターポーザを用いたヘテロジニアスな2.5次元の集積技術により、1Tbpsのembedded DRAM (eDRAM)を実現
- 具体的には、65nm CMOSで製造したシリコンインターポーザ上に、40nm CMOSで製造したeDRAMとSoCをそれぞれを積層

(JJ2-6: Intel)



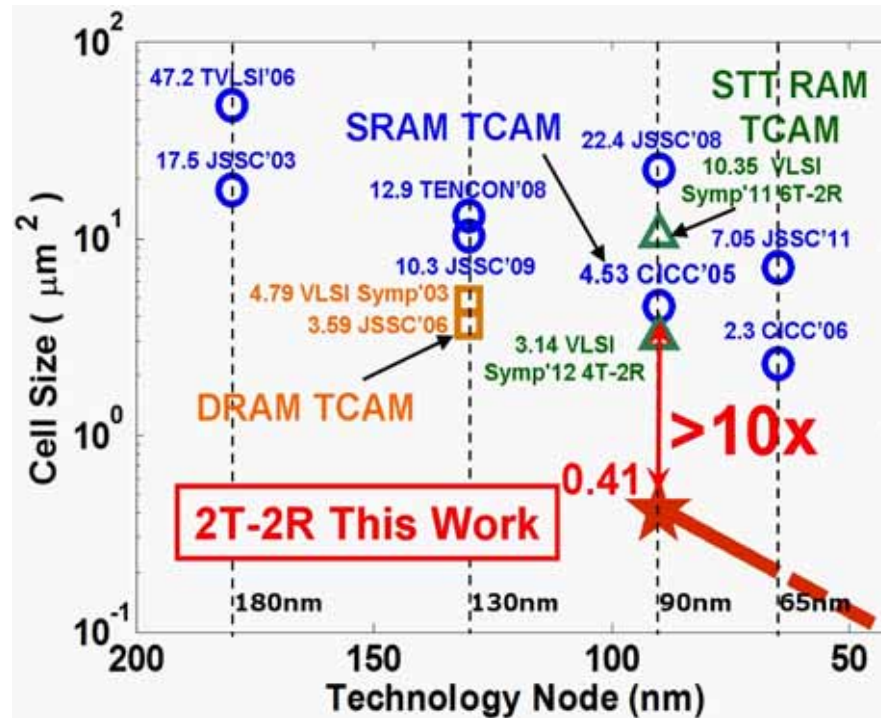
読み出し時と書き込み時のビット誤り率( $P_{FAIL}$ )の電源電圧( $V_{CC}$ )依存の測定結果

(Paper JJ2-6, "Dual-Vcc 8T-bitcell SRAM Array in 22nm Tri-Gate CMOS for Energy-Efficient Operation across Wide Dynamic Voltage Range," J. Kulkarni et al., Intel)

- 細粒度デュアルVccアシスト技術を適用した14KBの8T型のSRAMアレイを22nmのTri-Gate CMOSプロセスで実証
- 電源電圧( $V_{CC}$ )の下限( $V_{min}$ )を決定しているSRAMのノードを読み出し中、または書き込み中に選択的に昇圧することにより、SRAMの $V_{min}$ を改善
- 従来の単一Vcc設計に対して、提案手法は $V_{min}$ が読み出し特性で130mV、書き込み特性で290mV低減し、消費電力が27 ~ 46%低減



(C9-1: IBM)



TCAM (Ternary Content Addressable Memory):  
3値の連想メモリ。検索で用いられる。

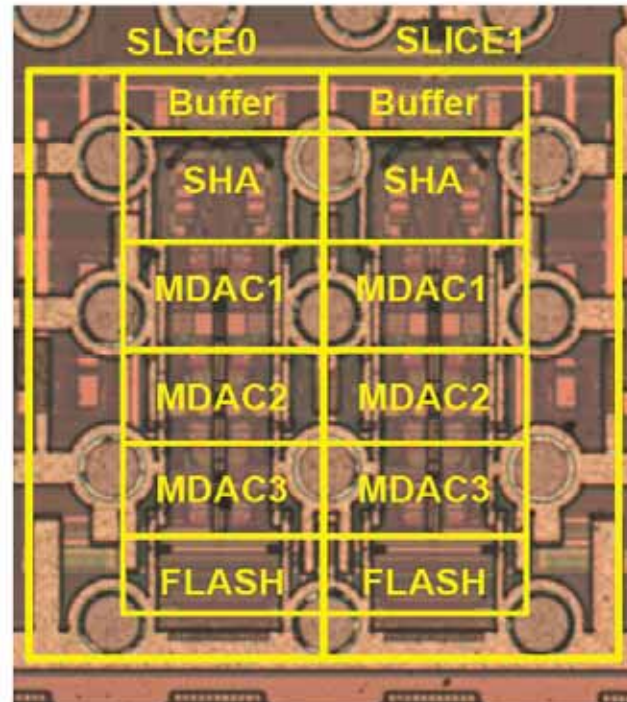
## 従来と提案のTCAMのセルサイズの比較

(Paper C9-1, "1Mb 0.41 um<sup>2</sup> 2T-2R Cell Nonvolatile TCAM with Two-bit Encoding and Clocked Self-Referenced Sensing," J. Li et al., IBM)

- 2トランジスタ + 2相変化素子型のメモリセルを用いた90nm CMOS、1Mbの不揮発性TCAMチップ
- 本TCAMセルは、従来のSRAMを用いたTCAMセルの1/10の面積で、これまでのTCAMでは最小のセルサイズを実現
- 動作電圧1.2Vで1.9ns、0.75Vの低電圧でも9.8 nsの高速な検索動作を達成

# 高性能、低電力A/Dコンバータ

(C8-1: Broadcom)

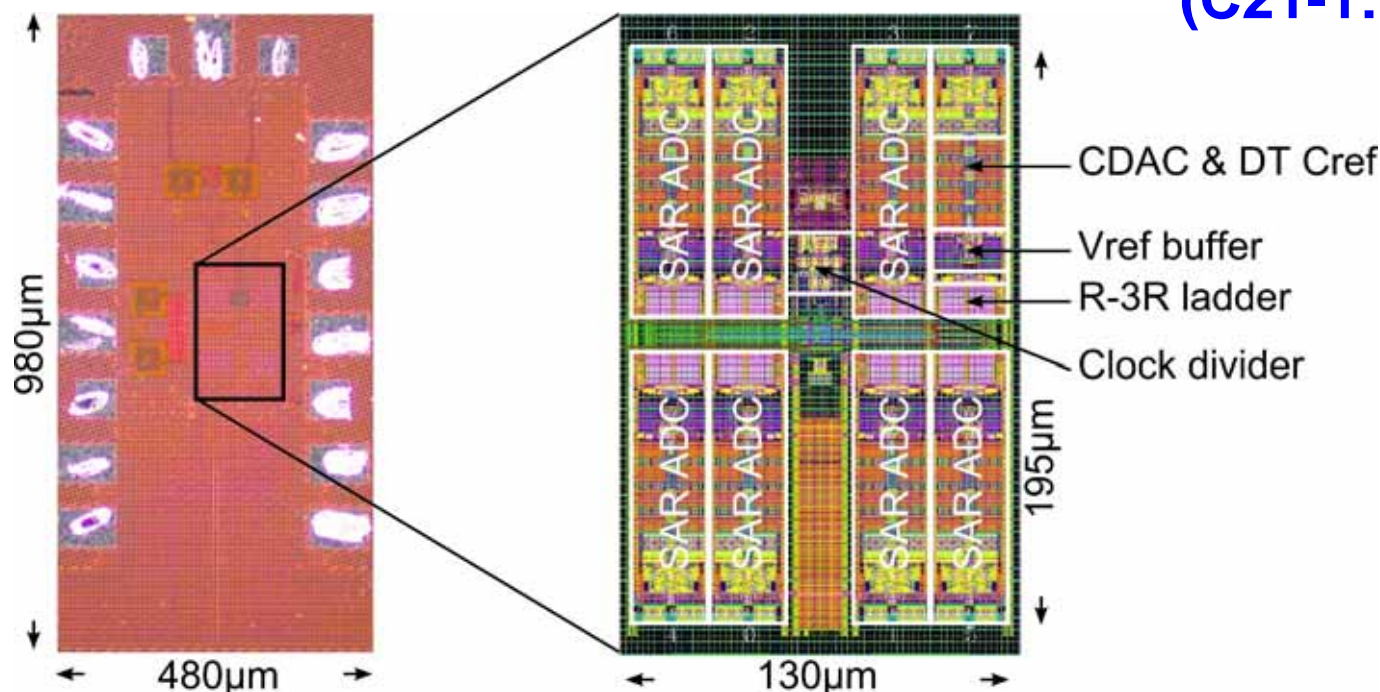


28nm CMOS、変換速度5.4GS/s、12bit分解能のA/Dコンバータのチップ写真  
(Paper C8-1, "A 5.4GS/s 12b 500mW Pipeline ADC in 28nm CMOS," J. Wu et al., Broadcom)

- 有線通信、無線通信向けの高速かつ高分解能のA/Dコンバータ(ADC)
- 変換速度は**5.4GS/s**、分解能は**12bit**といずれも高い
- 高速動作と低電力を両立させるために、新しい増幅器と乗算型D/Aコンバータを提案
- **28nm CMOS**で試作されたADCは、2.6GHzの入力周波数に対して61dBのSNRを確保しており、消費電力も**500mW**と小さい。

# 次世代高速リンク向け分解能8ビット、変換速度8.8GS/s の高速ADC

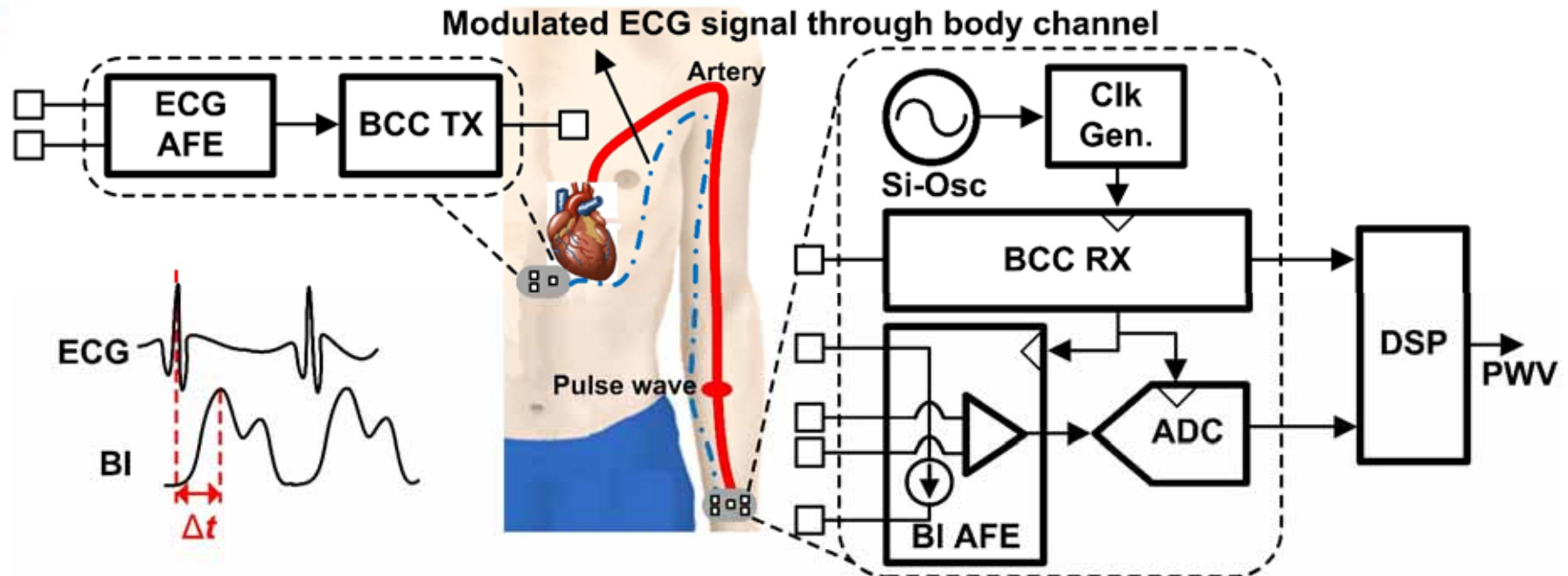
(C21-1: IBM、EPFL)



## 32nm CMOS、変換速度8.8GS/s、8bit分解能のA/Dコンバータのチップ写真とレイアウト

(Paper C21-1, "A 35mW8b 8.8 GS/s SAR ADC with Low-Power Capacitive Reference Buffers in 32nm Digital SOI CMOS," L. Kull et al., IBM and EPFL)

- 電力効率の高い逐次比較(SAR)アーキテクチャのADCを8倍インタリーブさせる構成にて8ビット、変換速度8.8GS/s の高速ADCを実現
- 1V電源電圧で35mWという低消費電力と、32nm SOI CMOS技術を用いて130μm × 195μmという小面積を達成
- 各ADCチャンネル独立ゲイン制御技術や、インタリーブ動作で問題となるチャンネル間のクロックスキュー低減技術など新しい回路技術を満載



## 血管の病気を診断するためのPWV(パルス伝達速度)センサの仕組み

(Paper C17-4, "An Integrated Pulse Wave Velocity Sensor using Bio-impedance and Noise-shaped Body Channel Communication," W. Lee et al., KAIST)

- 血管の病気を診断する重要な指標はその硬さであり、血管を伝達するパルスの速度を計測することで求められる。
- 血管の硬さを測定するため、ECG(心電図)とPWV(パルス伝達速度)センサからなる電子計測システムを提案
- 胸に装着したECGセンサから送出されたECG信号は血管を伝達し、腕に装着したPWVセンサでECG信号を検出するとともに生体インピーダンス(BI)の変化を計測する。ECG信号とBI信号の時間差からPWVを算出する。

# Plenary Session (基調講演)

(Session 7)

**C7-1:**

**S.-W. Jeong**

(システムLSIディビジョン、セールス部門のEVP,  
**Samsung Electronics, Korea**)

“**Perspectives on Mobile Devices and Their Impact on  
Semiconductor Technologies**”

**モバイル機器**の未来とそれが半導体技術へ及ぼす影響について講演

**C7-2:**

**P. L. Bocko, and G. A. Trott**

(コーニンググラステクノロジーズ部門のCTO, **Corning, USA**)

“**Glass for the Future: Displays and Semiconductors**”

**ガラス技術**の未来と題して、ディスプレイと半導体について講演

# Technology/Circuits Joint Focus Sessions

TechnologyとCircuitsの同時開催・双方聴講が可能なVLSIシンポジウムにしかできないデバイス技術と回路設計技術のジョイントフォーカスセッションを昨年に続いて、4つ企画しました。デバイス技術者と回路・システム設計者の相互協力を促進します。

6月12日(水)

午前: **3D Integrated Circuits & Applications**  
(C3-1 ~ C3-5)

午後: **Design Enablement** (JJ1-1 ~ JJ1-9)

6月13日(木)

午前: **Emerging Memories** (C9-1 ~ C9-5)

午後: **SRAM** (JJ2-1 ~ JJ2-9)

# Rump Session

## Circuits Rump Session

### The Best Logic and Memory Interface Technology for 2D/2.5D/3D ICs

2次元、2.5次元、3次元 ICにおける最適なLogic回路とメモリのインターフェース技術は？

### Analog Designer's Play-Ground Beyond 20nm, Is it Circuit Physics or Auto Place&Route?

アナログ設計者は20nm以下の世代のトランジスタを使ってどのように回路設計をすべきか？ゲートアレイを自動配置配線するべきなのか、もしくは古き良きアナログ時代のようなデザイン手法を継続すべきなのだろうか？

## Technology and Circuits Joint Rump Session

### “SOC vs. 3D IC in the More-than-Moore Era”

More - than - Moore時代において、SoCと3次元ICはどちらが良いのか？

# Short Course

6月11日開催

## “Device-Aware Circuit Design in the Era of Disruptive Changes”

最先端のテクノロジードにおけるデバイスを意識した回路設計について、デバイスから設計フローまで階層的に解説します。

タイトル	講演者	所属
Advanced CMOS technologies	Lee Seok-Hee	SK Hynix
Discrete-Charge-Induced Variability in MOS Transistors	Kiyoshi Takeuchi	Renesas
Impact of Technology on Digital Design	Dinesh Somasekhar	Intel
Advanced Wireline Transceivers in the Era of Disruptive Changes	Ichiro Fujimori	Broadcom
Foundry Based IC Design in Advanced Technology Node	Kimihiko Imura	Maxlinear
Device-Aware Design Flow Management	Pierre Dautriche	STMicroelectronics



6月11日開催

## “Non-Volatility and 3D-Ability: Empowering LSI-based Smart Systems of Tomorrow”

将来のスマートシステムにおいてキー技術となる不揮発メモリと3次元集積技術について概観します。

タイトル	講演者	所属
New NV Memories and its Applications	Keiichi Tsutsui	Sony
Storage Class Memory and NAND Flash Memory Hybrid Solid-State Storage System for Big-Data Application	Ken Takeuchi	Chuo University
Emerging NonVolatile Memory Technology and its Implications to Server Compute Systems	Jung H. Yoon	IBM
3D Heterogeneous System Integration and New 3D LSIs	Mitsumasa Koyanagi	Tohoku University
3-D Integration of Memories and Logic	J. Thomas Pawlowski	Micron
3-D Stacking, Solving the Interconnect Bandwidth/Power/Complexity Problem	Liam Madden	Xilinx

# Luncheon Talk (合同昼食会)



工藤剛史 (音羽電機工業)

**“Symbiosis with Lightning which is one of the most spectacular natural phenomenon”**

最も壮観な自然現象の一つである雷との共存共栄

雷と巨大な電気エネルギーによって形成される稲光について述べ、いくつかの写真をもってその美しさを提示します。さらに避雷器(サージプロテクター)など我々の社会生活を支えるデバイスについても触れます。また電気システムにおける基本的な避雷方法や器具についても述べます。