



www.vlssymposium.org



Media Contacts:

Secretariat for VLSI Symposia (Japan and Asia)
c/o ICS Convention Design, Inc.
Chiyoda Bldg. 1-5-18 Sarugaku-cho, Chiyoda-ku,
Tokyo 101-8449 Japan

Tel: +81-3-3219-3541
Fax: +81-3-3219-3577
E-mail: vlssymp@ics-inc.co.jp

BtB Marketing (North America and EU)
Chris Burke
BtB Marketing
co-Media Relations Director

Tel: +1-919-872-8172
E-mail: chris.burke@btbmarketing.com

For Immediate Release

Tip Sheet for 2013 Symposia on VLSI Technology and Circuits

京都発--この Tip Sheet は 2013 VLSI Technology シンポジウムと VLSI Circuits シンポジウムにおいて発表される論文のうち、いくつかの最もニュース性の高い論文について概説するものである。Technology シンポジウムは 6 月 11 日から 13 日まで、Circuits シンポジウムは 6 月 12 日から 14 日まで京都のリーガロイヤルホテル京都にて開催される。

A) VLSI 技術シンポジウム ハイライト論文

Trigate トランジスタと MIM キャパシタ COB を用いた 22nm 世代 の混載 DRAM SoC 技術

22nm 世代 CMOS デバイス技術を用いた高性能 CPU の生産はすでに昨年開始されている。今年の VLSI 技術シンポジウムにおいてはインテルが 22nm 世代の混載 DRAM 技術を報告する。0.029 μm^2 のセルサイズと 95°C の高温状況下でも 100 μs 以上のデータ保持時間を達成している。DRAM のアクセストランジスタは性能とリーク電流の観点から Trigate トランジスタを最適化して使用し、また同じ die の中で高性能な回路を動作させるためのトランジスタ性能も達成している。

さらに高いアスペクト比の 3 次元 COB の MIM キャパシタ(ビットライン上に配置される金属-絶縁膜-金属の積層構造からなるキャパシタ)を今回採用しており、それが Cu 配線と低誘電率層間絶縁膜の中に形成されている。非常に良好なデータ保持時間と歩留まりがこの論文では示される。

いくつかの重要な語句に関する注釈

- **Back-End/BEOL and Front-End/FEOL** -- 集積回路製造において、トランジスタや他のアクティブ素子は最初に形成され、一方で配線構造は後で形成される。したがって前者を FEOL(front end of the manufacturing line)と呼び、後者を BEOL(back end of the manufacturing line)と言う。
- **CMOS/MOS/MOSFET/FET**-- 今日用いられている大半のトランジスタは電界効果トランジスタ(FET: Field Effect Transistor)である。大抵の FET は CMOS 製造技術によって形成される。(CMOS: Complementary Metal-Oxide-Semiconductor) 一般には MOSFET とか、MOSトランジスタと言ったりもする。
- **COB** -- Capacitor Over Bitline の略。ビットライン配線上にも張り出すように配置して大面積を確保した DRAM 用ストレージノードキャパシタ配置方法のこと。
- **Compound/III-V Semiconductors** -- 現在主流となっている半導体はシリコンをベースとしているが、研究者は他の種類の半導体で高い電子移動度を有するものについても調査を続けている。より速いスイッチング速度を要求するデバイスに対する応用可能性があるからである。ただし、それらの物質はシリコンよりも取り扱いが難しい。化合物半導体は二つ、もしくは三つの元素から構成されており、例えば GaAs(砒化ガリウム)、InP(インジウムリン)、GaN(窒化ガリウム)などがあり、これらは一般的には周期律表の III 族と V 族の元素(一部に II 族-VI 族、IV 族-IV 族のものもある)から構成される。
- **CPP** --Contacted Poly-Silicon (Gate) pitch の略。Logic の LSI ではコンタクトを落としているゲート領域のパターン密度で最小ピッチが決まるのでこれをスケーリングの指標に使っている論文が多い。
- **FinFET** -- 魚の背びれに似た形の 3 次元型トランジスタで、その形状を囲むように複数のゲート電極が配列されているもの。この構造によってオン/オフの制御特性が通常の平面型トランジスタよりも良好である。
- **Front-End/FEOL and Back-End/BEOL** -- Back-End/BEOL の項を参照のこと。
- **High-k Dielectrics/Metal Gates** -- 誘電体は電気的には絶縁物であって MOSFET、MOS キャパシタのゲート電極とチャネル部の間に配置される。"k"は比誘電率を示し、これの大きさによって MOSFET におけるゲート電極と基板間のリーク電流やゲート電極と基板間の容量カップリングが影響を受ける。近未来の CMOS 集積回路においてはシリコン酸化膜を基準にすると数 nm の薄さに匹敵するような容量値が必要とされ、これによってゲート長を 10 nm 以下にスケーリングすることが可能となる。一方、金属ゲート電極は伝統的に使用されてきたポリシリコンゲート電極よりも高誘電率材料と相性が良いことが知られている。ここ数年で高性能なチップを製造するために金属ゲート電極を CMOS プロセスに導入することに対して大きな進展があり、既に実用化の域に入った。
- **III-V** -- (Three-Five) Compound/III-V Semiconductors の項を参照のこと。
- **Integrated Circuit** -- 半導体基板上に組み上げられた電気的回路であって、多数の素子(例えばトランジスタ、ダイオード、容量素子、抵抗素子、インダクターなど)が配線で結ばれているものを指す。
- **Interconnect** -- 金属の線、もしくはワイヤーでトランジスタと他の回路素子とを結んでいるもの。金属配線のこと。Back-End/BEOL のところも参照のこと。

- **Low-k Dielectrics/Interconnect** --Interconnect は金属配線のことで、これは集積回路内(チップ内)の各素子を結んでいる。スケールリングが進み、隣接する金属配線同士が接近するとこの両者間の寄生容量が無視できなくなり、これがチップの性能を律速する。したがって低誘電率材料を用いてこれらの銅線を電氣的に絶縁しながら配線間容量を低減することが試みられている。ただし、これらの低誘電率材料は一般的には壊れやすく、実際に量産するに当たっては難しい局面もある。
- **MEMS** -- マイクロ・エレクトロ・メカニカル・システムのことで、マイクロメーター程度の大きさの機械的な可動部を持つ部品を指す。スイッチや可変キャパシター、各種センサーなどがこのMEMS で構成されている。
- **MIMCAP**– Metal-Insulator-Metal Capacitance の略で バックエンドプロセス(BEOL)の中に組み込まれて形成されるキャパシタを指す。DRAM のストレージノードキャパシタやアナログ/RF回路にて使われる。
- **N-FET/P-FET or NMOS/PMOS** -- MOSFET は n 型チャネル(電子がキャリアとなる)と p 型チャネル(ホールがキャリアとなる)の 2 種類があり、両者を組み合わせて相補的に使われる。
- **Non-volatile memory (NVM)** – 不揮発性メモリーののこと。電源電圧が印加されていなくても蓄積されているデータが失われないタイプのコンピューター記憶装置のことを言う。
- **Phase-Change Memory/PCM** -- 相変化型メモリーののこと。これは結晶状態と非結晶状態を "0"と"1"に割り当ててメモリーとするもので、不揮発性メモリーの一種。電流を流すことによって生じた熱によって物質の状態が変わり、この"1"、"0"の2つの状態を切り替えることができる。
- **Resistive Random Access Memory** -- なんらかのパラメーター変化によって生じる素子の抵抗変化をデータ蓄積の目的に用いた不揮発性メモリーの一種。素子の抵抗変化は高電圧印加によって素子を構成する絶縁膜中に電気伝導性を有するフィラメントが形成されたり壊されたりすることによるものが多い。
- **Scaling/Density/Integration** -- Scaling(スケールリング)とはトランジスターや他の回路素子を小さく形成して、一つのチップ上において多くの部品の搭載を可能にすることを指す。Density はチップ上に載っているトランジスターの密度で、これが大きいほど多くのトランジスターが搭載されている。また、Integration(インテグレーション)は回路素子をチップ上に形成して機能をたくさん追加することを示す。多くの機能が詰め込まれれば、機能あたりのコストは低減される。
- **Semiconductor** -- 半導体のこと。半導体は金属ほど電気抵抗が低くないが、絶縁体よりは電気抵抗が低い材料で、その電流を流したりブロックしたりすることでデータを蓄積したり、情報を処理したりする。
- **SOI** -- "Silicon-on-Insulator"の略。日本語でも SOI(エス・オー・アイもしくはソイ)、シリコン・オン・インシュレーターと言っている。半導体基板の上に絶縁膜を形成し、その上にさらに半導体層が構成されているもので、主としてその上部の半導体層中に回路素子を形成する。トランジスターの寄生容量が小さいので集積回路の性能向上に用いられる。一方で基板とチャネル部が物理的・電氣的に分離されているために生じる問題もある。
- **Spin Transfer Torque Magnetoresistive Random Access Memory (STT-MRAM)**-- 不揮発性メモリー素子の一種で磁気抵抗変化をデータ蓄積に用いた RAM。基本的に MRAM セルはドライバートランジスターと磁気トンネル接合(MTJ)から構成される。MTJ の抵抗は MTJ 内部の磁性薄膜のスピンの状態に依存して変化し、そのスピン状態は外部磁場、もしくはスピン分

極した電子によって形成される電流で制御される。後者の場合、スピントランスポールク (STT)がスイッチングの主因となる。STT-MRAMは高速かつ低消費電力の次世代メモリーとして期待されている。

- **Strained silicon & SiGe stressors** -- シリコンがひずみを受けている状態というのは、シリコン原子が互いに引っ張られて原子間距離が大きくなっている状態(ひっぱりひずみ, tensile)と逆にシリコン原子が互いに押されて原子間距離が小さくなっている状態(圧縮ひずみ, compressive)の2つの状態がある。トランジスターのチャンネル部のシリコンがこのようなひずみを受けるとキャリアの移動度に変調されてトランジスターが低電圧動作時でもより高速になる場合がありえる。外部ストレッサーと呼ばれるものがあり、シリコン結晶と格子定数が少し異なる材料をシリコンにエピタキシャル成長させることでシリコン領域にひずみを印加することができる。例えば圧縮ひずみを p チャンネルシリコン FET のチャンネル領域に加えるために、シリコンよりも大きな格子定数を持つシリコンゲルマニウム合金を S/D 領域にエピタキシャル成長させることがよく行われている。
- **SRAM** -- SRAM(Static Random Access Memory) はコンピューターに用いられるメモリーの一種で、普通 6 つもしくはそれ以上のトランジスターからなる回路で一つのセルが構成される。読み書き速度は高速だが、電源を切るとデータは消去される。
- **Technology Generations/Nodes** -- 世代、ノードとはもともとは ITRS (International Technology Roadmap for Semiconductor)の中で、製品の量産時期をそのとき用いられている半導体素子の典型的な長さ(大きさ)であらわしたものであった。例えば DRAM などではセルの Feature size であり、ロジック素子では金属配線のハーフピッチで決めていた。現在ではメモリー以外のロジック素子、SoC、マイクロプロセッサなどでは、ノードの寸法は素子のどこかの寸法に対応させるという決まった定義は無く、最近では 3 年で前世代の $\times 0.7$ 倍になるように数字を決めて議論している。例として最先端 CMOS の例では 2012 年の時点で 22nm 世代の LSI の生産が開始されている。
- **Transistor** -- トランジスターは半導体集積回路を構成する小さな電氣的なスイッチ。スイッチと言っても可動部は無く、半導体材料、大抵はシリコン製であって、FET の場合はゲート電極に印加する電圧によってチャンネル領域中の反転層の状態を制御しドレイン電流をスイッチする。バイポーラートランジスターの場合はベース電流の有無によってコレクター電流を制御する。トランジスターは一つのチップ内に何百万もの数が詰め込まれており、情報の受領、処理、蓄積、また情報や制御信号の出力を行うようにプログラムされている。

###