



www.vlssymposium.org



Media Contacts:

Secretariat for VLSI Symposia (Japan and Asia)
c/o ICS Convention Design, Inc.
Chiyoda Bldg. 1-5-18 Sarugaku-cho, Chiyoda-ku,
Tokyo 101-8449 Japan

Tel: +81-3-3219-3541
Fax: +81-3-3219-3577
E-mail: vlssymp@ics-inc.co.jp

BtB Marketing (North America and EU)
Chris Burke
BtB Marketing
co-Media Relations Director

Tel: +1-919-872-8172
Fax: +1-301-527-0994
E-mail: chris.burke@btbmarketing.com

For Immediate Release

***Tip Sheet for
2013 Symposia on VLSI Technology and Circuits***

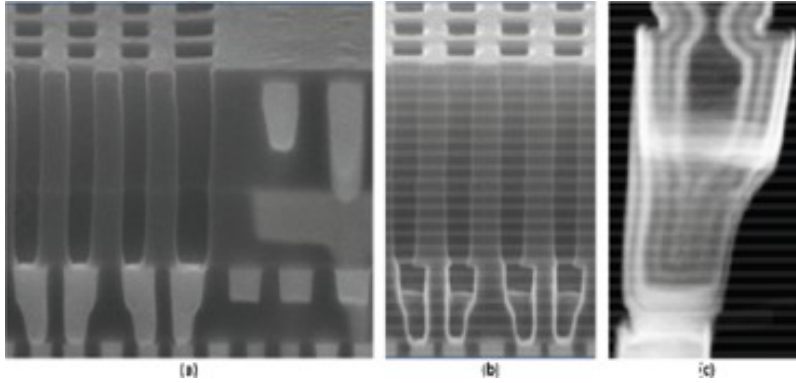
이 Tip Sheet 는 6 월 11-14 일에 하와이 힐튼 하와이안 빌리지 호텔에서 개최되는 2013 년 VLSI 심포지아 (소자 공정 및 회로기술)에서 발표될 논문 중 주목할 만한 논문들에 대한 사전 공개정보임

A) VLSI Technology 심포지움 Highlight Papers

22nm Embedded DRAM SoC Technology featuring Trigate Transistors and MIMCAP COB

22nm 급 CMOS 소자의 양산은 이미 지난해에 시작되었으나, Intel 사는 이번 VLSI 심포지움에서 trigate 를 사용한 $0.029\mu\text{m}^2$ DRAM 셀구조와 95C 에서 100 마이크로초의 retention 특성을 갖고 있는 22nm 급 메모리소자집적기술에 대해 보고할 계획이다. 이 node 에는 high aspect-ratio, 3 차원 구조의 Capacitor-Over-Bitline(COB) metal-insulator-metal(MIM) capacitor trench 와 저유전막, Cu 배선기술등이 적용되었다.

(Paper T2-1, “A 22nm High Performance Embedded DRAM Technology Featuring Tri-gate Transistors and MIMCAP COB,” R. Brain *et al.*, Intel.)



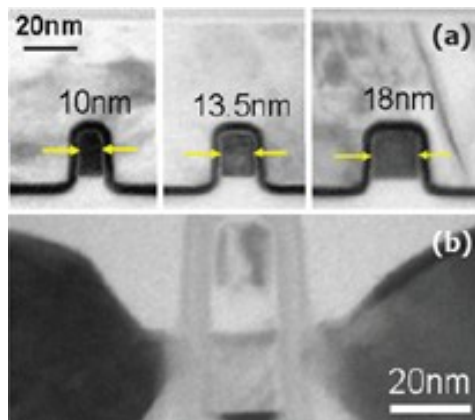
Cross-section transmission electron micrograph of a high aspect-ratio COB eDRAM bitcell array.

oooooooooooooooooooo

Aggressively scaled SiGe Channel on insulator Trigate pFET with implant-free process

절연기판상에 형성된 SiGe 채널소재를 이용하여 제작된 매우 작은 Tri-gate pFETs 특성이 최초로 보고된다. SiGe 는 홀의 전하이동도가 매우 높아서 pMOS의 소재로 연구되어왔는데, IBM and GLOBALFOUNDRIES 사에서는 게이트 길이를 18 nm, 핀의 폭을 18 nm 이하로 축소하여 매우 우수한 소자특성 ($I_{on} = 1.1 \text{ mA}/\mu\text{m}$ at off-leakage current $I_{off} = 100 \text{ nA}/\mu\text{m}$ and supply voltage $V_{dd} = 1.0 \text{ V}$) 을 달성한 결과를 보고한다.

(Paper T2-2, “High Performance $\text{Si}_{1-x}\text{Ge}_x$ Channel on Insulator Trigate PFETs Featuring an Implant-Free Process and Aggressively-Scaled Fin and Gate Dimensions,” P. Hasemi et al., IBM& GLOBALFOUNDRIES.)



(a) Cross-section TEM images across SiGe fin with $H_{fin} = 17 \text{ nm}$ and $W_{fin} = 10, 13.5$ and 18 nm .

(b) Cross-section TEM image of a single-fin with Gate length less than 20 nm .

oooooooooooooooooooo

Strained Ge-in-STI Implant-Free Quantum Well pFETs for Silicon-compatible CMOS platform

SiGe 은 PFET 의 특성을 개선하기위해 집중적으로 연구되어왔다. Imec and GLOBALFOUNDRIES 는 relaxed SiGe 기판상에 제작된 SiGe 스트레인드 SiGe 층을 이용하여, 정공의 전하이동도를 to $550 \text{ cm}^2/\text{Vs}$ 까지 개선하고, NBTI 의 신뢰성도 개선한 결과를 보고한다. 이 소자를 만들기위해 implant free quantum well(IFQW), Replacement Metal Gate process and Germanide in contacts 와 같은 기술요소들이 적용되었다.

(Paper T2-3, “First Demonstration of Strained Ge-in-STI IFQW pFETs Featuring Raised SiGe 75% S/D, Replacement Metal Gate and Germanided Local Interconnects,” J. Mitard et al., Imec & GLOBALFOUNDRIES)

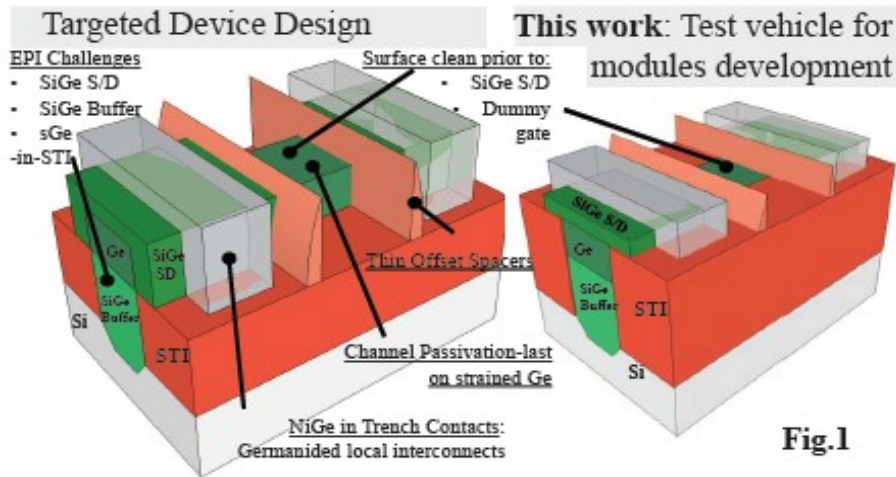


Fig.1

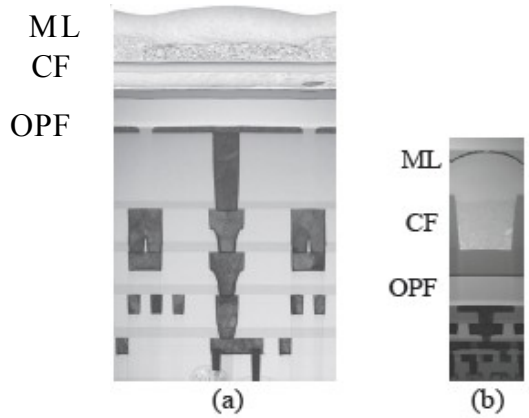
Schematic view of proposed(Left) and studied (Right) structure of Ge-in- STI IFQW pFET's with raised SiGe source/drain and Germanided Local Interconnects. Germanium channel is regrown on SiGe buffer region which is defined by STI.

oooooooooooooooooooo

Organic Photoconductive Film Image Sensor with Extremely High Saturation

실리콘기반 CMOS 이미지 센서는 디지털 카메라, 셀룰라폰, 스마트폰등에 널리 사용되고 있다. 하지만 매우 밝은 이미지와 어두운 이미지를 동시에 인식하는 것이 어렵다는 기술적인 난제는 아직 해결되지 않은 상태이다. Panasonic and FUJIFILM 사는 CMOS 회로상에 도포된 유기광감응 막을 이용하여, 기존 실리콘 기반 이미지 센서포다 광포화도를 12 dB 개선한 결과를 보고한다. 아주 얇은 막을 사용하기 때문에 셀간의 cross talk 도 최소화 했고, 30 도 이상의 입사각도 구현할 수 있었다.

(Paper T2-4, “Thin Organic Photoconductive Film Image Sensors with Extremely High Saturation of 9500 electrons/ μm^2 ,” M. Mori et al., Panasonic and FUJI FILM)



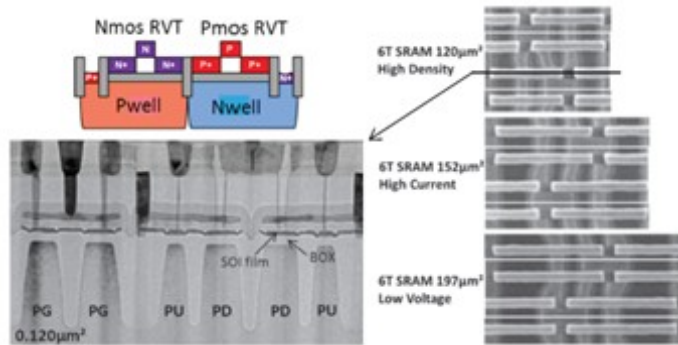
Cross Sectional TEM images of 3.0 μm (LHS) and 0.9 μm (RHS) pixels of Organic Photoconductive Film Image Sensor
ML: Micro Lense, CF: Color Filters, OPF: Organic Photoconductive Film

oooooooooooooooooooo

Ultra Low Leakage, High Speed and Low Voltage FDSOI SRAMs

STMicroelectronics and CEA-LETI 는 6 개의 트랜지스터를 사용한 SRAM 구조를 보고한다. 이 구조는 28 나노 FDSOI 기술을 사용하여 보고된 최초의 결과로서, 사용목적에 따라 고집적 ($0.120\mu\text{m}^2$), 고성능 ($0.152\mu\text{m}^2$) and 저전압($0.197\mu\text{m}^2$) 셀로 구분된다. 1V에서의 Read 전류가 +50% 향상되고, 0.6V에서는 +200%된 결과를 얻었다. V_{min} 도 0.42V까지 개선되었으며, 0.6V에서 대기누설전류를 1pA 까지 저감했다.

(Paper JJ2-3, “FDSOI Process/Design full solutions for Ultra Low Leakage, High Speed and Low Voltage SRAMs,” R. Ranica et al., STMicroelectronics & CEA-LETI)



Cross-sectional and plain view of FDSOI SRAM cells for High Density ($0.120\mu\text{m}^2$), High Current ($0.152\mu\text{m}^2$) and Low Voltage($0.197\mu\text{m}^2$).

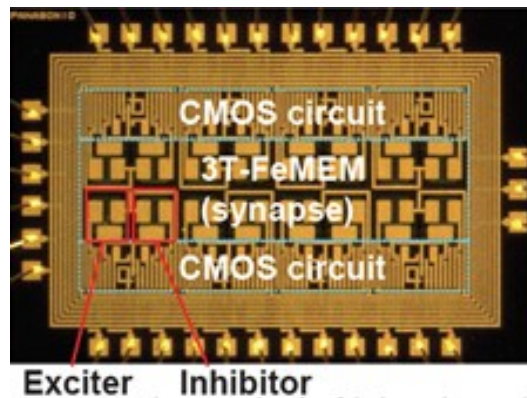
oooooooooooooooooooo

Three-Terminal Ferroelectric Memristor enabling On-chip Pattern recognition

신경망기술은 저전력, 병렬연산을 구현하기 위해 필요한 학습, 인식 방법중의 하나이다. 저항변화소재나 상변화소재를 이용한 두개의 단자를 갖는 고자로 시냅스의 기능을 구현하려는 시도는 지금까지 성공적이지 못했다는 문제가 있다.

Panasonic 사에서는 세개의 단자를 갖는 비휘발성 메모리 소자를 이용하여, 신경망소자를 단일칩상에 구현했다.] 이칩은 강유전체 멤리스터를 이용하여 16 개의 시냅스를 구현하고, 아날로그 입력신호에 따라 특정 패턴을 학습한 후, 불완전한 패턴도, 자동적으로 인식할 수 있게된 결과를 보고했다.

(Paper T16-2, “Neural Network based on a Three-Terminal Ferroelectric Memristor to Enable On-chip Pattern Recognition,” Y. Kaneko *et al.*, Panasonic)



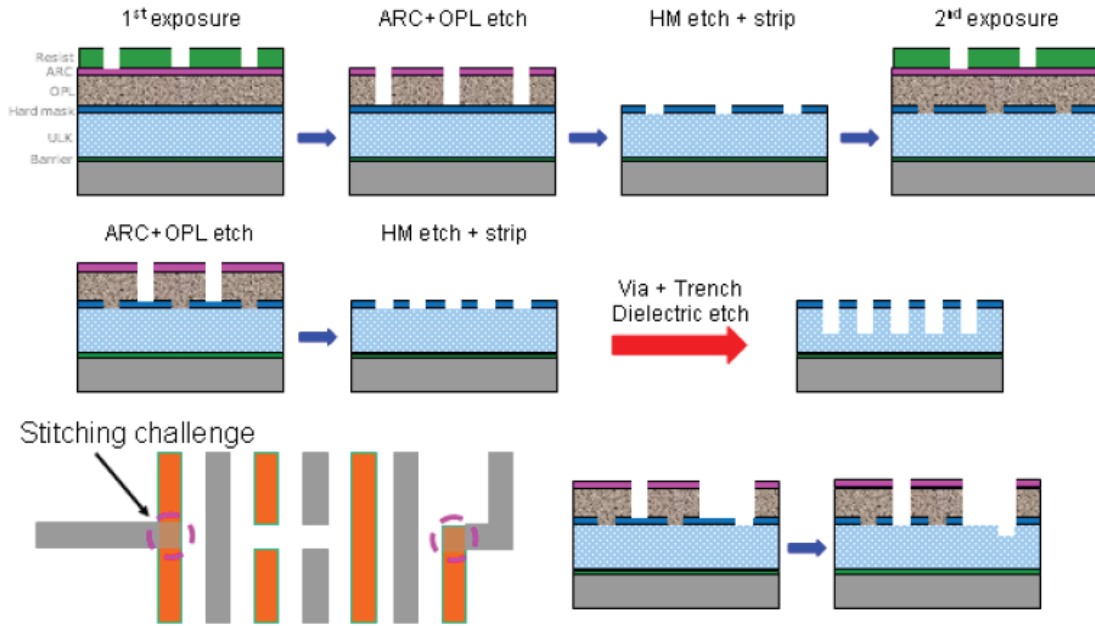
Chip micrograph of fabricated neural network chip with Ferroelectric Memristors.

oooooooooooooooooooo

64 nm Pitch Interconnects

이 논문은 STMicroelectronics, Samsung, GLOBALFOUNDRIES and IBM 사의 공동논문이며 64 나노 pitch 를 갖는 배선구조 집적 공정과 소재의 최적화를 통해, 차세대에도 스케일링이 가능한 기술을 소개한다. 이 논문에서는 contacted poly pitch(CPP) 를 일정하게 유지해서, 집적도를 최대화하고 셀간의 성능도 균일하게 할 수 있도록 했다. 자기정력 via 방식을 이용해서, 단일 마스크로 CPP 상에 via 를 형성할 수 있게 되었으며, 이 기술은 저전력에서 고성능 소자기술까지 광범위한 응용분야에 적용가능함을 보였다.

(Paper T14-5, “64nm Pitch Interconnects: Optimized for Designability, Manufacturability and Extendibility,”C. Goldberg *et al.*, STMicroelectronics, Samsung, GLOBALFOUNDRIES, IBM)



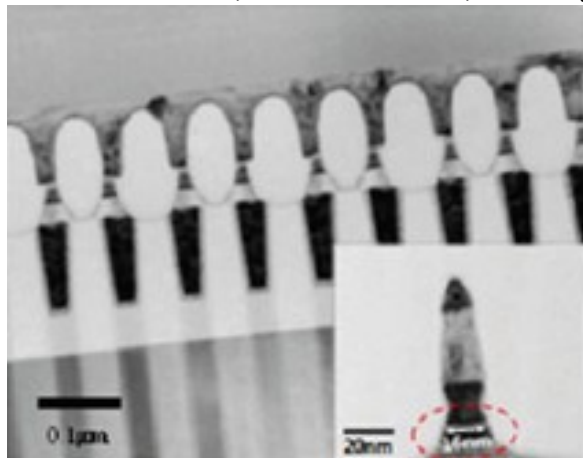
Double patterning with Lithography-Etching & Lithography-Etching (LELE) process flow of Trench formation for 64nm pitch interconnect.

oooooooooooooooooooo

Sub-20 nm perpendicular STT-MRAM with enhancement of switching margin

STTMRAM 에서 자성소자간의 상호작용을 제어하는 것이 가장 중요하다. Samsung 에서는 매우 우수한 pin 층의 안정성을 기반으로 상호작용을 최소화한 소자를 보고했다. 이를 기반은 매우 넓은 스위칭 field 구간에서 안정적인 소자동작 특성을 얻었으며, H_{offset} 도 1000e 이하로 제어할 수 있었다.

(Paper T6-3, “Enhancement of switching margin by utilizing superior pinned layer stability for sub-20 nm perpendicular STT-MRAM,” W. C. Lim et al., Samsung)



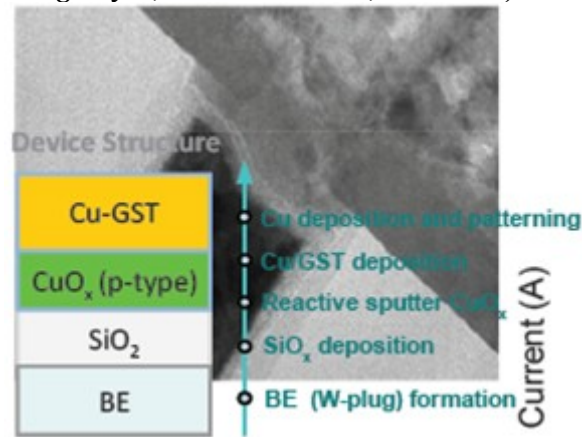
Cross-sectional TEM image of MTJs at 20 nm node

oooooooooooooooooooo

**Novel Conducting Bridge Resistive Memory
using a Semiconducting Dynamic E-field Moderating Layer**

저항변화메모리는 on-off 비도 높고, 동작속도가 빠르며 집적도도 좋아서 NAND 플래시메모리 후속기술로 연구되어 왔다. Conducting 저항변화메모리는 필라멘트의 형성여부에 따라 저항상태가 결정되는데, 필라멘트를 형성하는 과정에 절연체에 매우 높은 전장이 인가되는 문제가 발생한다. Macronix 사에서는 높은 전장에서 발생하는 문제점을 해결할 수 있는 새로운 방법을 보고했다. 새로운 소자구조는 Cu-GST/SiO₂ 계면에서 구리산화물의 생성을 제어하는 데, 이 방법을 사용하면, 전장의 문제와 Cu 확산문제까지 동시에 해결되면서, 소자의 특성도 개선된다는 장점이 있다.

(Paper T8-4, “A Novel Conducting Bridge Resistive Memory Using a Semiconducting Dynamic E-field Moderating Layer,” F. M. Lee et al., Macronix)



TEM image and the cell structure of the EM Conducting Bridge Device. By adding a p-type CuO_x layer, the applied voltage is redistributed, and E-field is reduced.

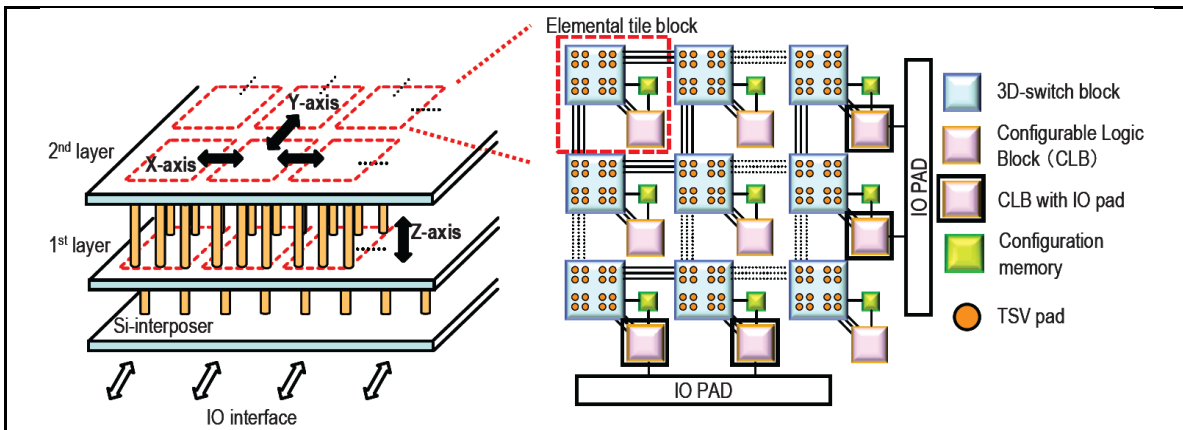
oooooooooooooooooooo

B) Symposium on VLSI Circuits 중요 논문

우리가 3D 구조를 이용하여 고 성능의 높게 집약된 FPGA를 만들 수 있을까?

Field Programmable Gate Arrays (FPGAs)는 커스텀 IC칩의 대용으로 사용되고 있다. FPGA는 컴퓨터 플랫폼 상에서 유연하게 프로그래밍 될 수 있고, 비용을 줄일 수 있으며 시장에 빠르게 진출하도록 해준다. Through Silicon Vias (TSV)를 사용한 3D IC기술은 집적회로의 기능, 집적도, 성능을 향상시킬 것이다. 이 논문은 low-capacitance embedded TSV 디자인을 통한 Z-axis transmission 성능 향상을 보여준다. 또한, 층들 사이의 clock skew를 줄이기 위해 획기적인 clock synchronization scheme을 서술한다.

(Paper C3-5, “Scalable 3D-FPGA using wafer-to-wafer TSV interconnect of 15 Tbps/W, 3.3 Tbps/mm²,” F. Furuta et al, ASET and Hitachi)

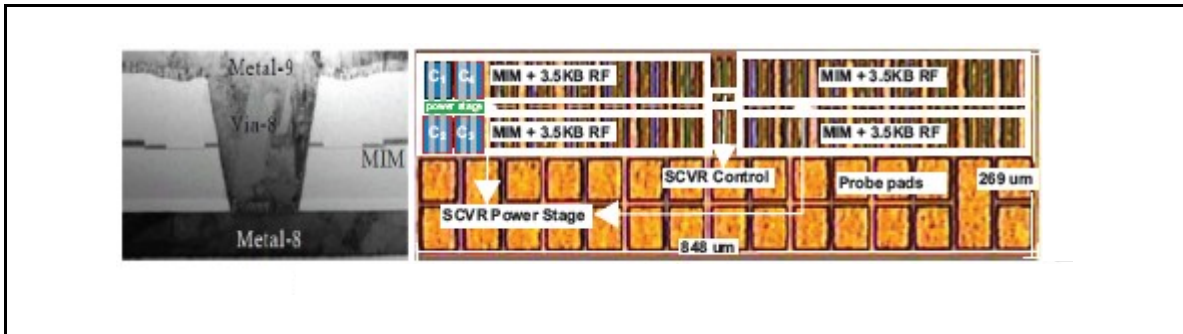


Homogeneous 3D FPGA의 구조.

22nm Tri-Gate CMOS 공정을 이용한 완전히 집적화된 Switched Capacitor Step-Down DC-DC 컨버터 구현

오늘날, 고성능의 DC-DC 컨버터는 dynamic voltage and frequency scaling (DVFS) 와 여러 종류의 supply voltage를 가지는 SOC를 디자인하기 위해 개발되어지고 있다. DC-DC 컨버터 세션에서 Intel Corporation은 switched capacitor step-down 컨버터를 선보일 예정이며 이 컨버터는 22nm tri-gate CMOS공정으로 제작되었다. 컨버터는 넓은 출력 전압 범위를 제공한다. 고정된 1.225V의 입력전압에 대해 0.45~1V의 출력전압의 변화가 가능하다. 이러한 유동적인 출력전압 범위는 고밀도의 MIM capacitor의 연결을 변화시켜 얻어진다. 컨버터는 84%의 최대 변환 효율을 보이고, 모든 디지털 피드백 조절을 지원하며 굉장히 작은 면적을 차지한다.

(Paper C13-5, “A 0.45-1V Fully Integrated Reconfigurable Switched Capacitor Step-Down DC-DC converter with High Density MIM Capacitor in 22nm Tri-Gate CMOS,” R.Jain et al, Intel)



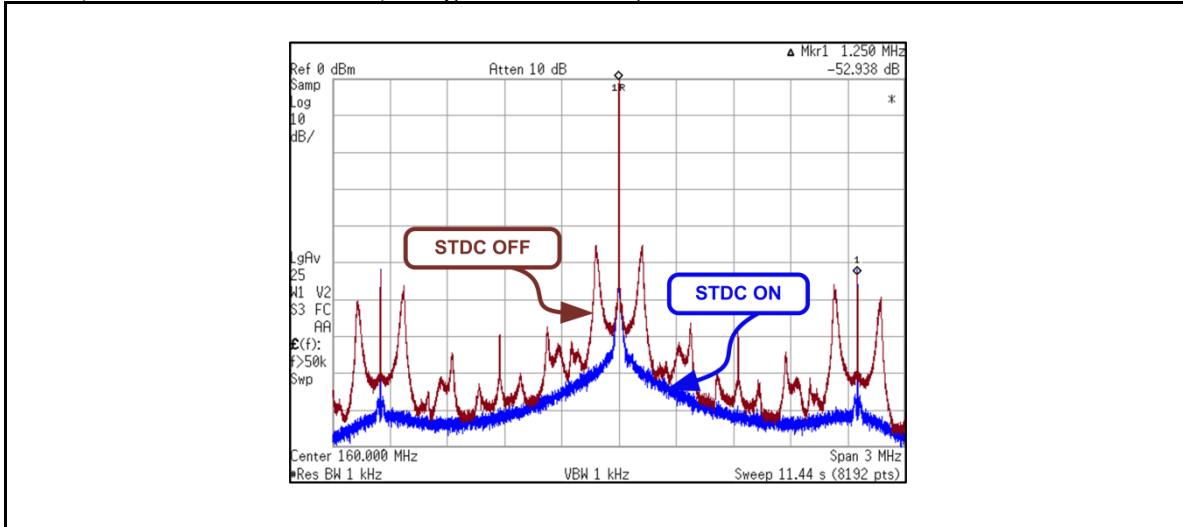
MIM capacitor의 TEM 이미지 단면과 die 사진

Scrambling TDC를 이용한 2.5GHz, 5.4mW, 1 to 2048 디지털 클락 Multiplier

디지털 PLL (DPLLs)은 나노미터 CMOS 공정의 Clock 생성에 있어서 매력적인 구조로 나타나고 있다. 그것들의 디지털적인 특성에도 불구하고 DPLL은 time-to-digital converter (TDC)로 인한 jitter noise의 영향을 받는다. 이 work은 Oregon State University에서 진행되었으며 새로운 scrambling TDC를 이용한 low-jitter digital PLL를 보여주고 있다. Scrambling TDC는 전력의 부족함 없이 jitter 축적시간을 줄이는 방식으로 jitter를 억제한다. 이 PLL은

150MHz~2.56GHz을 생성하고 2.7ps-rms의 jitter를 보이며 5.4mW의 전력을 소비한다. 이와 같은 결과는 large divider value PLL 분야에서 가장 적은 jitter와 가장 최상의 전력효율을 보여준다.

(Paper C12-1, “A 2.5GHz 5.4mW 1-to-2048 Digital Clock Multiplier using a Scrambling TDC,” R. N. Nandwana et al, Oregon State Univ.)

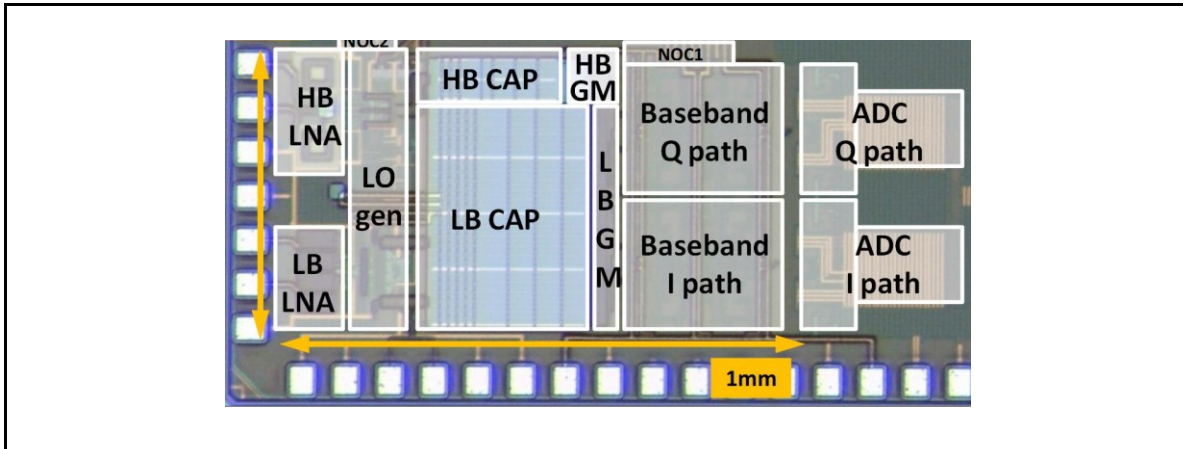


Scrambling TDC를 사용하여 측정한 결과와 사용하지 않고 측정한 결과 스펙트럼

발전된 CMOS 공정을 이용한 Software-Defined-Radio의 실용적인 사용

Software-defined-radio (SDR) 송수신기의 실용적인 사용을 위해서는 scaling을 통한 적극적인 전력 감소와 주파수 밴드 확장이 필수적이고 이는 낮은 전압을 사용함에도 높은 선형성을 유지하기 위해서이다. IMEC Leuven과 Renesas Electronics Corp.의 이 논문에서는 28nm-CMOS high-linear wideband SDR을 처음 선보인다. 0.4~6GHz의 주파수 대역에서, 1.8~3dB 정도의 노이즈가 있으며 IIP2는 85dBm보다 높다. 또한, out-of-band IIP3는 3dBm보다 높으며 이때의 전력소모는 0.9V의 전압에서 40mW보다 작다. 이 논문은 모바일 기기를 위한 SDR 송수신기의 활용 가능성을 가져온다.

(Paper C11-1, “A 0.9V Low-Power 0.4-6 GHz Linear SDR Receiver in 28nm CMOS,” J.Borremans et al, imec)

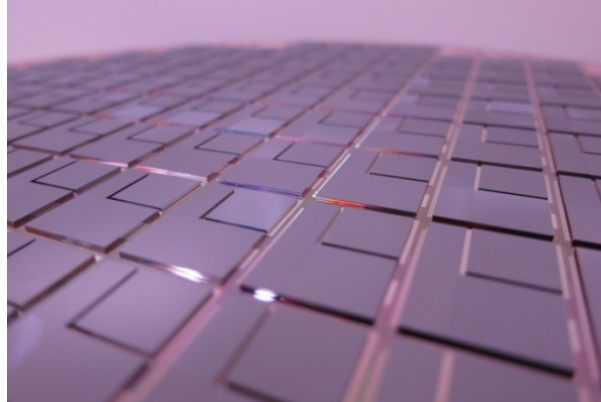


Die 사진.

차세대 메모리 인터페이스를 위한 CoWoS(Chip-on-Wafer-on-Surface)?

Heterogeneous integration을 위한 3D stacking 기술들이 무어의 법칙을 뛰어넘어 산업의 움직임에 혁신적인 것들이 되고 있다. Memory interface 또한 TSV(through-silicon via), Wide-IO, MCP(multi-chip package), POP(package-on-package), silicon interposer와 같은 다양한 기술 등을 혼합한 최적화된 해결책을 찾고 있다. TSMC engineer들은 CoWoS라 불리는 그들의 frontend-to-backend heterogeneous integration을 통해 구현한 1 Tera b/s 내장형 DRAM interface를 보여주었다. 이 논문은 eDRAM과 65nm CMOS로 제작된 silicon interposer chip에 포개져 있는 40nm CMOS로 제작된 SoC를 연결시키는 저가의 넓은 병렬의 1024-bit transceiver에 대해 묘사하고 있다.

(Paper C3-1, “An Extra Low-Power 1Tbit/s Bandwidth PLL/DLL-less eDRAM PHY Using 0.3V Low-Swing IO for 2.5D CoWoS Application,” M.Lin et al, TSMC)

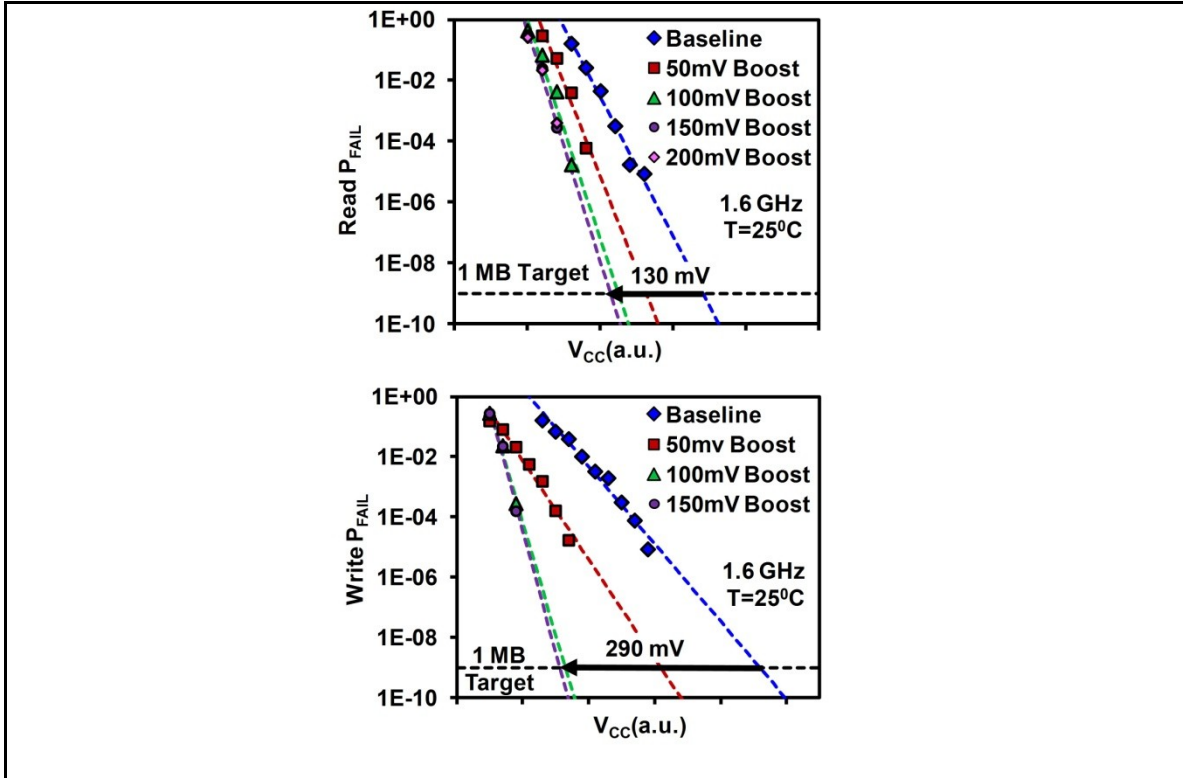


Stacking 이후의 Die 사진

22nm Tri-Gate CMOS공정을 사용한 wide dynamic voltage range에 의한 에너지 효율적 동작의 Dual-Vcc 8T-bitcell SRAM Array

14KB 8T-bitcell SRAM array가 fine-grain dual-Vcc 보조 기술을 이용한 22nm tri-gate CMOS를 통해 보여 졌다. 8T-bitcell node들을 제한시키는 Vmin 값을 메모리를 읽고 쓰는 동안 전체 chip-Vmin을 향상시키기 위해 선택적으로 증가시킬 수 있다. Bit failure rates(Pfail) Vcc보다 높은 Vboost 값들을 50mV씩 증가시키면서 측정하였다. 1MB target array에서 측정된 Pfail값과 Vcc값 사이의 외삽을 통해 얻은 데이터는 1.6GHz에서 디자인한 Vcc 값보다 130mV 낮은 read-Vmin 값과 290mV 낮은 write-Vmin 값을 보여주었다. 측정은 boosting, array activity 그리고 voltage regulator 효율의 각기 다른 값들에서 0.4-1.6GHz에서 27-46% 낮은 power와 함께 130-290mV 낮은 Vmin값을 보여주고 있다.

(Paper JJ2-6, “Dual-Vcc 8T-bitcell SRAM Array in 22nm Tri-Gate CMOS for Energy-Efficient Operation across Wide Dynamic Range,” J.Kulkarni et al, Intel)

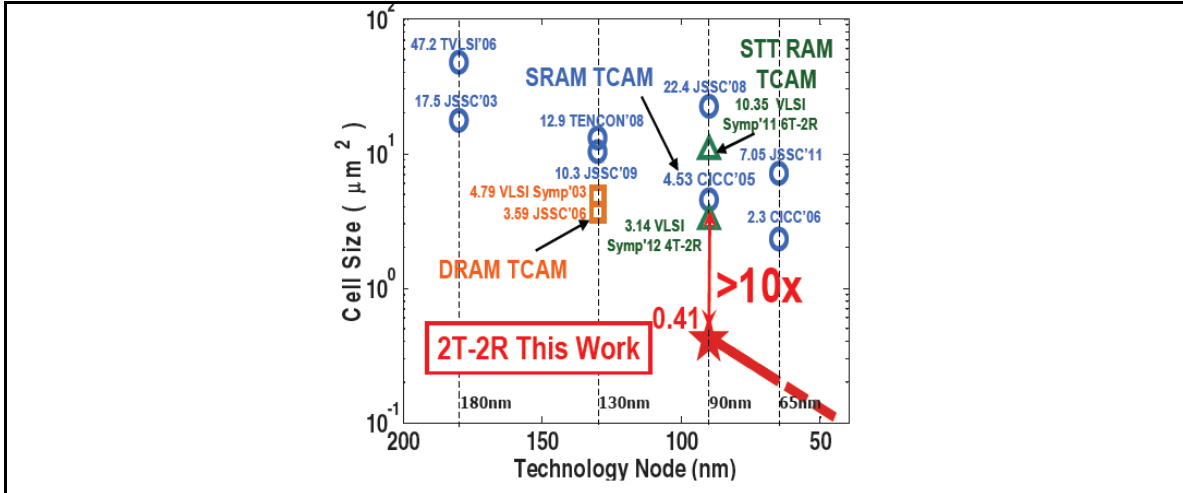


측정된 읽기와 쓰기 Failure Rate(P_{FAIL}) vs. V_{cc} .

위상 변화 메모리 기술에 기반한 가장 작은 비휘발성 TCAM cell

PCM 기술을 이용하여 2-트랜지스터/2-저항성 저장 셀을 사용한 비휘발성 TCAM 칩이 소개되었다. 제안된 TCAM cell은 SRAM셀의 1/10 정도 크기로서 가장 작은 셀로 이해할 수 있다. 셀 기술에 더해서, 새로운 검색 기술인 2-bit 인코딩 회로와 새로 제안된 클락 자기-참조 센싱 회로가 90nm CMOS 기술로 1Mb TCAM 칩이 구현되었다. 칩의 성능은 대략적으로 short match 지연이 1.2V에서 1.9ns 정도로 나타났고, 0.75V에서 9.8ns 정도로 나타났다.

(Paper C9-1, “1Mb 0.41 μm^2 2T-2R Cell Nonvolatile TCAM with Two-bit Encoding and Clocked Self-Referenced Sensing,” J.Li et al, IBM)

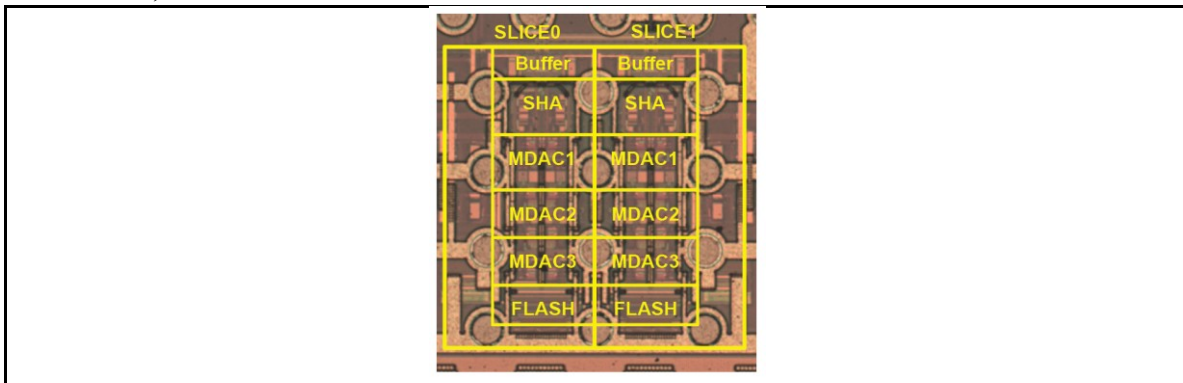


현재 제안되어 있는 TCAM 셀 크기의 기술 동향

고성능, 저전력 ADC

Broadcom이 대부분의 유, 무선 통신을 위한 광대역 direct sampling receiver를 가능하게 하는 5.4-GS/s 12비트 시간 간격의 파이프라인 analog-to-digital converter (ADC)를 내놓을 예정이다. 고속과 저전력을 얻기 위해서, 새로운 형태의 앰프 구조와 Multiplying digital-to-analog converter (MDAC)구조가 제안되었다. ADC는 28-nm CMOS 기술을 이용해서 구현되었고, 2.6GHz 입력 주파수에서 signal-to-noise ratio (SNR)은 61dB를 얻었다. 이때의 전력 소모는 500mW이다.

(Paper C8-1, “A 5.4 GS/s 12b 500mW Pipeline ADC in 28nm CMOS,” J.Wu et al, Broadcom)

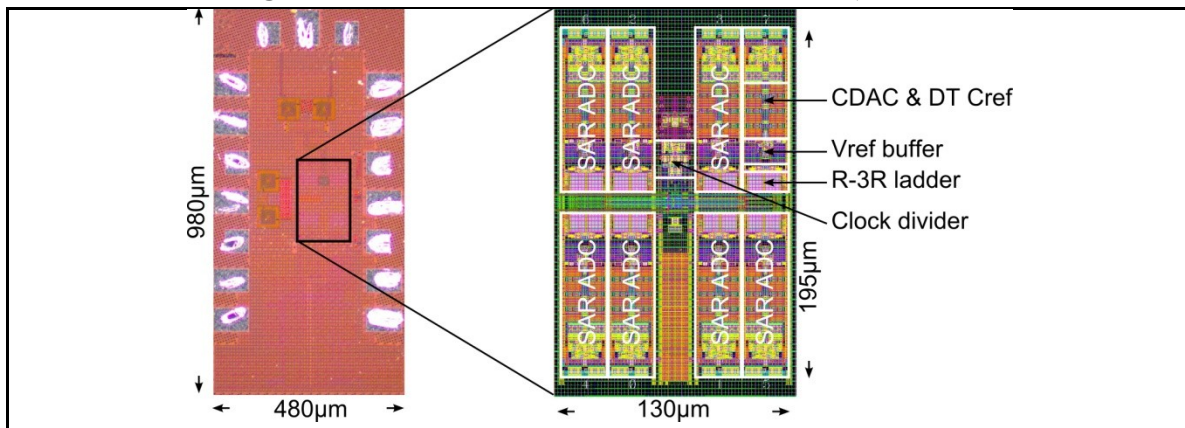


Die 사진

차세대 고속 링크를 위한 8비트 8.8GS/s ADC

이것은 나이키스트 컨버터 세션의 가장 중요한 발표중 하나이다. 1V 공급전압에서 35mW 저전력, 고속 8x interleaved SAR ADC가 개발되었다. 이것은 130um x 195um의 면적으로 32nm CMOS SOI 기술을 이용해 개발되었다. 이것의 FOM은 58fJ/conversion-step이다. 이 ADC의 4GS/s 에서 6bit 정확도를 가지는 것과 같은 대단한 성능은 기본적으로 per-channel gain조절을 이용한 저전력 voltage reference buffer와 낮은 skew를 위한 pass-gate selection clocking scheme 기술을 포함한 다양한 기술들에 기반해 만들어졌고, IBM 연구소(취리히)와 EPFL에 의해 학회에서 발표될 예정이다.

(Paper C21-1, "A 35mW8b 8.8 GS/s SAR ADC with Low-Power Capacitive Reference Buffers in 32nm Digital SOI CMOS," L. Kull et al, IBM and EPFL)

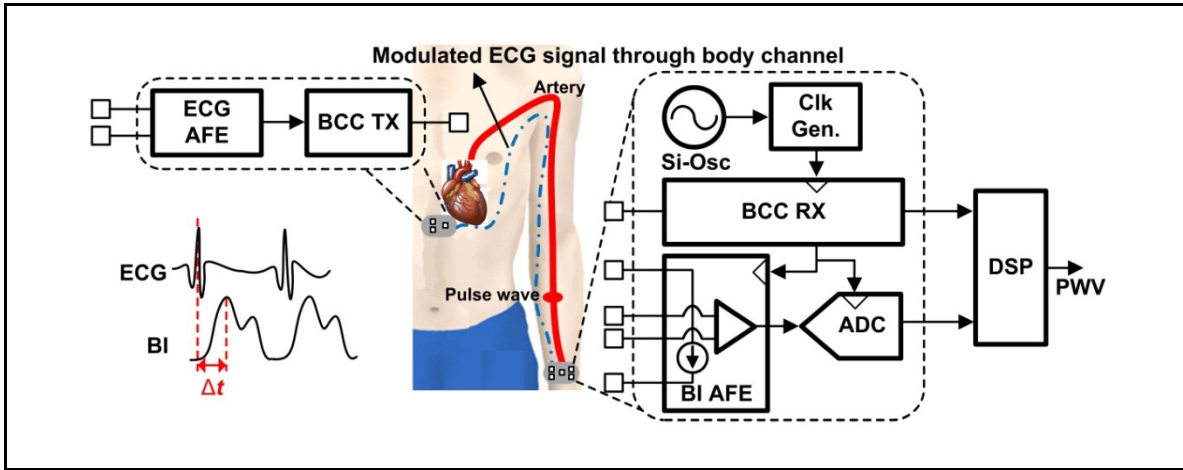


Die 사진과 레이아웃

바이오 임피던스와 잡음형성 인체 채널 통신을 이용한 집적 펄스 파형 속도 센서

Pulse wave velocity(PWV)는 심혈관계 질환을 진단하는 중요한 측정 지표이다. 카이스트는 대략적으로 가슴과 허리에 붙일 수 있는 ECG 센서와 집적 PWV 센서로 구성된 전자 PWV 측정 시스템을 제안하였다. 개발된 PWV센서는 동맥을 따라 전파되는 ECG 신호를 측정하고 bio-impedance(BI)를 측정한다. PWV는 ECG센서와 BI센서의 시간 차이를 이용해서 계산된다. 이러한 인체 채널 통신에 기반해 설계된 측정 시스템은 몸 위의 크고 무거운 와이어를 대신할 수 있다.

(Paper C17-4, "An Integrated Pulse Wave Velocity Sensor using Bio-impedance and Noise-Shaped Body Channel Communication," W.Lee et al, KAIST)



PWV 센서 구조

Here are definitions of some important technical terms:

- **Back-End/BEOL and Front-End/FEOL** – 반도체 집적공정에서 트랜지스터 등 능동소자를 만드는 공정이 먼저 진행되는 데 이를 the front end of the manufacturing line (or FEOL)공정이라고 하고, 트랜지스터를 서로 연결하는 배선 또는 그 이후의 공정을 back end of the manufacturing line (BEOL)이라고 한다.
- **CMOS/MOS/MOSFET/FET**-- 오늘 날, 통상적으로 사용되는 대부분의 트랜지스터는 전계효과 트랜지스터(FETs, or field-effect transistors)이며, 대부분의 전계효과 트랜지스터는 상보트랜지스터 CMOS manufacturing technology (complementary metal oxide semiconductor)형태로 연결되어 있다.
- **Compound/III-V Semiconductors** – 대부분의 반도체 소자는 실리콘 기판에 만들어지지만, 좀 더 높은 전하이동도를 원할 때에는 GaAs, InP, GaN 와 같은 화합물반도체 기판에 만들어진다. 여기에 사용되는 Ga, In, As, P 등의 원소들이 주기율표상 III 족, 또는 V 족에 배치되어 있기 때문에 III-V 반도체라고도 한다.
- **CPP** --Contacted Poly-Silicon (Gate) pitch
- **FinFET** – 트랜지스터 중 전하가 이동하는 영역이 평면이 아니라 상어지느러미처럼 실리콘 기판에서 튀어나온 영역을 주로 사용하는 소자를 finFET 이라고 한다. 핀의 세면에 다 게이트 스택이 있어야 하기 때문에 다중게이트 전계효과 트랜지스터라고 하기도 한다.
- **Front-End/FEOL and Back-End/BEOL** -- In integrated circuit manufacturing, transistors and other active devices are built first (at the front end of the manufacturing line or FEOL), while the interconnect, or the wiring, is built afterward, at the "back end" of the manufacturing line (BEOL).
- **High-k Dielectrics/Metal Gates** – 절연막의 전기적 특성을 나타내는 척도가 유전율 k 인 데, 유전율이 실리콘 산화막의 3.9 보다 현저히 높은 유전막들을 고유전 절연막이라고 한다. 고유전 절연막에 사용되는 전극으로 금속소재가 사용되는 데, 이를 메탈게이트라고 한다.
- **III-V** -- Compound/III-V Semiconductors 참조
- **Integrated Circuit** – 실리콘 기판상에 트랜지스터, 다이오드, 캐패시터, 저항 등 여러 요소를 연결하여 특정기능을 갖도록 만든 회로. 집적회로 하고 함
- **Interconnect** –트랜지스터 등 집적회로에 들어가는 요소를 연결하는 금속선을 배선이라고 함. Back-End/BEOL 참조
- **Low-k Dielectrics/Interconnect** – 배선구조는 금속선과 금속선을 감싸고 있는 절연체로 이루어지는 데, 금속선간의 전기적 상호작용을 최소화하기 위해

게이트절연막과는 반대로 유전율 k 가 낮은 물질이 필요하다. 통상적으로 k 가 3.5 이하인 물질을 저유전막이라고 한다.

- **MEMS** -- 마이크로 크기의 움직이는 부분을 포함한 전자소자 및 시스템을 통칭 멤스시스템 또는 멤스 소자라고 함
- **MIMCAP**– Metal-Insulator-Metal Capacitance fabricated by BEOL process.
- **N-FET/P-FET or NMOS/PMOS** – 전계효과 트랜지스터는 게이트 전압이 양의 값을 가질 때 동작하는 N-FET 또는 NMOS, 음의 값을 가질 때 동작하는 pFET 또는 pMOS 로 구성되어있음
- **Non-volatile memory (NVM)** – 전원이 꺼져도 정보가 저장되어 있는 형태의 메모리소자
- **Phase-Change Memory/PCM** – 메모리셀에 사용되는 소재를 결정질, 또는 비정질로 바꾸어주면서, 상변화에 따라 바뀌는 전기전도도의 차이를 이용하여 정보를 저장하는 메모리소자
- **Resistive Random Access Memory** -- A non-volatile memory device which uses the resistance change for data storage. The resistance change is caused by the filament formation or disruption within the insulator by high voltage application.
- **Scaling/Density/Integration** – 미세화/ 집적도/ 집적공정 은 소자를 작게 만들기위해 사용되는 다양한 기술 및 공정을 통칭할 때 사용되는 표현임
- **Semiconductor** – 외부 조건에 따라 전기전도도를 바꾸어줄 수 있는 소재
- **SOI** – 실리콘/산화막/실리콘 기판의 적층구조를 가진 특수한 기판, 소자 및 회로 성능을 향상시키기위해 사용됨
- **Spin Transfer Torque Magnetoresistive Random Access Memory (STT-MRAM)**-- A kind of non-volatile random-access memory device which uses the magnetoresistance change for data storage. Basically, MRAM cell is composed of driver transistor and magnetic tunnel junction(MTJ). The resistance of MTJ is dependent on the spin state of the magnetic thin film in the MTJ, which is controlled by the external magnetic field or the spin polarized electron current. In latter case, spin transfer torque(STT) is the main force of the switching. Both high speed and low power consumption are expected in STT-MRAM.
- **Strained silicon & SiGe stressors** -- 실리콘 기판의 실리콘 원자간 거리를 좁히거나 늘림에 따라 전자나 정공의 이동도가 개선될 수 있는 데, 이러한 조건을 만들기위해 사용되는 외부소재를 stressors 라고 하며, 기판 또는 소스/드레인에 (SiGe)을 사용할 경우 SiGe stressors 라고 한다.

- **SRAM** – 컴퓨터 메모리의 한 종류로 단일 소자가 아닌 6 개 또는 그이상의 트랜지스터를 조합, 매우 빠른 속도로 정보를 쓰고, 읽도록 만든 메모리소자이다.
- **Technology Generations/Nodes** – 반도체 기술의 발전정도를 나타내기위해, 최소 선폭의 절반정도에 해당하는 숫자를 이용하여, 22 나노급, 또는 22 나노 노드와 같은 표현을 사용한다
- **Transistor** – 트랜지스터는 집적회로에 사용되는 매우 작은 전기적 스위치 소자이다. 스위치이지만, 물리적으로 움직이는 부분은 없으며 전계효과에 의해 켜/꺼짐 상태가 조절된다. 최신 컴퓨터 프로세서에는 약 1 조개에 가까운 트랜지스터가 집적되어 있다.

###