



www.vlsisymposium.org



媒體聯絡人

VLSI Symposia (超大型積體電路技術研討會)

秘書處 (日本與亞洲)

由 ICS Convention Design, Inc. 會議企劃公司轉交
Chiyoda Bldg. 1-5-18 Sarugaku-cho, Chiyoda-ku,
Tokyo 101-8449 Japan

電話號碼： +81-3-3219-3541

電子郵件： vlsisymp@ics-inc.co.jp

BtB 行銷公司 (北美與歐盟)

Chris Burke

BtB 行銷

共同公關總監

電話號碼： +1-919-872-8172

電子郵件： chris.burke@btbmarketing.com

立即發布

提示表：

2015 年 VLSI 技術及電路研討會

日本京都訊 — 此提示表係針對 2015 年 VLSI 技術及電路研討會所發表之論文中，最具有新聞價值者予以預告，以供參考。研討會將於 2015 年 6 月 15 日至 18 日 (技術場) 及 6 月 16 日至 19 日 (電路場)，在京都的麗嘉皇家酒店 (Rihga Royal Hotel) 舉辦。

請參閱編輯新聞中心觀看較高解析度的圖片。提示表最後附有技術術語詞彙表。

www.vlsisymposium.org/press.html

I) 2015 年 VLSI 技術研討會的技術亮點

A) CMOS 製造的平台技術

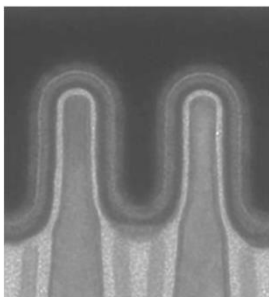
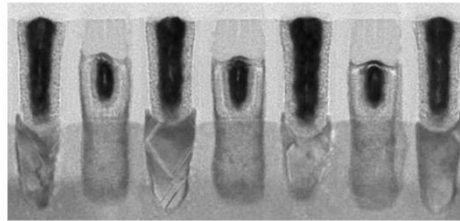
低功耗、高性能及高密度 系統晶片 (SoC) 產品的 14 奈米 SoC 平台技術：

英特爾將討論以第二代三閘極電晶體技術為基礎的 14 奈米 SoC 平台，及其針對密度、低功率及寬動態範圍進行最佳化。70 奈米的閘極組距 (pitch)、52 奈米的金屬組距，以及 0.0499

μm^2 高密度靜態記憶體 (HDC SRAM) 單元是目前 14/16 奈米技術節點 SoC 製程中最具競爭力的設計準則(design rule)，能依摩爾定律達到相較於 22 奈米技術節點兩倍的密度。其高效能負/正型金屬氧化物半導體 (NMOS/PMOS) 在 0.7 V 及 100 nA/ μm 的關閉狀態漏電流 (off-state leakage, I_{off}) 下，驅動電流可達 1.3 與 1.2 mA/ μm ，比 22 奈米技術分別增強了 37% 與 50%。在 0.7 V 及 15pA/ μm I_{off} 下，超低功率的 NMOS/PMOS 驅動電流分別可達到 0.50 與 0.32 mA/ μm 。這項 SoC 技術採用高電壓輸入/輸出 (I/O) 電晶體，支援高達 3.3 V 的 I/O，並且具有支援全系列類比、混合訊號與聲頻 (RF) 的特性。(論文 T2-1, “A 14 nm SoC Platform Technology Featuring 2nd Generation Tri-Gate Transistors, 70 nm Gate Pitch, 52 nm Metal Pitch, and 0.0499 μm^2 SRAM cells, Optimized for Low Power, High Performance and High Density SoC Products,” C.-H. Jan et al., Intel, 論文 C23-1, “Broadwell : A family of IA 14nm processors,” A. Nalamalpu et al. Intel)



High Speed Logic Transistor



High Voltage I/O Transistor

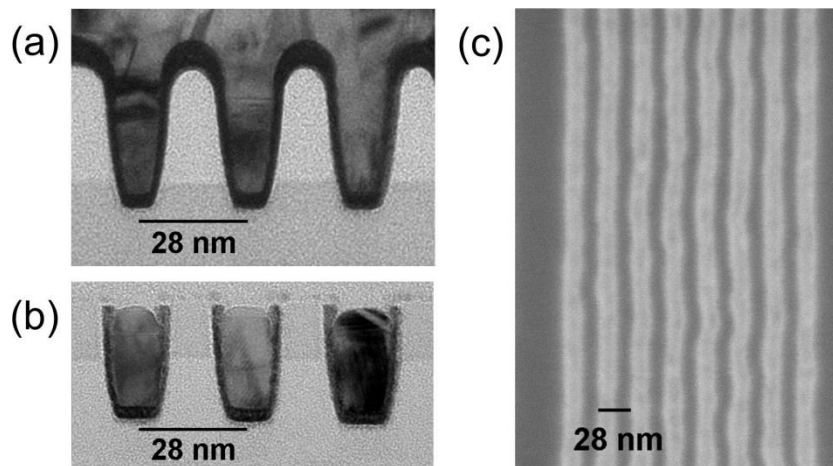


鱗/閘極截面的邏輯穿透式電子顯微鏡影像 TEM (上圖) 及 HV I/O 電晶體 (下圖)。

7 奈米之後技術節點的銅連線電阻：

銅電阻值增加所造成的連線延遲，是 7 奈米技術節點 CMOS 的主要挑戰之一。IBM 及 GLOBALFOUNDRIES 極力研究造成銅電阻率增加的各種機制。並量測小至 40 奈米組距 (pitch)、銅截面積小至 140 nm^2 之鑲嵌銅電阻率。並展示以定向自組裝 (directed self-assembly, DSA) 製作 28 奈米組距圖形之銅流動 (reflow) 金屬化製程。由單晶矽遮罩的表面重構，可獲得極低的線邊緣粗糙度 (line-edge-roughness, LER)，其 LER 的變異對於電阻率毫無影響。近似竹狀晶粒結構的連線具有電阻率上的優勢，若能控制晶粒尺寸，可以改善 7 奈米之後技術

節點的元件效能。(論文 T8-3, “Resistivity of copper interconnects beyond the 7 nm node,” A. Pyzyna et al., IBM & GLOBALFOUNDRIES)

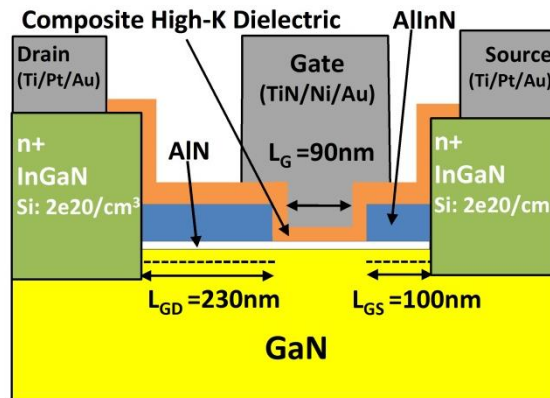


溝槽的 穿透式電子顯微鏡影像 (TEM) 截面圖 (a) 充滿滿，及 (b) 化學機械研磨 (CMP) 之後。(c) 掃描式電子顯微鏡影像 (SEM) 顯示 CMP 之後在 28 奈米組距上的 DSA 圖案線條。

B) 新興的元件技術

高性能低漏電增強式高介電質(K)的 GaN MOS-HEMT：

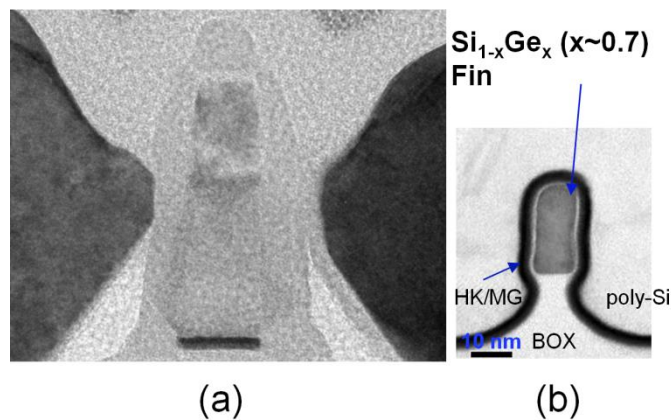
GaN 元件具有可在高功率及高頻率應用的優點。其元件大多都是空乏式 depletion-mode (常開, normally-on) 的高電子遷移率電晶體 (HEMT)，不適用於低功率的 SoC。在此論文中，英特爾展示了 90 奈米閘極長度的高介電質 (high-k dielectric) 之增強模式 (e 模式) GaN MOS-HEMT，顯示具有低 $I_{OFF}=70\text{nA}/\mu\text{m}$ ($V_D=3.5\text{V}$, $V_G=0\text{V}$)、低 $R_{ON}=490\Omega\text{-}\mu\text{m}$ 、高 $I_{D,max}=1.4\text{mA}/\mu\text{m}$ ，以及在 $0.55\text{W}/\text{mm}$ ($V_D=3.5\text{V}$, $f=2.0\text{GHz}$) RF 輸出功率密度 (RF Pout) 下，增加 80% 的優越功率附加效率 (PAE)。結果顯示：(i) 在當量崩潰電壓 (BV_D) 之下，相較於業界標準的 Si 電壓調節 (VR) 電晶體，其 R_{ON} 之降低超過 3.6 倍；(ii) 相較於業界標準的 GaAs RF 功率放大器 (PA) 電晶體，在相對應的 RF Pout 下，PAE 之提昇超過 10%；或在相對應的 PAE 下，RF Pout 之提昇超過 50%，以上測試皆在行動 SoC 相容之電壓進行。這項研究首次顯示 GaN 電子的應用範圍可擴展至現有的高電壓電源及 RF 電子以外 (例如汽車、電源轉換、基地台、雷達)，將低功率行動 SoC 應用包含在內。(論文 T15-1, “High-Performance Low-Leakage Enhancement-Mode High-K Dielectric GaN MOS-HEMTs for Energy-Efficient, Compact Voltage Regulators and RF Power Amplifiers for Low-Power Mobile SoCs,” H.W. Then et al., Intel)



本研究的 e 模式高介電(K)質 GaN MOS-HEMT 示意圖。

高遷移率、高 Ge 成份 $\text{Si}_{1-x}\text{Ge}_x$ 於絕緣體上的 PMOS FinFETs :

較高的應變 (Ge 成份較高的 pMOS) 且較薄的通道，為極端縮小之 CMOS 的首選。IBM 使用一種 CMOS 相容的方式，展示縮小尺寸的高 Ge 成份 (HGC) SiGe-OI FinFETs，其中 Ge 成份高達 71%。展示其使用的增強 3D Ge 密化技術，積極縮小尺寸，使用相對高且有垂直側壁、次 10 奈米的寬度的 HGC 鰭。且其改善後之無 Si 覆層之高介電/金屬閘極製程，具有最佳化的界面層，使得 EOT (等效氧化層厚度) 可縮小至 0.85 奈米、並具有優越的長通道次臨界擺幅 ($\text{SS}=69 \text{ mV/dec.}$) 及 Ge 含量達 0.6 的增強模式元件等特色。此外，也顯示了在縮小 EOT 下的長通道遷移率特性 ($\sim 300 \text{ cm}^2/\text{Vs}$ 於 $N_{\text{inv}}=1 \times 10^{13} \text{ cm}^{-2}$)，以及良好切斷行為下的短通道 pMOS FinFETs。(論文 T2-3, “High-Mobility High-Ge-Content $\text{Si}_{1-x}\text{Ge}_x$ -OI PMOS FinFETs with Fins Formed Using 3D Germanium Condensation with Ge Fraction up to $x \sim 0.7$, Scaled EOT $\sim 8.5 \text{ \AA}$ and $\sim 10 \text{ nm}$ Fin Width,” P. Hashemi et al., IBM)

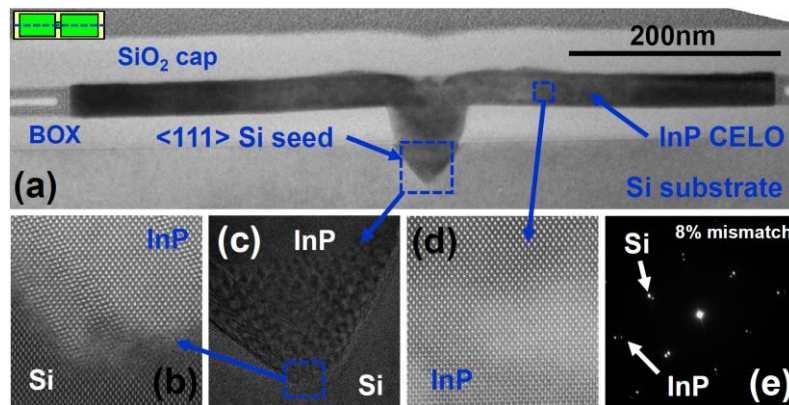


典型的 $\text{Si}_{1-x}\text{Ge}_x$ -OI ($x \sim 0.7$) pMOS FinFETs 截面穿透式電子顯微鏡影像 (TEM)

(a) 沿著鰭片方向，及 (b) 橫跨鰭片方向。

CMOS 相容的限定橫向跨越成長磊晶 (Confined Epitaxial Lateral Overgrowth, CELO) 將 InGaAs 於絕緣體上的 MOFETs 整合在大面積矽基板上：

將高遷移率 III-V (InGaAs 或其他) 半導體材料，以具成本效益的整合在大面積矽基板上，是最具挑戰性的議題之一。IBM 及 EMPA 透過「限定橫向跨越成長磊晶 (CELO)」的新型概念，介紹以 CMOS 相容方式，在矽基板的絕緣體上整合高品質的 InGaAs (InGaAs-OI)。這種方法以選擇性磊晶成長為基礎，只需要使用標準大面積矽基板及典型的 CMOS 製程，由大片矽及 SOI 矽晶圓出發，可生產 InGaAs-OI。此 InGaAs 的磊晶結構特色為缺陷極少，可以同時滿足用於先進 CMOS 技術節點上的超薄體及鰭基電晶體結構的需求。論文中也展示相較於最先進的矽基 InGaAs MOSFET，其具有絕佳電性之先闌極自我對準 FinFET (100 奈米長閘極，50 奈米寬鰭片，及 250 奈米寬插槽接點)。此新概念具有顯著的潛力，能將高遷移率的通道材料引入未來先進 CMOS 技術節點的大量製造。(論文 T13-3, “Confined Epitaxial Lateral Overgrowth (CELO): A Novel Concept for Scalable Integration of CMOS-Compatible InGaAs-on-insulator MOSFETs on Large-Area Si Substrates,” L. Czornomaz et al., IBM & EMPA)

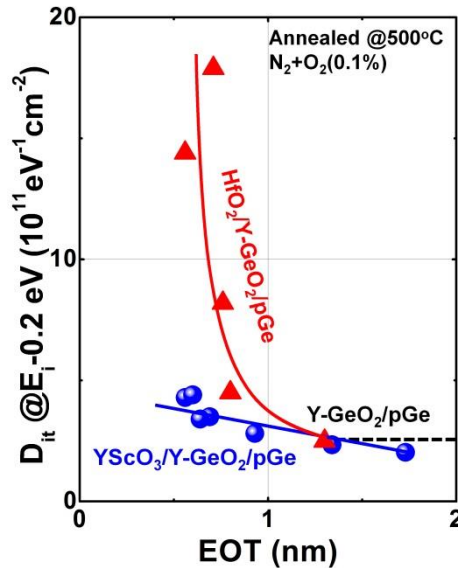


以 CELO 對矽基 InP 進行材料品質分析。(a) 截面的穿透式電子顯微鏡影像 (TEM)。以高解析掃描電子顯微鏡 (HR-STEM) 在根部晶種區觀察到的大量缺陷 (b)/TEM (c) (大部分是疊差)。遠離根部晶種區可以看到完美的晶格結構，與矽基有 8% 的錯配，為無應力的 InP (d 及 e)。

具 0.5 奈米 EOT 及可靠度之 Ge 閘極堆疊：

低界面態密度、高載子遷移率及高可靠度之通道，都是 Ge MOSFET 閘極堆疊技術中非常重要的議題。東京大學介紹了一種使用新型材料/製程來設計具可靠性的 Ge 閘極堆疊。初始特性良好之 Ge 閘極堆疊，並無法保證元件長期的可靠性。為了克服這個問題，本論文研究 GeO₂ 相關的穩定性，以及新型高介電質 (high-k dielectric) 的形成。本論文同時展示了 0.5 奈米等效氧化層厚度 (EOT) 及足夠低的界面態密度 (D_{it}) 的強健 Ge 閘極堆疊。(論文 T2-4, “Design

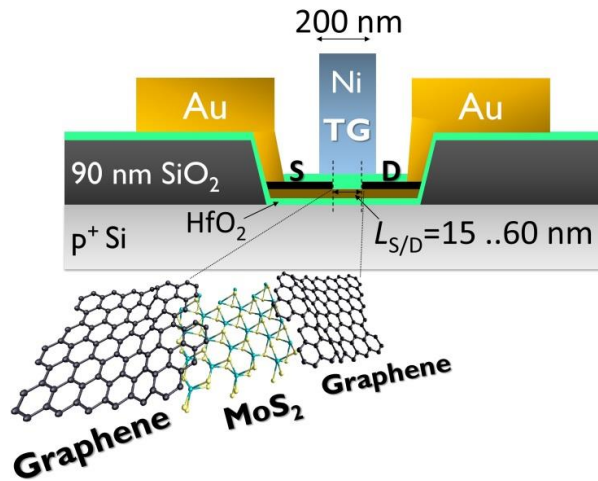
and Demonstration of Reliability-aware Ge Gate Stacks with 0.5 nm EOT,” C. Lu et al., The University of Tokyo)



在 $YScO_3$ 及 $HfO_2/Y-GeO_2/Ge(111)$ 及各種 $Y-GeO_2$ 界面層 (IL) 厚度堆疊下，於 $E_i - 0.2 eV$ 之 D_{it} 。 HfO_2 需要 1 奈米以上的 IL 阻斷對於 Ge 界面的破壞性影響， $YScO_3$ 則沒有此種顧慮。

創紀錄的短通道長度 (15 奈米) MoS_2 FETs :

MoS_2 之原子薄膜層狀半導體具備超薄本質、大能帶隙、熱穩定度及 CMOS 製程相容等特質，可提供優良的元件應用潛力。 MoS_2 FET 有極低的 I_{off} ，在低功耗應用上前途無量。美國麻省理工學院 (MIT) 及其他單位，展示了使用創紀錄的 15 奈米源極-汲極長度 ($L_{S/D}$) 之單層 ($t_{ch} \sim 0.7$ 奈米) 及 4 層 ($t_{ch} \sim 3$ 奈米) MoS_2 通道，及以單層石墨烯做為源極/汲極接點，所製作的單閘極及雙閘極 (SG & DG) 場效電晶體 (FET)。最佳元件特性來自 具 $L_{S/D} = 15$ 奈米、4 層 MoS_2 通道之 DG FET，在 $V_{DS} = 0.5 V$ ，其 I_{on}/I_{off} 值超過 10^6 ，最低次臨界值擺幅 ($SS_{min.}$) 為 90 mV/dec。在 $L_{S/D} = 1 \mu m$ 及 $V_{DS} = 0.5 V$ 時， $SS_{min.} = 66 mV/dec.$ ，其 SS 為現今報導之 MoS_2 FETs 中最佳者，顯示其具高品質界面及增強的通道靜電性。(論文 T3-4, “15-nm Channel Length MoS_2 FETs with Single- and Double-Gate structures,” A. Nourbakhsh et al., Massachusetts Institute of Technology, imec & KULeuven)

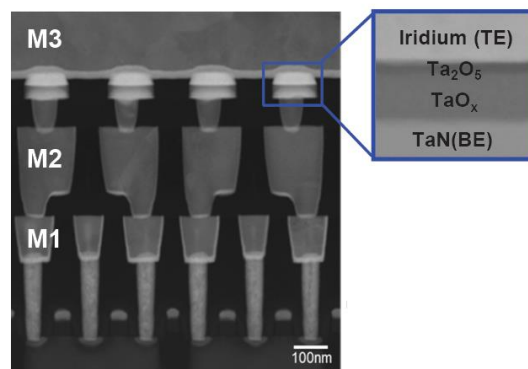


配備石墨烯 S/D 接點的短通道 SG 及 DG-MoS₂ FET 元件截面示意圖。

C) 新興的非揮發性記憶體技術

用於 28 奈米嵌入式應用之高可靠度集細絲 TaO_x ReRAM :

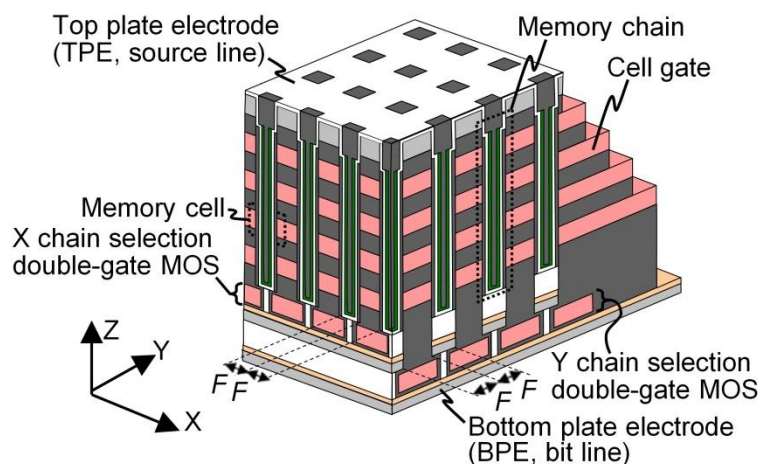
氧化基 ReRAM 具有做為非揮發性記憶體的重大潛力，然而記憶單元的細絲在成型過程中，非常容易受到記憶單元邊緣及周圍環境的影響。針對 28 奈米的嵌入式應用，松下及 imec 提出了一種可精準定位細絲及具高熱穩定度的 TaO_x 基 ReRAM。此種記憶單元使用幾項新開發的製程技術及記憶單元結構：低損傷蝕刻、記憶單元側邊氧化，及包覆式記憶單元結構。結果首次成功在記憶單元中心形成細絲。此外，他們確認了製作 20 奈米記憶單元尺寸的可行性。使用此種細絲控制及熱穩定性技術，可得到具優良可靠度之 2-Mbit ReRAM：展示了在 85 °C 下可有 100k 週期重複讀寫及 10 年的資料保留。(論文 T2-2, “Highly reliable TaO_x ReRAM with centralized filament for 28-nm embedded application,” Y. Hayakawa et al., Panasonic & imec)



Ir (上電極)/TaO_x/TaN (下電極) ReRAM 的截面穿透式電子顯微鏡影像 (TEM)。

低位元成本及高編輯輸出量的 3D 垂直鏈單元型相變記憶體陣列：

固態硬碟 (SSD) 儲存系統需要兼具低位元成本及高編輯輸出量的非揮發性儲存記憶體。日立介紹了一種用在新一代的儲存元件上之高編輯輸出量三維 (3D) 垂直鏈單元型相變記憶體 (VCCPCM) 陣列。為了透過降低位元及源極線路電阻以同時增加寫入的單元數，VCCPCM 陣列使用了板型電極及 5 奈米厚多晶矽通道的雙閘極垂直鏈選擇 MOS。此外，其 CO₂ 雷射退火可將多晶矽單元 MOS 的驅動能力提昇至 680 $\mu\text{A}/\mu\text{m}$ ，以抑制單元 MOS 的能量損耗。抹除訊號的處理率可藉由「束式抹除」(bundle erase)操作改善，乃透過通道加熱以成束的抹除記憶體單元之訊號。(論文 T7-1, “2.8-GB/s-write and 670-MB/s-erase operations of a 3D vertical chain-cell-type phase-change-memory array,” K. Kurotsuchi et al., Hitachi)

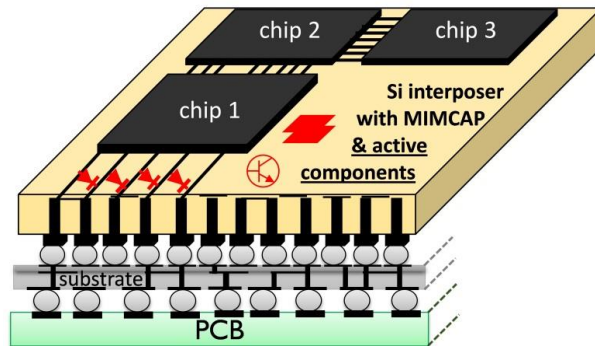


VCCPCM 陣列的鳥瞰圖。

D) 設計/技術共同最佳化及 3D 整合

2.5 及 3D 整合的主動精簡中介層：

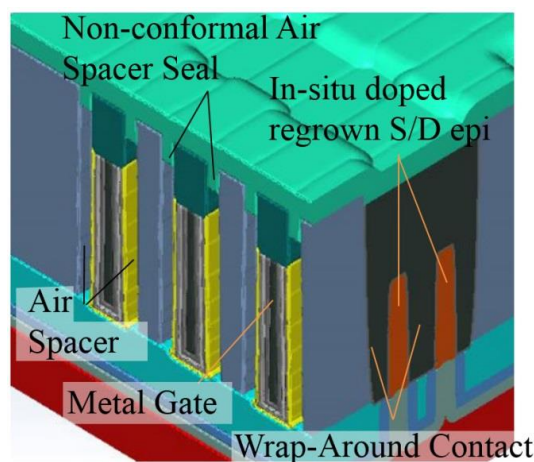
新增功能至使用在 2.5/3D 整合上的被動式 Si 中介層，可降低系統成本。Imec 使用新的低遮罩製程，將二極體(diodes)、二及異質介面電晶體(BJT)、可控矽整流器 (SCR) 等主動式元件整合於 Si 中介層。這項低成本製程可以：(1) 將面積需求強的靜電保護元件 (ESD)從堆疊晶粒移到中介層；(2) 達成預黏合的可測試中介層 (DFT)；及 (3) 類比電路的電路組合。這些特性可以節省大型系統的成本，尤其是對含是有許多 I/O 的大型中介層。(論文 JFS4-1, “Active-Lite Interposer for 2.5 & 3D Integration,” G. Hellings et al., imec)



配備 TSV、MIMCAP 及主動元件的主動精簡中介層示意圖。

7 奈米行動 SoC 的整體技術最佳化及促成之關鍵要素：

高通將 前段製程(FEOL) 及 後段製程(BEOL) 整體納入考量，以系統性方式探討在 7 奈米技術節點時，電阻(R) 及 電容(C) 的衝擊。單純縮小至 7 奈米技術節點，與前一代技術節點相比，CMOS 的速度-功率效能將變差。並確認在 7 奈米技術節點，性能及功率之提升主要受限於 BEOL 導線電阻 (R_{wire}) 乘以邏輯閘極輸入針腳電容 (C_{pin}), $R_{wire} \times C_{pin}$ 。降低 C_{pin} 對減輕後段導線電阻 BEOL R_{wire} 突然上升的效應十分重要。減少鱗片的數量是降低 C_{pin} 最有效的方法，並可縮小邏輯閘極面積。電晶體側壁的空氣墊層 (AS) 可以進一步降低 C_{pin} 。仔細選擇佈線的金屬堆疊可以改善 R_{wire} 的不利影響。另外，縮小的鱗片組距 (P_{fin}) 的源極及汲極上，必須採用「包繞接觸」(WAC)，以降低電晶體電阻 (R_{tr})。使用其他具成本效益的創新製程以減少鱗片數量，可以大幅改善 7 奈米技術節點的「功率-性能-面積-成本」(PPAC)，使行動 SoC 可以持續縮小尺寸。(論文 JFS3-4, “Holistic Technology Optimization and Key Enablers for 7nm Mobile SoC,” S. C. Song et al., Qualcomm)



搭配 WAC 及 AS 所建議的 7 奈米電晶體 3D 截面圖。

II) 2015 年 VLSI 電路研討會的技術亮點

A) 高性能處理器

微處理器的低功耗及高速時脈分佈：

本論文提出 IBM z13 微處理器的大型諧振「超級網」全域時脈分佈。改善的雙層電感器、一個諧振模式、新的脈衝模式區段緩衝器，以及更高的諧振頻率，有助於節省 50% 的最後階段時脈網功率，相較於模擬、非諧振基線設計，4.5 至 5.5 GHz 的所需頻率範圍下，也可以節省 8% 的晶片總功率。超級網設計省下的諧振時脈功率，在匯流排頻寬上有顯著的優點，晶片時序所受到的功率消耗衝擊很小。此種設計採用 IBM 的高性能 22 奈米高 k CMOS SOI 技術，具有 17 個金屬層。(論文 C23-5, "Resonant Clock Mega-Mesh for the IBM z13," David Shan et al., IBM)

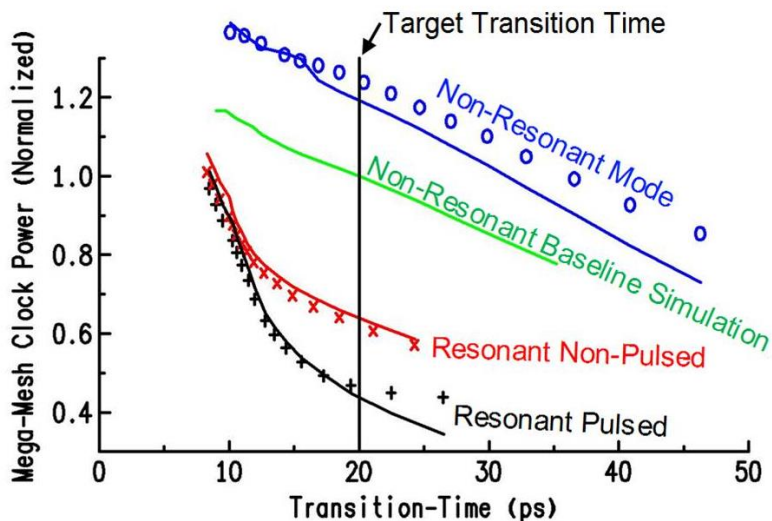


圖 6

行動裝置的高能源效率處理器：

英特爾 Core™ M 及第五代的 Core™ 處理器 (代號名稱 Broadwell) 以 14 奈米製程技術節點製造，功能中立芯片面積減少了 49%。採用的技術與最佳化提供了 2.5x 的 TDP 減量，加上高達 60% 的更高圖形性能。Broadwell 推出的第二代完全整合穩壓器，具有更好的飄移控制與平行啟動 LVR，以及其他的降低功耗等特性，比起第一代在有功及待機功率上降低了 35%。Broadwell 首次推出 3DL 電感技術，將封裝的厚度減少 30%，並且提升低負載效率。SOC 的 IO 重新分區以及主要的重新設計 DDR 系統，讓 I/O 功率一舉降低 30%。以各種閒置閒狀態 (C* 狀態) 關閉 SOC 芯片的不同部件，可以減少 60% 的閒置功耗。採用新軟

體控制的共同最佳化方法，例如佔空比控制及動態顯示支援，可提高圖形及顯示子系統的能源效率。英特爾另有數篇論文探討相同的 14 奈米平台：電路論文編號 C19-1 及技術論文編號 T2-1，請參閱技術的提示表。(論文 C23-1, "Broadwell : A family of IA 14nm processors," A. Nalamalpu et al., Intel Corporation)

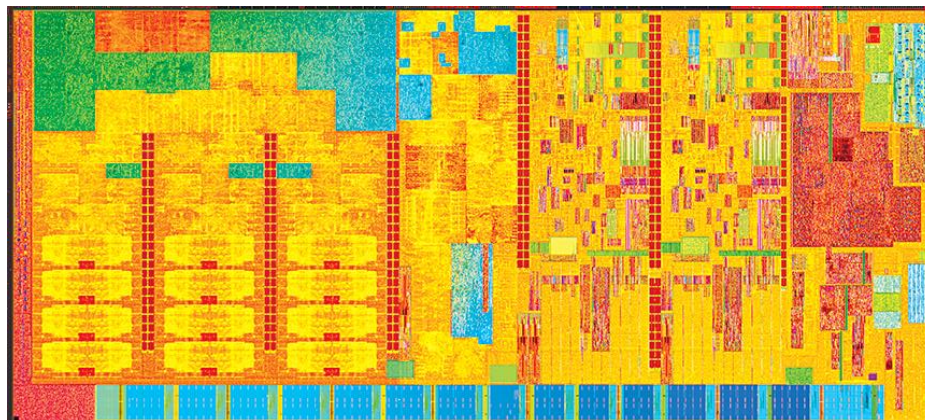


圖 1

B) 高性能記憶體系統

16 奈米最高位元密度及最快搜尋速度 TCAM：

此論文提出全新的 16 奈米鳍片 FET 位元單元 (BC)，使用在三元內容可尋址記憶體 (TCAM) 上。提出的 BC 比傳統的 BC 還要小 15.8%。一個 10kb TCAM 巨集達到 1.8 Mbit/mm² 的最高密度。測量顯示，所提出的巨集有功總功率比傳統型少了 8%。在 0.8 V 下觀察到 484 ps 的搜尋存取時間，每秒 1.25 G 的最快速搜尋操作週期打破目前的世界紀錄。(論文 C19-5, "1.8 Mbit/mm² Ternary-CAM macro with 484 ps Search Access Time in 16 nm Fin-FET Bulk CMOS Technology ", Y. Tsukamoto, et al., Renesas Electronics Corporation)

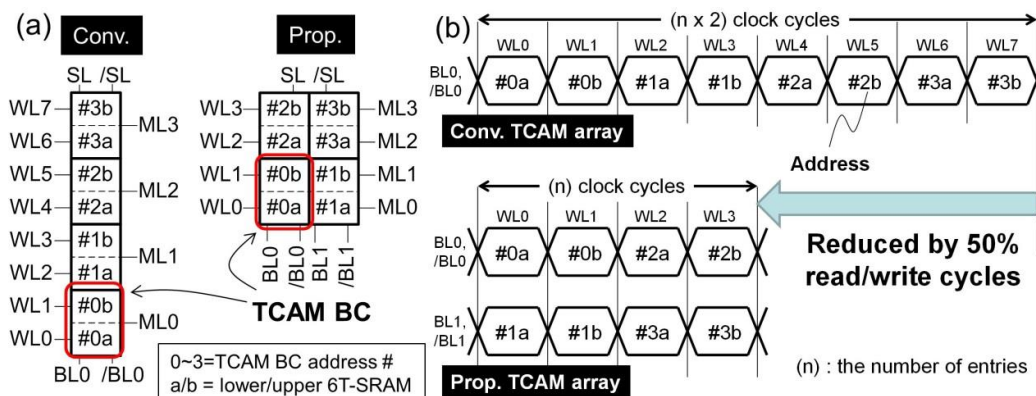


圖 2

高速 DRAM 介面：

由三星電子的 Chang-Kyo Lee 等人提出的論文，介紹次 1V 供應電壓下的 6.4 Gb/s TX-交錯技術。採用的 25 奈米 DRAM 製程應用在未來的行動 DRAM 界面上，此界面要求的 51.2 GB/s 是 LPDDR4 的 2X 頻寬。提出的雙通道 TX 交錯技術配備引導開關，可拿掉轉發器大幅節省功耗，以 6.4 Gb/s 操作時，相較於 LPDDR4，I/O 電源效率提升 40%。(論文 C12-2 “A 6.4Gb/s/pin at Sub-1V Supply Voltage TX-interleaving Technique for Mobile DRAM Interface”, C-K. Kee, et al., Samsung Electronics)

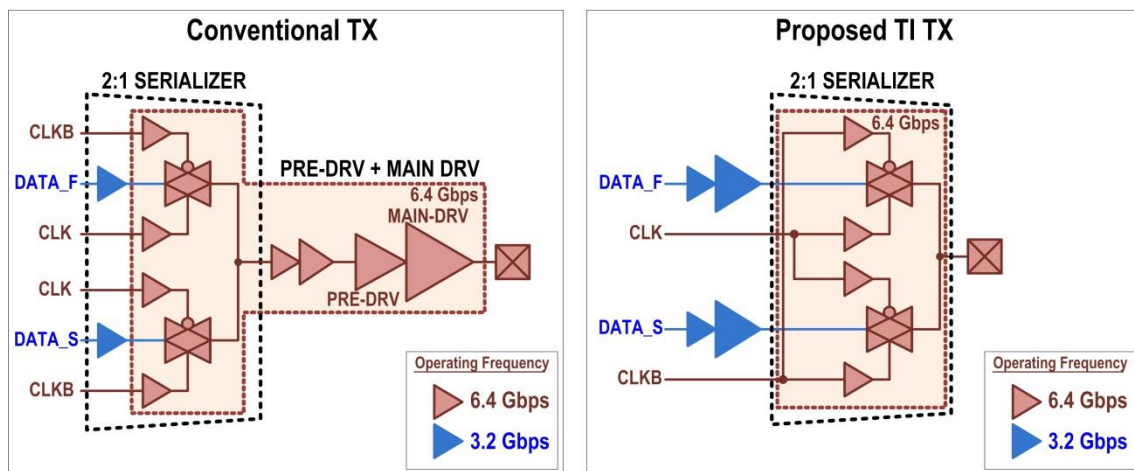


圖 3

C) 生物醫學及感測器

16 通道的無線神經界面 SoC：

美國聖地牙哥大學 S. Ha 等人的論文，提出一個完全整合的 16 通道無線神經界面 SoC，採用一個絕熱激發器，直接從 190-MHz 晶片上天線供電，拿掉笨重的外部元件，同時避免整流器與電源產生器的損耗。激發器採用一個電荷補充結構，輸出高達 145-uA，達到 63.1% 的補充率及 6.0 的激發效率因子。此晶片以 0.18um CMOS-SOI 製程製造，通過體內生理條件下的激發及紀錄驗證。(論文 C6-1: “A 16-Channel Wireless Neural Interfacing SoC with RF-Powered Energy-Replenishing Adiabatic Stimulation, S. Ha et al., UCSD)

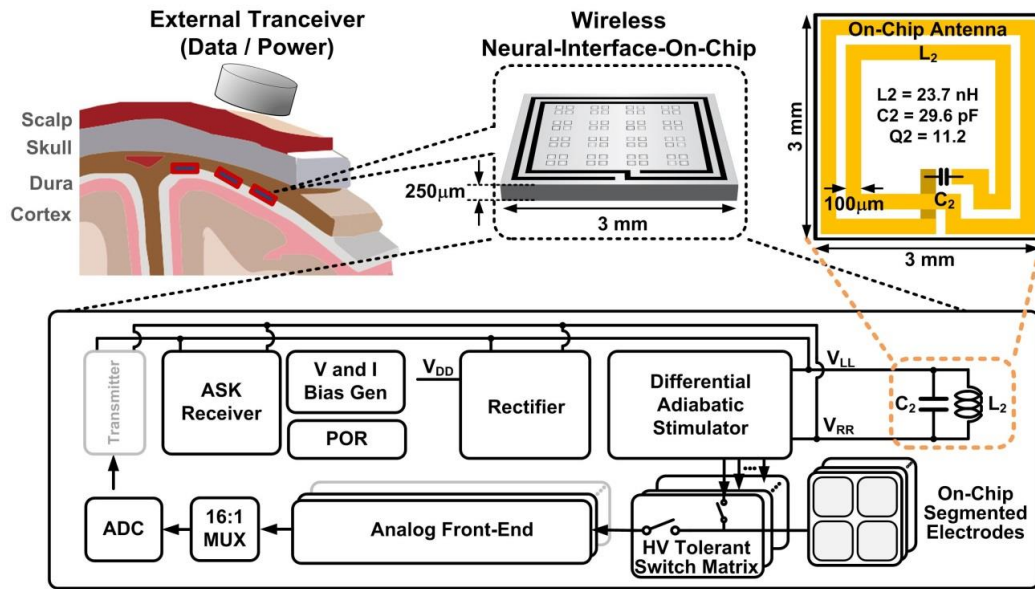


圖 1

搭配 8GHz UWB 發射器的自供電無線感測器節點：

密西根大學 Hyeongseok Kim 等人的論文，提出一個完整、自主、無線的溫度感測器，完全封裝在 10.6mm³ 的容積內。如圖所示，感測器模組包括收集太陽能的整合式 2 uAh 電池、進行程式設計的光接收器、微控制器及記憶體、8GHz UWB 發射器，以及小型自訂天線，無線範圍達到 7 公尺。完整及單機的無線傳感功能，第一次在這麼微小的整合系統中展示。

(C13-2: “A 10.6mm³ Full-Integrated, Wireless Sensor Node with 8GHz UWB Transmitter”, Hyeongseok Kim et al., University of Michigan)

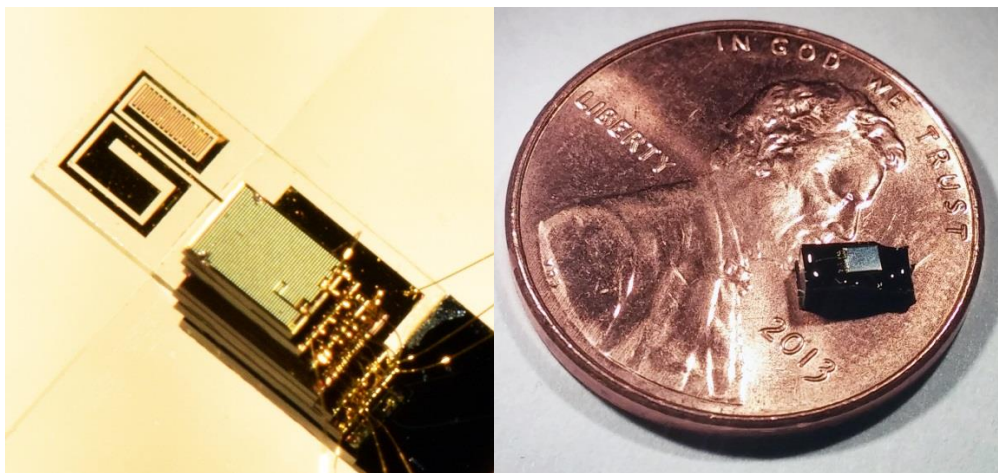


圖 2

D) 3D 堆疊圖像感測器

低噪音技術的 3D 堆疊 CMOS 圖像感測器：

TSMC 等 Shang-Fu Yeh 等人的論文，使用有條件相關的多次採樣 (CCMS) 技術，描述一個 8Mpixel 3D 堆疊的低噪音 CMOS 圖像感測器。這項技術可使用多個小範圍的斜坡電壓，解決低幀速率的問題。使用 5 倍 CCMS 技術可以獲得 0.66e-rms 輸入參考的短暫讀出噪音，亦可同時降低熱雜訊及隨機的電報訊號 (RTS) 雜訊。(論文 C4-2, "A 0.66e-rms Temporal-Readout-Noise 3D-Stacked CMOS Image Sensor with Conditional Correlated Multiple Sampling (CCMS) Technique," Shang-Fu Yeh et al., TSMC)

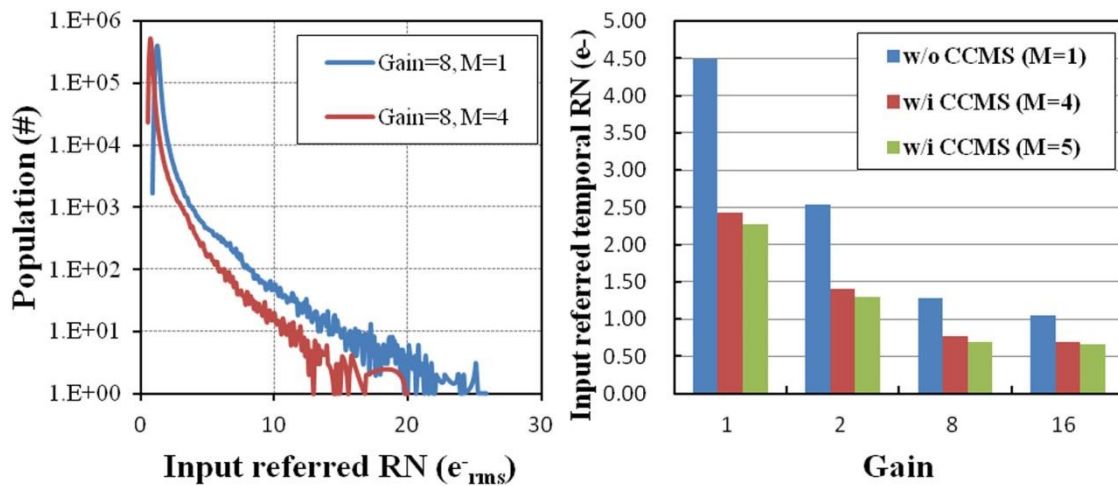


圖 5

全域快門模式及高速擷取模式的 3D 堆疊 CMOS 圖像感測器：

Olympus 的 Toru Kondo 等人的論文，描述一個 16Mpixel 3D 堆疊的 CMOS 圖像感測器，採用 400 萬微凸塊的像素級互連。2 個半導體基板以 7.6um 的間距黏接，儲存節點陣列從底部基板往上組成，提高寄生光敏感度 (PLS)。8 個分離幀數的曝光時間是 25us，每個圖像以 100us 的間隔時間，擷取至儲存節點，可同時獲致 -180dB PLS 的 16Mpixel 全域快門模式，以及 2Mpixel 10000fps 的高速圖像擷取。(論文 C4-5, "A 3D stacked CMOS image sensor with 16Mpixel global-shutter mode and 2Mpixel 10000fps mode using 4 million interconnections," Toru Kondo et al., Olympus Corp.)

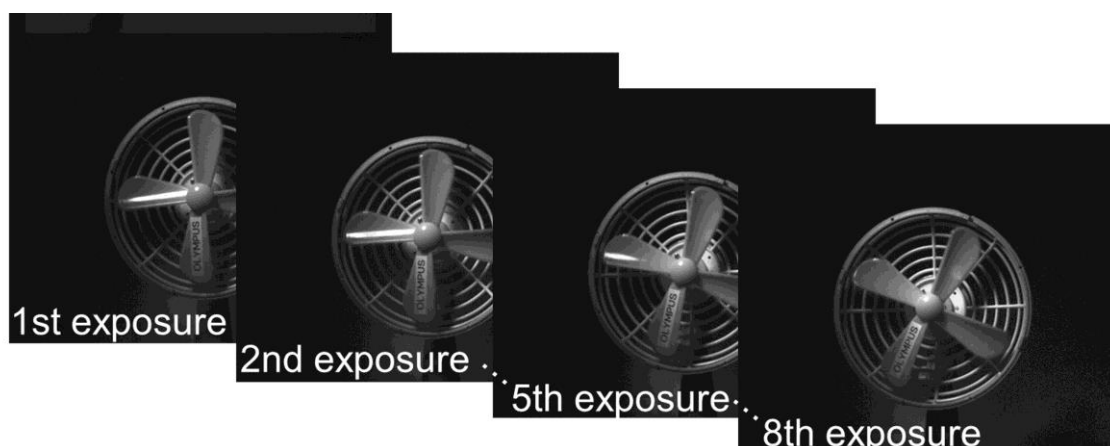


圖 5

E) 毫米波型收發器

WiGig 收發器：

松下的 Takinami 等人提出的論文，介紹了針對 WiGig/IEEE 802.11ad 標準的 60GHz 無線電。對於在密集的小型蜂窩網路中使用行動資料卸載，介紹了封包接著封包適應性干擾抑制的混合類比/數位波束成形。收發器包括搭配四元件相控陣列天線的雙串流類比前端 (AFE)。比起傳統的方法，此篇論文提出的干擾抑制方案展示了 3.1dB EVM 的優點。40 奈米 CMOS 中開發的 AFE 晶片，在 TX 以 316mW 的功耗運作，在 RX 以 276mW 運作。3 公尺的連結距離，資料傳輸率是每秒 2.5Gb。(論文 C22-3, "A 60GHz Wireless Transceiver Employing Hybrid Analog/Digital Beamforming with Interference Suppression for Multiuser Gigabit/s Radio Access," K. Takinami et al., Panasonic)

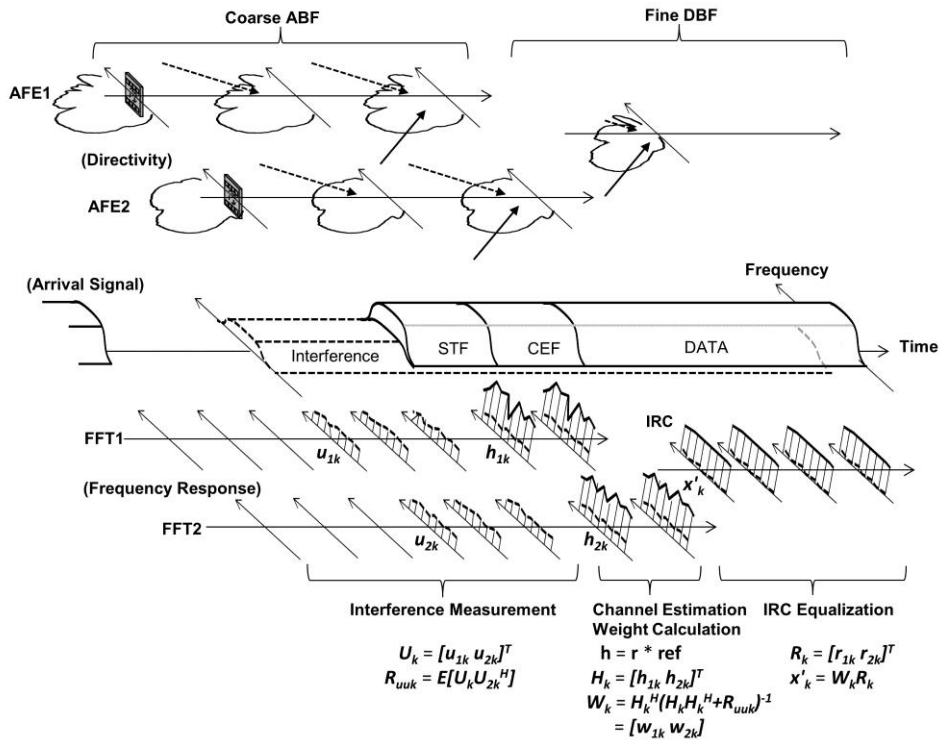


圖 3

F) 高性能 ADC

連續時間三角積分調變 ADC :

Broadcom 的 G. Wei 等人的論文，描述了搭配新型連續式逼近暫存型(successive approximation register, SAR) 量化器的多位元連續時間三角積分調變器。SAR 量化器透過可忽略的功率及頂部區域，達成嵌入式的過量環路延遲補償，達成整體省電的目標。調變器採用 28 奈米的 CMOS 技術，具有整個 5MHz 頻寬 13-ENOB 的 36.4fJ/轉換步驟及 175.9dB 的 FoM (象徵性指標) 特色。同時也展示由 DAC (數位-類比轉換器) 非線性的數位改正，達到 94dB SFDR 的顯著成果。(論文 C21-2, "A 13-ENOB, 5 MHz BW, 3.16 mW Multi-Bit Continuous-Time Delta-Sigma ADC in 28 nm CMOS with Excess-Loop-Delay Compensation Embedded in SAR Quantizer," G. Wei et al., Broadcom)

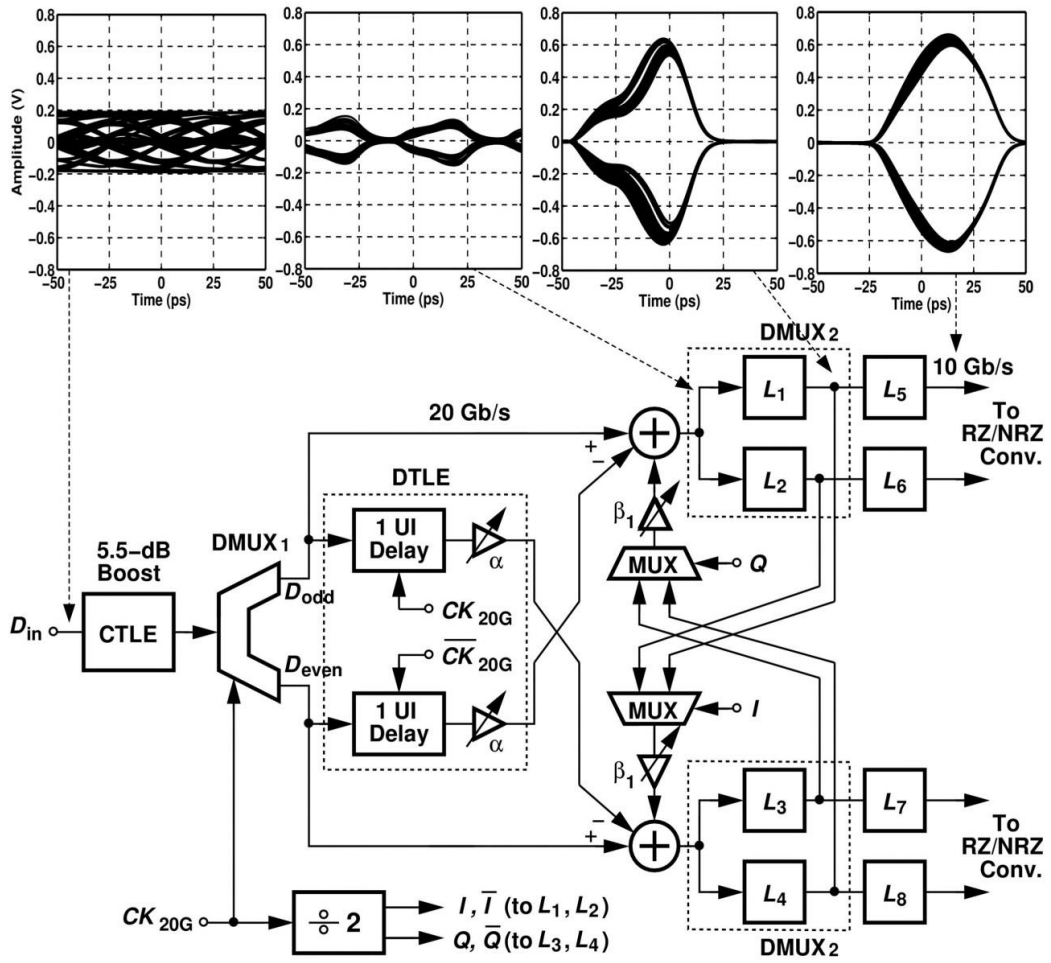


圖 1

一些重要的技術術語的定義:

- **ADC, or Analog-to-Digital Converter (ADC 或 類比數位轉換器)** -- 一種將連續之物理量(如電壓)轉換成數位值的元件。
- **Back-End/BEOL and Front-End/FEOL (後段 / 後段製程 與 前段 / 前段製程)** -- 在積體電路製造過程中，電晶體和其他主動元件先做好(在生產線的前端, 或稱前段)，而連接元件的導線在後面接著做(在生產線的後端, 或稱後段)。
- **CMOS/MOS/MOSFET/FET (互補式金屬氧化物半導體/金屬氧化物半導體/金屬氧化物半導體場效電晶體/場效電晶體)** – 現今大多數的電晶體為 FETs 或稱為場效電晶體。而大多數場效電晶體是由互補式金屬氧化物半導體 (CMOS) 組成，通常稱為金屬氧化物半導體場效電晶體 (MOSFET) 或金屬氧化物半導體(MOS)電晶體。
- **Compound/III-V Semiconductors (化合物/三五族半導體)** -- 大多數的半導體是以矽-基為材料。但是研究人員仍繼續研究其他具有更高電子遷移率的半導體材料，因為它們可以用來製造更快的元件。代價是這些材料比起矽更難使用。化合物半導體由兩個或多個元素組成(例如，砷化鎵，磷化銻，氮化鎵，等等)，它們通常存在於元素週期表的第三族和第五族。
- **DAC or Digital-to Analog Converter (DAC 或 數位類比轉換器)** -- 一種可以把數位資料轉變為類比訊號(通常為電流，電壓或電荷)的元件。
- **電壓飄移控制(Droop Control)** – 於系統負載狀態瞬間大幅度變化時(例如，由低動作負載突然變成高動作負載模式時)，電壓飄移控制機制可以刻意的調節穩壓器的輸出能力，以補償負載電壓之飄移，增加穩壓器電路的時序容許度，同時這也可以減少去耦合電容的數量。
- **動態隨機記憶體 (DRAM)** - 利用電荷儲存信息的 DRAM 細胞電容器必須定期刷新。各式各樣之系統中，從典型計算機主體，平板電腦和智慧型電話，都有用到專用 DRAM 晶片。
- **EOT or equivalent oxide thickness (EOT or 氧化層當量厚度)** – 一種比較高介電質和二氧化矽效能的厚度。即將高介電質電容，轉換算成同等電容時之二氧化矽厚度稱 EOT, 高介電質可降低 EOT 以改善 MOSFET 效能。
- **均衡器 (CTLE/ DTLE/ DFE)** - 均衡器用於有線通信，用以補償典型的銅絞線在高頻率衰減之變化。一般於連續時間線性均衡器 (CTLE) 和離散時間線性均衡器 (DTLE)，通常使用線性濾波器，來預先增加的信號的高頻傳輸成分。判決反饋均衡器 (DFE) 是一個非線性運算過程均衡器，基於先前已經接收及已經決定的位元電壓位準，來校正目前接收中之信號電壓位準，可以達成高效率之高頻通道損耗補償目的。
- **ESD –Electrostatic discharge (ESD, 靜電放電).** – 一種突然在兩個物體件因接觸而突然釋放靜電的現象，如果靜電放電打到積體電路，會造成元件失效或減短其壽命。
- **FD-SOI - Fully-depleted Silicon on Insulator (FD-SOI 或 絕緣體上全空乏矽)** -- 一種電晶體結構，比起一般標準矽電晶體，可以提供速度和耗電上的優勢。

- **FinFET** – Fin Field-Effect-Transistor (FinFET, 鰭式場效電晶體) – 一種形狀酷似一個鰭的電晶體，通常有幾個閘極包圍鰭形通道以達到更好的開/關(ON / OFF) 切換控制。
- **Front-End/FEOL and Back-End/BEOL and Front-End/FEOL (前段 / 前段製程與後段 / 後段製程)** -- 在積體電路製造過程中，電晶體和其他主動元件先做好（在生產線的前段，或稱前段），而連接元件的導線在後面接著做（在生產線的後段，或稱後段）。
- **HEMT** – High Electron Mobility Transistor (HEMT, 高電子遷移率電晶體) – 也叫做異質結構場效電晶體或摻雜調控場效電晶體，HEMT 是指一種由有兩種不同能隙所組成之異質介面半導體，藉由選擇合適材料，因能帶之不連續性會在介面處形成高遷移率之二維電子雲。
- **HKMG, or High-k Dielectrics/Metal Gates (HKMG, 或高介電質/金屬閘極)** --介電質是一種絕緣體。“k”為相對介電常數，是用來衡量材料對防止場效電晶體的閘極和通道之間電流流動，同時電容耦合兩者以控制開/關切換的能力。在未來的 CMOS 積體電路（晶片），閘極介電質將需要提供等同於只有幾個原子層厚度的二氧化矽之電容值進行電容耦合，從而使通道長度可以縮小到十奈米甚至更小。比起傳統的摻雜多晶矽材料，金屬閘極材料與高介電質的相容性較高。近年來在將金屬閘極製程整合於 CMOS 製程以製造高性能晶片上，已有很大的進展。
- **III-V** --見化合物/ III-V 族半導體。
- **Integrated Circuit** (積體電路) --一種由許多半導體元件(例如，電晶體，二極體，電容，電阻，電感)組成、製作在半導體基座上之電子電路。
- **Interconnect** (連線) --金屬線或接線，連接電晶體和其它電路元件。見 **Back-End/BEOL**。
- **Interposer** (中介層) – 一種介於晶片間或套介面與晶片間之電子介面，中介層的目的是連接晶片間具不同輸入/輸出端之套介面。
- **Linear Voltage Regulator** (線性穩壓器) – 根據負載電流變化，改變輸出串聯電阻值來使穩壓器的輸出端保持穩定的電壓。但是輸入電壓必須要大於輸出電壓值，因此其"轉換效率"會較低於交換式穩壓器。
- **Low-k Dielectrics/Interconnect** (低介電質/連線) --連線指在積體電路（晶片）中，把元件接在一起的金屬導線。很靠近的相鄰導線會產生限制晶片的性能的電容。需要低介電質絕緣體做為銅線之間的絕緣，同時盡量減少之間的電容量。但這些材料一般都比較脆弱，因而構成了製造上的挑戰。
- **MEMS** (微機電系統) --一個微米級電子機械系統，含有微米尺寸可移動的元件。
- **N-FET/P-FET or NMOS/PMOS** (負型場效電晶體/正型場效電晶體 或 負型金屬氧化物半導體/正型金屬氧化物半導體) -- 金屬氧化物半導體場效電晶體(MOSFETs) 依照其通道極性的不同，可分為負(N)型通道和正(P)型通道。
- **Non-volatile memory (NVM)** (非揮發性記憶體 (NVM)) --一種電腦使用的記憶體，即使在電源關閉後仍保留其儲存的資料。

- **Phase-Change Memory/PCM** (相變記憶體/ PCM) --相變材料具有結晶態和非結晶態，可用在電腦的非揮發性記憶體以表示“0”或“1”。兩個狀態之間是用電流- 即用電流產生的熱導致相變化- 進行切換。
- **ReRAM or RRAM** – Resistive random-access memory (ReRAM, RRAM, 電阻式隨機存取記憶體). 一種以改變兩電極間材料電阻率以儲存二元數位資料的非揮發性記憶體).
- **Scaling/Density/Integration** (縮小化/密度/整合)-- 縮小化是使電晶體和其他的電子元件按比例縮小尺寸以符合同一晶片上容納更多元件的要求。密度高的晶片內部電晶體數相對比較高。整合是指結合各種電子元件於同一晶片使加入更多功能，而達到降低每一功能所需成本的目的。
- **Semiconductor** (半導體) -- 一種可調控導電性的材料，可阻隔或是導通電流，可用於存取和處理資料。
- **SoC** -- System-on-a-chip. (SOC, 系統晶片) – 一種把所有電腦所需之元件及其他電子系統整合在同一晶片上之積體電路。
- **SOI** (矽在絕緣體基板上) -- 一種矽在絕緣體基板上的結構。可用於減少寄生電容，從而增進積體電路的效能。
- **Strained silicon & SiGe stressors** (應變矽和矽鍺應力源) -- 當矽原子被拉擠到相距大於或小於正常時矽晶格時是處於“應變”狀態。這樣做會改變電子流通的難易程度，可用來使電晶體的運作更快/或所需電壓降低。施加在矽上的外部應力源是與矽有不同原子間距的材料。例如，使 P-型矽場效應電晶體的通道產生壓縮應變的常用方法，是在源極和汲極嵌入比矽具有較大的原子間距的矽鍺 (SiGe)。
- **SRAM –Static Random Access Memory** (SRAM, 靜態隨機存取記憶體) -- 一種計算機內使用的記憶體 (靜態隨機存取記憶體)，它使用六個或更多的電晶體來儲存資料。它可以用來迅速地寫入和讀出資料。
- **STT-MRAM - Spin-Transfer Torque Magnetic Random Access Memory** (STT-MRAM, 自旋力矩轉移磁性隨機存取記憶體) -- 是一種新興的非揮發性存記憶體，利用電子的“自旋”儲存記憶態狀態，而不是用電荷。 STT-MRAM 可以做的非常小。
- **Ternary content-addressable memory (TCAM)** (三元式內容可定址記憶體) – 內容可定址記憶體 (CAM) 是一個特殊記憶體，能搜索整個記憶內容中之某一筆指定的資料。“三元”是指其讀寫和查詢的能力允許有三種狀態：除了"0(零)"和"1(壹)"之外，還包括“X” (無關)。
- **UWB** - 超寬帶無線電是無線通信，工作在 3.1-10.6 GHz 頻帶，使用最少 500 MHz 帶寬的，典型地具有非常低的平均輻射功率密度。
- **Global shutter** (全域成像快門) –瞬間捕捉整個影像場景的方法，而不是經由掃描整個場景來成像；例如捲動式快門。
- **Effective Number of Bits (ENOB)** (有效位元數) –藉'此衡量類比-數位轉換器(ADC) 的動態性能，包括了噪音和失真效果對於 "n-位元" 輸出信號的影響。

- **TDC, or Time-to-Digital Converter** (TDC,或時間數位轉換器) --一種當待測之時脈變動時可將之轉換成數位碼輸出之元件。
- **Transistor** (電晶體) --積體電路通常由許多很小的電子開關所組成。電晶體是由半導體材料，通常是矽，所構成。一個晶片上可以由數億個電晶體所組成，它可以程式化的接收或存取資料和輸出及/或控制資料。

###