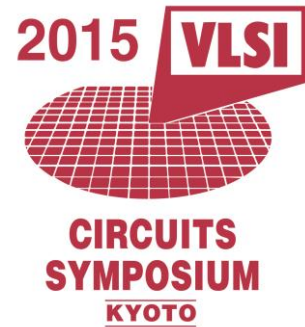




www.vlsisymposium.org



Media Contacts:

Secretariat for VLSI Symposia (Japan and Asia)
c/o ICS Convention Design, Inc.
Chiyoda Bldg. 1-5-18 Sarugaku-cho, Chiyoda-ku,
Tokyo 101-8449 Japan
Tel: +81-3-3219-3541
E-mail: vlsisymp@ics-inc.co.jp

BtB Marketing (North America and EU)
Chris Burke
BtB Marketing
co-Media Relations Director
Tel: +1-919-872-8172
E-mail: chris.burke@btbmarketing.com

For Immediate Release

Tip Sheet for 2015 Symposia on VLSI Technology and Circuits

京都(日本)発 —この Tip Sheet は 2015 VLSI Technology シンポジウムと VLSI Circuits シンポジウムにおいて発表される論文のうち、いくつかの最もニュース性の高い論文について概説するものである。Technology シンポジウムは 6 月 15 日から 18 日まで、Circuits シンポジウムは 6 月 16 日から 19 日まで京都のリーガロイヤルホテル京都にて開催される。

高解像度版のイメージについては、VLSI シンポジウム Web サイトの "Media" の項目をご覧ください。 www.vlsisymposium.org/press.html
用語集は、この Tip Sheet の最後にあります。

I) 2015 VLSI Technology シンポジウム ハイライト論文

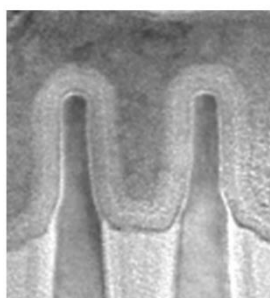
A) Platform Technology for CMOS Manufacturing (CMOS プラットフォーム製造技術)

低消費電力・高性能・高密度 SoC 製品用途の 14nm SoC プラットフォーム技術

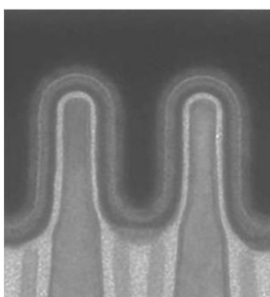
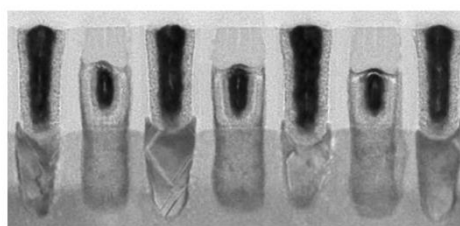
インテルは低消費電力・高性能・高密度 SoC 製品用途に最適化した 14nm SoC プラットフォーム技術を発表する。トライゲートトランジスタ技術の適用は二世代目になる。70nm のゲートピッチ、52nm のメタルピッチ、 $0.0499\mu\text{m}^2$ の高密度 SRAM セルは、過去に報告された 14/16nm 世代 SoC プロセスでは、最もアグレッシブなデザインルールである。22nm 世代から 2 倍の密度を達成することで、ムーアの法則が維持されることを示す。電源電圧 0.7 V、オフ電

流 100 nA/ μm における、高性能 NMOS/PMOS の駆動電流は 1.3/1.2 mA/ μm であり、22nm 世代からは 37%/50% の改善になる。電源電圧 0.7 V、オフ電流 15 pA/ μm における、超低電力 NMOS/PMOS の駆動電流は 0.50/0.32 mA/ μm を達成している。本 SoC 技術は、最大 3.3V まで高電圧 I/O トランジスタと、アナログ、ミックスドシグナル、RF の幅広い用途をカバーする。本シンポジウムでは、本論文の他に Circuits シンポジウムの C23-1 において同じインテル 14nm プラットフォームの講演が行われる。

(Paper T2-1, "A 14 nm SoC Platform Technology Featuring 2nd Generation Tri-Gate Transistors, 70 nm Gate Pitch, 52 nm Metal Pitch, and 0.0499 μm^2 SRAM cells, Optimized for Low Power, High Performance and High Density SoC Products," C.-H. Jan et al., Intel, Paper C23-1, "Broadwell : A family of IA 14nm processors," A. Nalamalpu et al. Intel)



High Speed Logic Transistor



High Voltage I/O Transistor

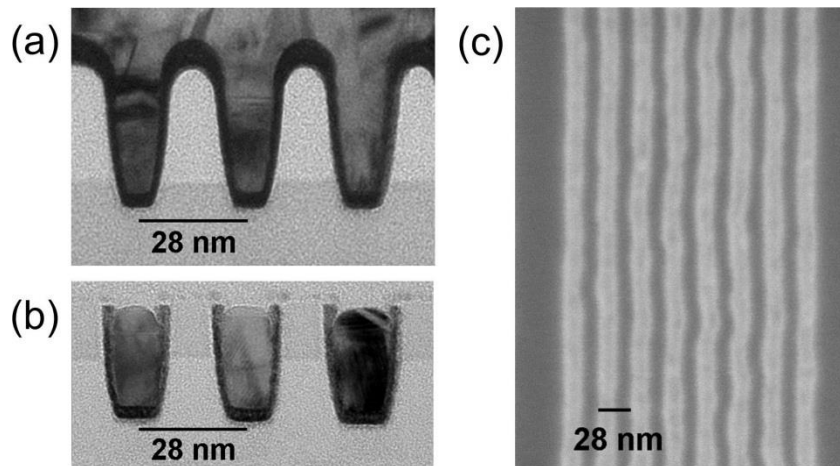


Fin と Gate の断面 TEM 像: ロジックトランジスタ(上図)と高電圧 I/O トランジスタ(下図)

7nm 世代以降の銅配線抵抗率について

スケールリングが進むにつれて顕著となる銅抵抗上昇による配線伝搬遅延は、7nm 世代 CMOS で最も解決すべき問題の一つである。IBM と GLOBALFOUNDRIES は、銅抵抗率に影響する電子散乱メカニズムについて研究した。ダマシ構造の銅抵抗率を 40nm ピッチと 140 nm^2 の銅断面積に至るまで測定した。Directed self-assembly (DSA)によりパターンニングされた 28nm ピッチにおいて、銅リフローによるメタライゼーションを実施。単結晶シリコンマスクの表面再構築により、極端に低い line-edge-roughness (LER)を実現した。LER ばらつきは抵抗率に影響が無い事も分かった。バンブー・グレイン構造の配線は抵抗率低減に対する利点を持っており、グレインサイズが制御できるならば、7nm 世代以降の性能を改善する可能性がある。

(Paper T8-3, "Resistivity of copper interconnects beyond the 7 nm node," A. Pyzyna et al., IBM & GLOBALFOUNDRIES)



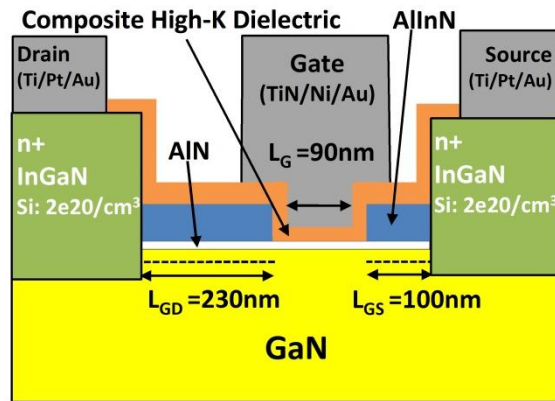
28nm ピッチのトレンチ断面 TEM 像(a)銅メッキ直後(b)銅 CMP 直後
(c) DSA でパターンニングされた 28nm ピッチの平面 SEM 像(銅 CMP 直後)

B) Emerging Device Technology (新規デバイス技術)

高性能、低リーク、エンハンスメントモードの高誘電率絶縁膜 GaN MOS-HEMT

GaN デバイスは高出力や高周波用途において優れた特性を示す。これらのデバイスは、そのほとんどがデプレッションモード(ノーマリーオン)の HEMT であるが、これらは低消費電力 SoC には適していない。本報告において Intel は 90nm ゲート長の高誘電率ゲート絶縁膜を持ったエンハンスメントモード(e-mode)の GaN HEMT を作成し、低いオフ電流($I_{OFF}=70\text{nA}/\mu\text{m}$ ($V_D=3.5\text{V}$, $V_G=0\text{V}$))、低い ON 抵抗($R_{ON}=490\Omega\text{-}\mu\text{m}$)、高い電流値($I_{D,max}=1.4\text{mA}/\mu\text{m}$)、RF 出力 $0.55\text{W}/\text{mm}$ ($V_D=3.5\text{V}$, $f=2.0\text{GHz}$)での高い電力負荷効率(Power-added efficiency=80%)を同時に達成した。これらの結果により(i) 業界標準の Si Voltage Regulator と同様のブレークダウン電圧(BV_D)において 3.6 倍の低 R_{on} 、(ii)業界標準の GaAs RF 電力増幅器に対して同様の RF 出力に対して 10% 良い電力負荷効率を、また同じ電力負荷効率条件では 50% 高い RF 出力を実現した。これらはすべてモバイル用途の SoC に用いられている電圧条件において実現できている。本研究においては、GaN デバイスの応用範囲が、すでに適用されている高電圧高周波デバイスのみでなく、低電力のモバイル用途 SoC にも応用可能であることを初めて示したものである。

(Paper T15-1, "High-Performance Low-Leakage Enhancement-Mode High-K Dielectric GaN MOS-HEMTs for Energy-Efficient, Compact Voltage Regulators and RF Power Amplifiers for Low-Power Mobile SoCs," H.W. Then et al., Intel)

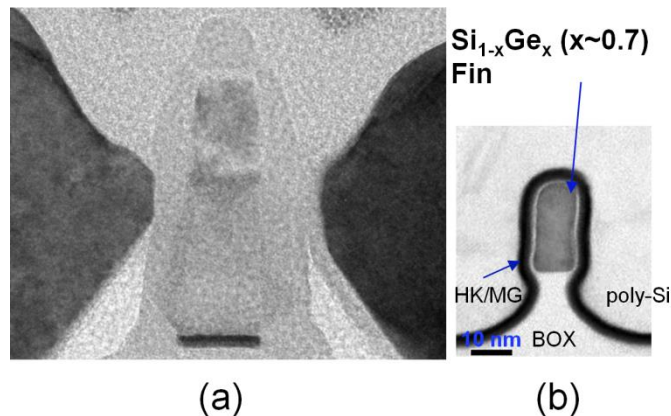


本研究に用いた *e-mode* 高誘電率絶縁膜 GaN MOS-HEMT の模式図

Ge 分率を高めた高移動度の SiGe-OI PMOS FinFET

極微細 CMOS のチャンネルには、より薄く、より強い歪みを印加する (PMOS の場合は Ge 分率を高くする) ことが望まれている。IBM は、CMOS 互換のプロセスで作製した最高 71% という高 Ge 分率の SiGe-OI 微細 pMOS FinFET についての結果を報告する。幅が 10nm 以下と極端に微細化し、かつ背の高い Fin (側壁付き) を改良型 3 次元 (Fin 状態での) Ge 酸化濃縮法により形成した。界面層の最適化により Si キャップ層なしに SiGe Fin に直接形成した high-k メタルゲートプロセスは、0.85nm という極薄 EOT (等価酸化膜厚)、69mV/dec. という急峻な S ファクタ、さらに Ge 分率が 0.6 までのノーマリーオフ特性を可能とした。さらに、極薄 EOT ながら反転層キャリア密度 $N_{inv}=1 \times 10^{13} \text{cm}^{-2}$ にて $\sim 300 \text{cm}^2/\text{Vs}$ という高い長チャンネル移動度とカットオフ特性の良い短チャンネル pMOS FinFET 特性についても示す。

(Paper T2-3, "High-Mobility High-Ge-Content $\text{Si}_{1-x}\text{Ge}_x$ -OI PMOS FinFETs with Fins Formed Using 3D Germanium Condensation with Ge Fraction up to $x \sim 0.7$, Scaled EOT $\sim 8.5 \text{\AA}$ and $\sim 10 \text{nm}$ Fin Width," P. Hashemi et al., IBM)

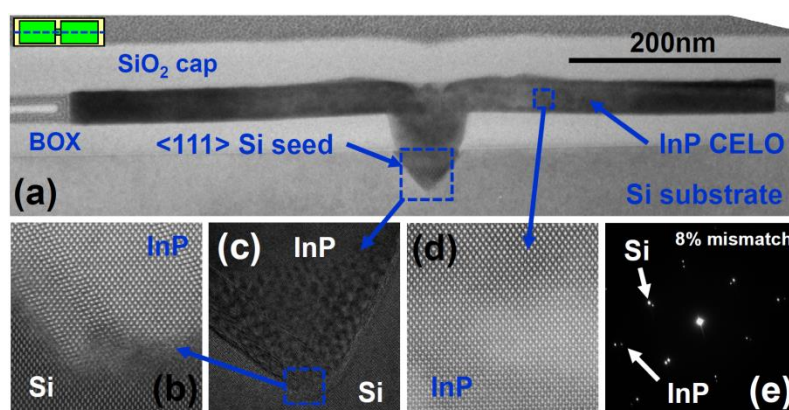


$\text{Si}_{1-x}\text{Ge}_x$ -OI ($x \sim 0.7$) pMOS FinFETs の TEM 断面図。(a) 縦方向 (b) 横方向の断面。

CMOS 互換の局所横方向エピタキシャル成長技術により大面積の Si 基板上に InGaAs-OI MOSFET を集積化

大面積の Si 基板上に InGaAs など高いキャリア移動度を持つ III-V 族半導体を低コストで形成する技術は最も困難かつ重要な技術の一つである。IBM と EMPA は、Confined Epitaxial Lateral Overgrowth (CELO)と呼ぶ新規な CMOS 互換の手法により高品質な InGaAs-OI を Si 基板上に形成する技術を報告する。選択エピタキシャル成長に基づく本手法は、大面積の Si および SOI 基板のどちらにも通常の CMOS プロセスで InGaAs-OI 構造を形成できる。成長した InGaAs 層は非常に欠陥密度が低く、最先端 CMOS で必要とされる極薄ボディあるいは Fin 構造のトランジスタを形成できる。本手法によるゲート先作りプロセスで自己整合構造の FinFET(ゲート長 100nm、Fin 幅 50nm、コンタクトプラグ間隔 250nm)は、最先端の Si 基板上 InGaAs MOSFET に匹敵する優れた電気特性を示すことを実証した。本手法は今後の最先端 CMOS において高移動度チャンネルを量産化させるための潜在的な重要技術である。

(Paper T13-3, “Confined Epitaxial Lateral Overgrowth (CELO): A Novel Concept for Scalable Integration of CMOS-Compatible InGaAs-on-insulator MOSFETs on Large-Area Si Substrates,” L. Czornomaz et al., IBM & EMPA)

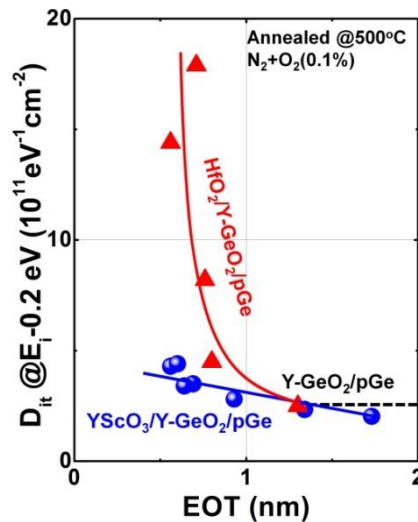


CELO プロセスを用いた Si 上の InP の結晶性評価。(a) 断面 TEM。(b)HR-STEM (c)TEM の図より、シード領域では多くの欠陥が見られ、そのほとんどは積層欠陥である。シード領域から離れると、Si と 8% 格子状数が違う InP においても、完全な格子形状が観察できる。

信頼性を考慮した、等価酸化膜厚 0.5nm の Ge ゲートスタック

Ge MOSFET のゲートスタック技術において、低界面準位密度、高キャリア移動度、高信頼性はいずれも重要な課題である。東京大学は、信頼性を考慮した Ge ゲートスタックの新規な材料・プロセス設計手法を報告する。Ge ゲートスタックではこれまで、初期特性が優れていても長期的な信頼性は保証されていなかった。この課題を解決するために、GeO₂ ネットワークの安定性と新規な high-k 材料の形成に着目して検討を行った。その結果、信頼性が高く、かつ十分に界面準位密度の低い Ge ゲートスタックで等価酸化膜厚 0.5nm を実現した。

(Paper T2-4, “Design and Demonstration of Reliability-aware Ge Gate Stacks with 0.5 nm EOT,” C. Lu et al., The University of Tokyo)

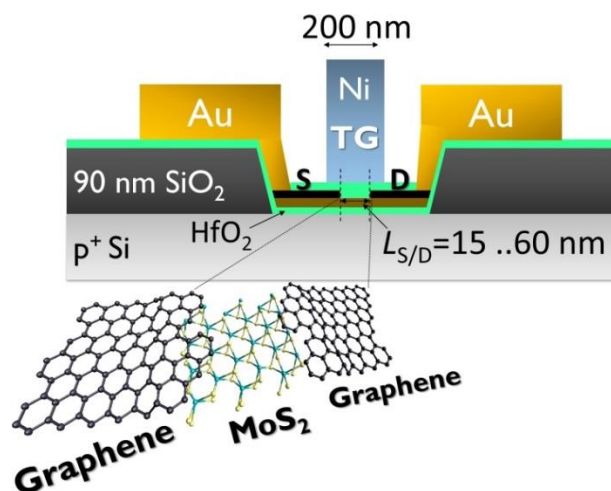


(YScO₃ または HfO₂)/Y-GeO₂/Ge (111) 積層構造での E_i - 0.2 eV における界面欠陥密度 D_{it} の Y-GeO₂ 層間膜厚依存性。HfO₂ においては 1nm 以上の層間膜が必要だが、YScO₃ ではこれが必要ない。

最も短いチャネル長(15nm)の MoS₂ FET

MoS₂ の様な原子層レベルの薄膜半導体は、その薄さや大きなバンドギャップ、熱安定性、CMOS プロセスへの適合性から、デバイス応用において大きな可能性を持っている。MIT、imec、KULeuven の合同チームはソース/ドレイン間の長さ(L_{S/D})がこれまでで最も短い 15nm であり、1 層 (t_{ch}~0.7 nm) と 4 層 (t_{ch}~3 nm) の MoS₂ チャネルを持ったシングルとダブルゲート構造の電界効果トランジスタ(FET)を実現した。この FET では、ソース/ドレイン電極の接続には 1 層のグラフェンを用いた。最も良好な特性を示した L_{S/D}=15nm、ダブルゲートで 4 層 MoS₂ の FET では、V_{DS}=0.5 V で I_{on}/I_{off} 比が 10⁶ 以上、最も小さなサブスレッショルドスイング(SS) 値が 66mV/dec. が得られた。これは MoS₂ FETs にて最も良い SS 値であり、良好な絶縁膜界面とチャネルの電界制御性を実現できていることを示している。

(Paper T3-4, "15-nm Channel Length MoS₂ FETs with Single- and Double-Gate structures," A. Nourbakhsh et al., Massachusetts Institute of Technology, imec & KULeuven)



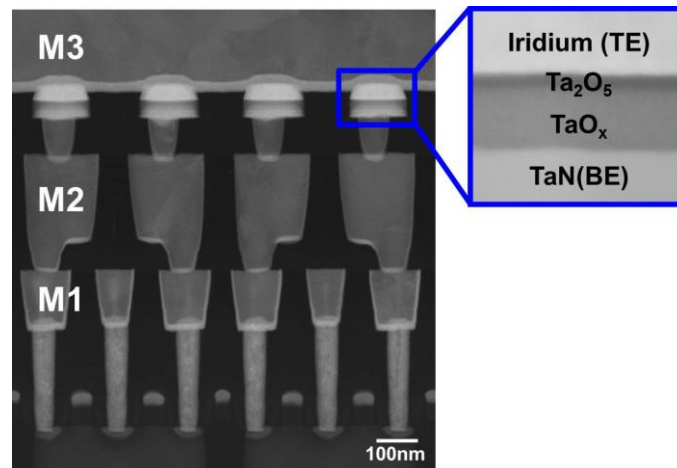
グラフェンのソース/ドレインコンタクトを備えたシングルゲートおよびダブルゲートの MoS₂ FET の断面模式図

C) Emerging Nonvolatile Memory Technology (新規不揮発性メモリー技術)

28nm 混載メモリー用途のセントラライズド・フィラメントを持つ高信頼性 TaO_x ReRAM

酸素ベース ReRAM は不揮発性メモリーとして有望である。セルのフィラメントが、セル端構造と形成プロセス中のセルの雰囲気の影響を非常に受けやすいことが問題となっている。パナソニックとimecは正確にフィラメント位置を制御し、高い熱耐性をもつ TaO_x ReRAM を 28nm 混載用途として提案する。本セル構造は、低ダメージエッチング、セル側方酸化などの新しく開発したプロセス技術と、周囲を覆われたセル構造を用いている。その結果、はじめて、フィラメントをセルの中心部に形成することに成功し、さらには、20nm 世代セルの可能性も確認できた。本提案のフィラメント制御と熱安定性技術を用いることで、2-Mbit ReRAM では、100k サイクルと 85 °C での 10 年間リテンションにおいて、非常に良好な信頼性を実現した。

(Paper T2-2, “Highly reliable TaO_x ReRAM with centralized filament for 28-nm embedded application,” Y. Hayakawa et al., Panasonic & imec)

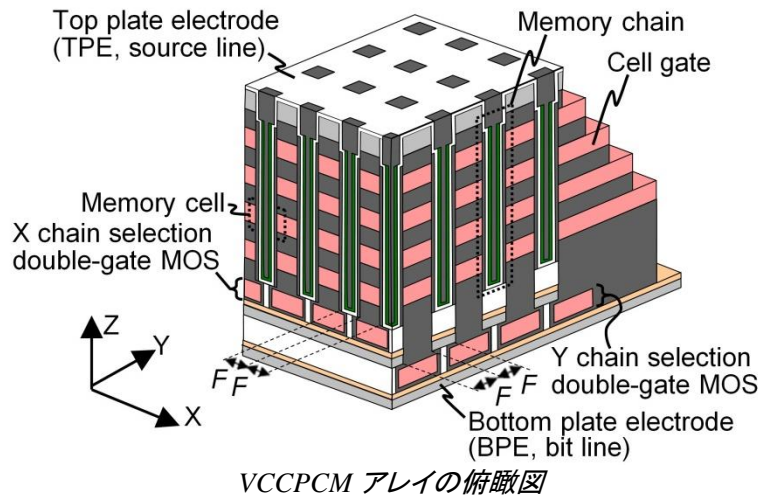


Ir (上部電極)/TaO_x/TaN (下部電極) ReRAM の断面 TEM 像

低ビットコストと高プログラミングスループットを実現する 3次元縦型・チェーンセル型の相変化メモリー

SSD ストレージシステムにおいては、低ビットコストかつ高書き込みスループットが必要とされている。日立は次世代のストレージデバイスとして 3次元縦型のチェーンセル型相変化メモリー(VCCPCM)を報告する。ビットラインおよびソースラインの抵抗を低減し、一度に書き込めるセルの数を増やすために、VCCPCM アレイは上下 2つの平面状の電極と、5nm の厚さのポリシリコンからなるダブルゲートの縦型チェーン状の選択 MOS を備えている。更に CO₂ レーザーによる熱処理はポリシリコンセル MOS の駆動能力を 680 μA/μm まで増加し、セル MOS のエネルギーロスを提言している。消去のスループットは “bundle erase” 動作により改善されている。これはチャネル加熱によりメモリーセルを束で消去することで実現している。

(Paper T7-1, “2.8-GB/s-write and 670-MB/s-erase operations of a 3D vertical chain-cell-type phase-change-memory array,” K. Kurotsuchi et al., Hitachi)

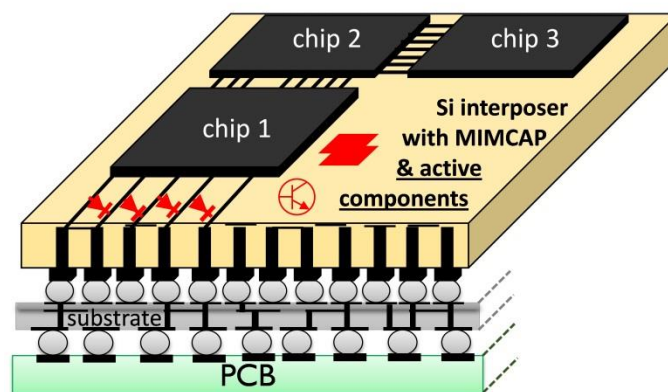


D) Design/Technology Co-Optimization & 3D integration (デザインとテクノロジーの協調最適化と3次元集積)

2.5次元/3次元集積用のアクティブライトインターポザー

2.5次元や3次元の集積に用いられている受動素子を備えたSiインターポザーに機能を付加することは、システムのコスト低減に繋げることができる。Imec は少ないマスクプロセスによりSiインターポザーにアクティブ素子(ダイオード、バイポーラ、サイリスター等)を集積した。この低コストプロセスは、(1)面積を要するESD保護回路をチップからインターポザーに移動することができる、(2)ボンディング前に回路をテストできる、(3)アナログ回路の素子を作ることができる、といった事を実現することができる。これらの機能は特に多くのI/O端子を備えたインターポザーにおいて、顕著なシステムコストの低減を実現することができる。

(Paper JFS4-1, "Active-Lite Interposer for 2.5 & 3D Integration," G. Hellings et al., imec)

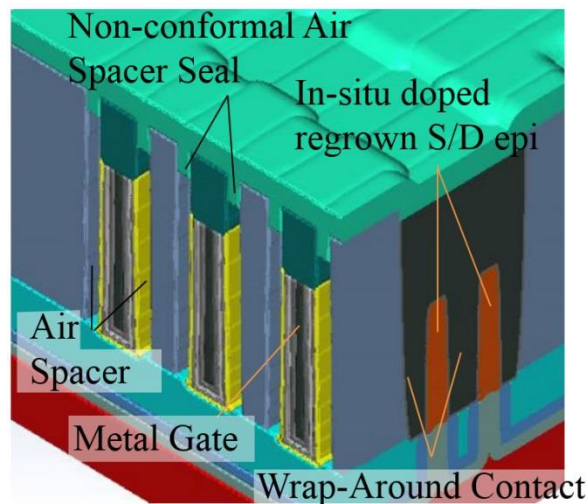


TSV、MIMCAP、能動素子を備えたアクティブライトインターポザーの模式図

7nm 世代モバイル SoC のための全体最適化と重要技術

Qualcomm は、FEOL と BEOL を全体的に考慮することで、7nm における抵抗 R と容量 C のスケールリングの影響を調べた。単純にスケールリングした 7nm 世代 CMOS の Power-Performance は、前世代と比較して劣化することが判明した。BEOL 配線抵抗(R_{wire})とロジックゲート入力 pin cap (C_{pin})の積： $R_{wire} \times C_{pin}$ が、7nm 世代における Power-Performance を主に律速していると確認された。急激に上昇する BEOL R_{wire} 効果を緩和するために、 C_{pin} を減少させることが重要である。Fin 密度低減は、 C_{pin} を減少し、ロジックゲート面積を縮小する最も有効な手段の一つである。トランジスタ側壁の Air spacer (AS) は、更に C_{pin} を低減可能である。 R_{wire} の逆効果を改善するために、メタル配線構造を注意深く選択する必要がある。スケールリングされた Fin ピッチ(P_{fin})のソース・ドレインの上部の Wrap-Around-Contact (WAC) はトランジスタ抵抗(R_{tr})を低減するために必要である。Fin 密度低減を、他の低コストプロセスと組み合わせることで、7nm 世代の Power-Performance-Area-Cost (PPAC) は大幅に改善され、モバイル SoC の継続したスケールリングが可能になる。

(Paper JFS3-4, "Holistic Technology Optimization and Key Enablers for 7nm Mobile SoC," S. C. Song et al., Qualcomm)



WAC と AS を導入した 7nm トランジスタの 3 次元構造イメージ

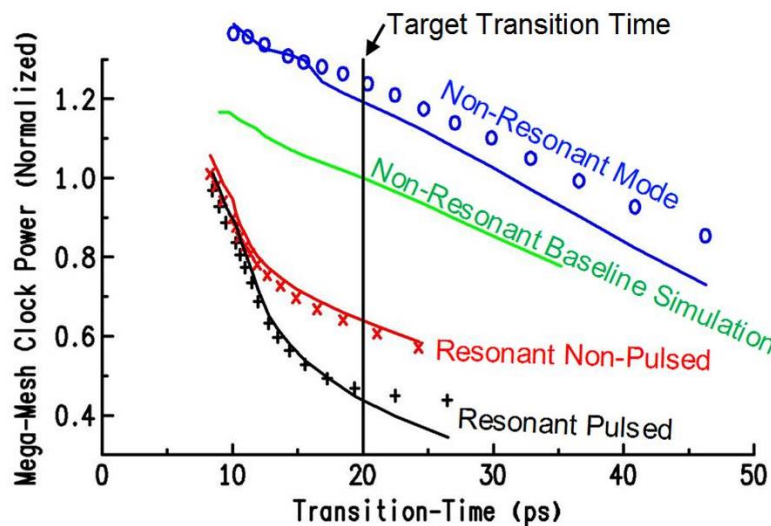
II) 2015 VLSI Circuits シンポジウム ハイライト論文

A) 高性能プロセッサ

マイクロプロセッサ向け低電力・高速クロック分配:

IBM z13 マイクロプロセッサ向けに、大規模な共振を用いた”メガメッシュ”大域クロック分配方式に関する提案。改良された2層インダクタ、単一共振モード、新規のパルスモード分割バッファ、より高周波による共振を用いることで、4.5GHzから5.5GHzの周波数領域において、最終段のクロックメッシュおよびチップ全体の電力をそれぞれ、共振を用いない基準と比較しシミュレーションにおいて50%、8%削減した。共振型クロックによる電力削減により、メガメッシュの実装が可能となり、電力的に軽微な影響によりパスバンド幅、チップタイミングに対して大きな利点をもたらしている。IBMの17層金属配線層を有する性能22nm high-k CMOS SOI技術により実現されている。

(Paper C23-5, "Resonant Clock Mega-Mesh for the IBM z13," David Shan et al., IBM)

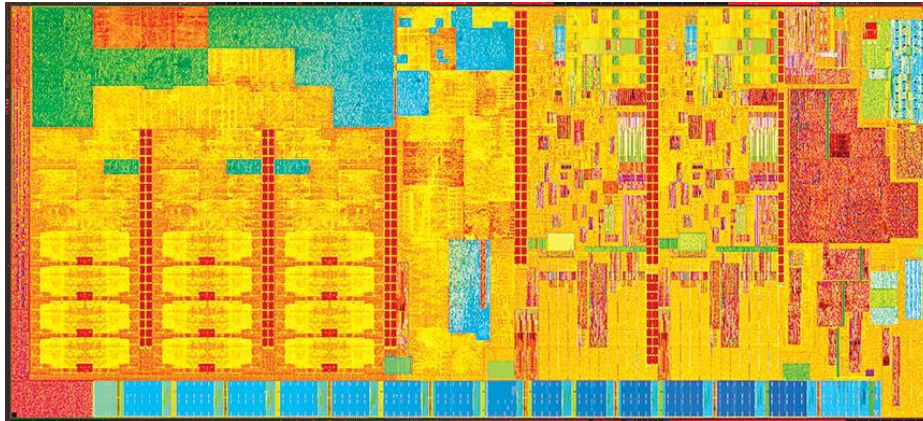


動作モード毎のメガメッシュの消費電力の比較

モバイルデバイス向け高エネルギー効率プロセッサ:

インテルの Core™ M および第五世代の Core™ プロセッサ(コード名 Broadwell) を 14nm プロセス技術により製造することでチップ面積を 49%削減。種々の手法と最適化により、グラフィック性能を最大 60%向上させながら、チップ全体の電力(TDP)を 2.5 分の 1 に低減した。Broadwell は、より良い Droop 制御を可能とする第二世代の電圧レギュレータ、線形電圧レギュレータ(LVR)を搭載し、その他の電力削減手法と合わせることで、アクティブ電力および待機時電力を第一バージョンと比較して 35%削減した。Broadwell において初めて実装された”3DL”方式のインダクタ技術により、パッケージの厚みが 30%小さくなり、低負荷時の効率が向上した。SoC の入出力の分割し直しと DDR システムの大幅な再設計により入出力電力を 30%削減した。種々のアイドルモード(C*状態)における SoC ダイの各部の停止により待機時電力の 60%を削減した。新しいソフトを用いた協調最適化手法により、デューティサイクル制御や動的ディスプレイサポートにより、グラフィックおよびディスプレイサブシステムにおけるエネルギー効率を改善した。本シンポジウムでは、本論文の他に C19-1, T2-1 において同じインテル 14nm プラットフォームの講演が行われる。

(Paper C23-1, "Broadwell : A family of IA 14nm processors," A. Nalamalpu et al., Intel Corporation. See also Papers T2-1, "A 14 nm SoC Platform Technology Featuring 2nd Generation Tri-Gate Transistors, 70 nm Gate Pitch, 52 nm Metal Pitch," C.-H. Jan et al., Intel, and 19-1, "A 0.0499 μm^2 High Density and Aging Resilient 8T SRAM with 14nm FinFET Technology Featuring 560mV VMIN with Read and Write Assist," Y-H. Koo, et al., Intel.)



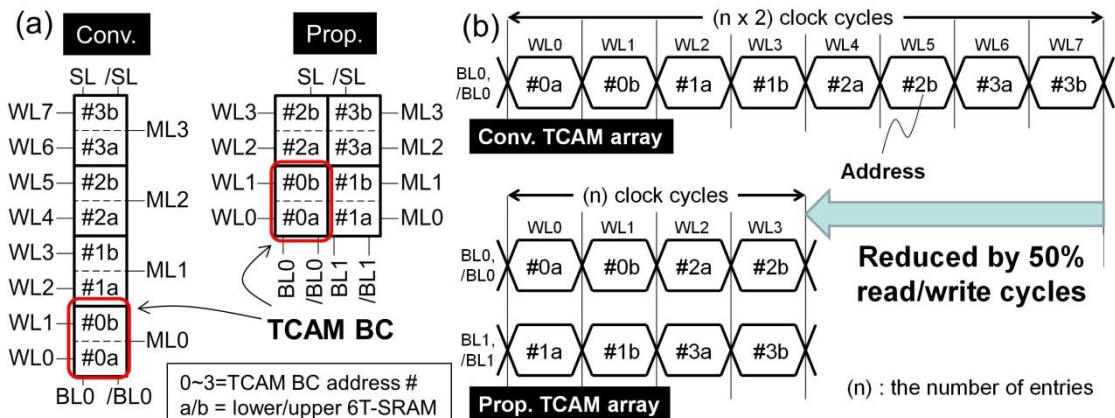
Broadwell チップ

B) 高性能メモリスステム

16nm 最高ビット密度かつ最高探索速度の TCAM:

16nmFinFET プロセスによる 3 値連想記憶メモリ(TCAM)向けビットセル(BC)の報告。提案の BC は、従来型 BC と比較し 15.8%小面積である。10kb TCAM マクロはこれまで最高密度の 1.8Mbit/mm² を実現。測定結果により、全アクティブ電力は従来型と比較して 8%削減。0.8V 動作において、探索時間 484ps を観測、これは 1 秒間 1.25G 探索に相当する世界最高性能である。

(Paper C19-5, "1.8 Mbit/mm² Ternary-CAM macro with 484 ps Search Access Time in 16 nm Fin-FET Bulk CMOS Technology ", Y. Tsukamoto, et al., Renesas Electronics Corporation)

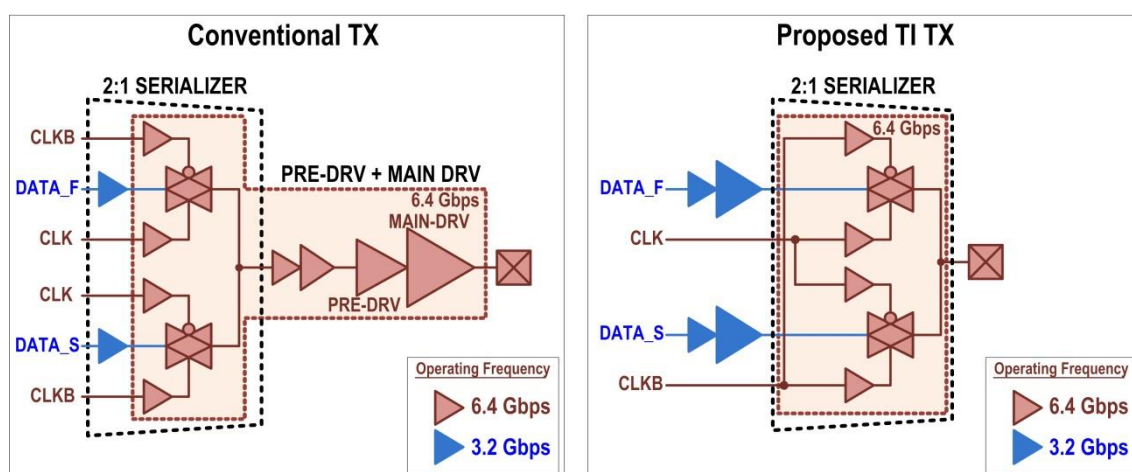


サイクルタイム削減

高速 DRAM インターフェース:

三星電子の Chang-Kyo Lee らは、1V 以下の電源電圧で動作する 6.4Gb/s 送信回路のインターリーブ手法を紹介する。将来の移動体機器向け DRAM インターフェースに求められる LPDDR4 の 2 倍のバンド幅となる 51.2GB/s の実現を目指し 25nm DRAM プロセスにより実装された。2 チャンネルインターリーブ型送信手法およびブートストラッピング型スイッチによりリピータを取り除き、6.4Gbps の動作速度において、LPDDR4 と比較して入出力電力効率を 40% 向上させることで、消費電力の大幅削減を可能とした。

(Paper C12-2 “A 6.4Gb/s/pin at Sub-1V Supply Voltage TX-interleaving Technique for Mobile DRAM Interface”, C-K. Kee, et al., Samsung Electronics)



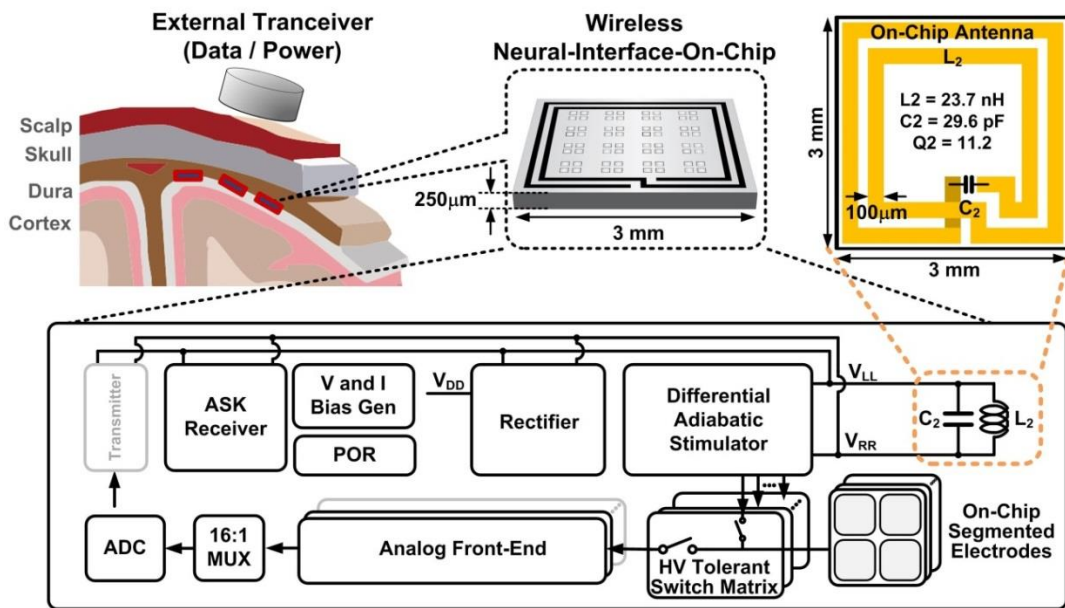
従来型及び提案型インターリーブ送信回路の比較

C) バイオメディカル及びセンサ

16 チャンネル非接触型神経インターフェース SoC:

米国カリフォルニア大学サンディエゴ校の S. Ha らによる完全に集積化された SoC による 16 チャンネル非接触神経インターフェースの講演では、断熱変化回路を用いた刺激回路の利用で 190MHz のオンチップアンテナから直接電力供給を受けることを可能とし、整流回路の巨大な外部部品をなくすとともに電圧レギュレータ損失をなくした。電荷補充型アーキテクチャを用いることで、刺激回路は最大 145uA を出力し、電荷補充効率 63.1%，刺激効率係数 6.0 を達成している。0.18um CMOS-SOI プロセスを用いたチップを試作し、生体と同様の生理的条件下での刺激および記録の検証を行った。

(Paper C6-1: “A 16-Channel Wireless Neural Interfacing SoC with RF-Powered Energy-Replenishing Adiabatic Stimulation, S. Ha et al., UCSD)

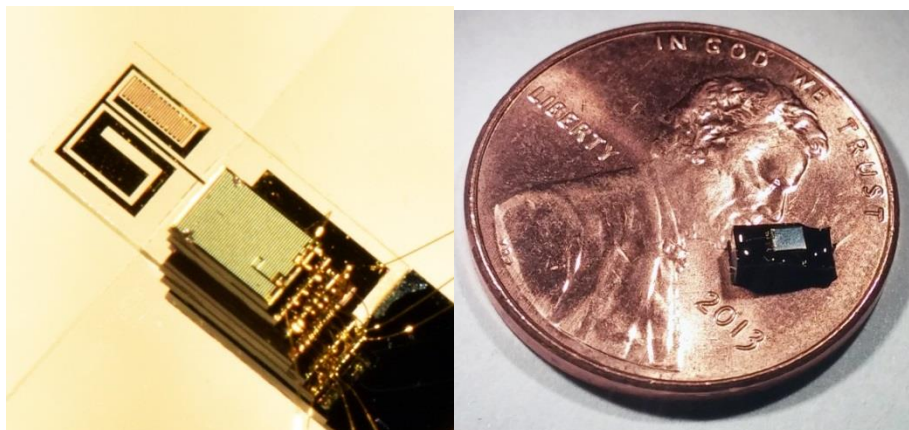


非接触神経インターフェースの模式図とブロック図

8GHz UWB 送信回路を有する自己給電型無線センサーノード:

ミシガン大学の Hyeongseok Kim らによる完全、自律的な無線がた温度センサは、 10.6mm^3 の体積の中に詰め込まれている。センサモジュールは、太陽光による環境発電、 $2\mu\text{Ah}$ の蓄電池、プログラミングのための光学受信回路、マイクロコントローラ、メモリ、8GHz の UWB 送信回路および 7m の無線到達距離を持つ小型アンテナを搭載している。これだけの小型モジュールにおいて完全自律的に無線によるセンシングを実証したのは世界初である。

(C13-2: "A 10.6mm^3 Full-Integrated, Wireless Sensor Node with 8GHz UWB Transmitter", Hyeongseok Kim et al., University of Michigan)



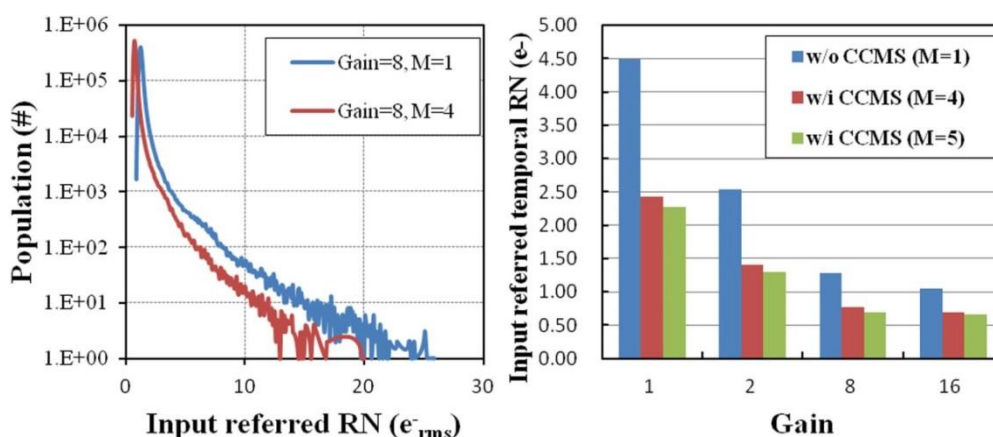
提案するシステム

D) 3次元積層型イメージセンサ

三次元積層型 CMOS イメージセンサの低雑音技術:

TSMC の Shang-Fu Yeh らは、条件付き相関複数サンプリング手法(CCMS)を用いた 8M ピクセル三次元積層型低雑音 CMOS イメージセンサについて報告する。本手法により、低フレームレート時の問題を低振幅電圧ランプを複数回用いることで解決する手法の提案を行っている。5 回の CCMS を行うことで、入力換算雑音 0.66e-rms を実現している。CCMS 手法では熱雑音およびランダムテレグラフ雑音(RTS)をも除去可能である。

(Paper C4-2, "A 0.66e-rms Temporal-Readout-Noise 3D-Stacked CMOS Image Sensor with Conditional Correlated Multiple Sampling (CCMS) Technique," Shang-Fu Yeh et al., TSMC)



CCMS 手法による雑音低減

グローバルシャッターモード及び高速撮像モードを有する三次元積層型 CMOS イメージセンサ:

オリンパスの Toru Kondo らによる 16M ピクセル三次元積層型 CMOS イメージセンサは、400 万のマイクロバンプをピクセル単位の接続に用いている。2枚の半導体基板は、7.6um ピッチのマイクロバンプアレイにより結合され、蓄積ノードアレイを下側基板に配置することで、寄生光の感度(PLS)を改善した。これにより、16M ピクセルグローバルシャッターモードにおける PLS -180dB と、2M ピクセル 10000fps 高速撮像モードをともに実現した。

(Paper C4-5, "A 3D stacked CMOS image sensor with 16Mpixel global-shutter mode and 2Mpixel 10000fps mode using 4 million interconnections," Toru Kondo et al., Olympus Corp.)



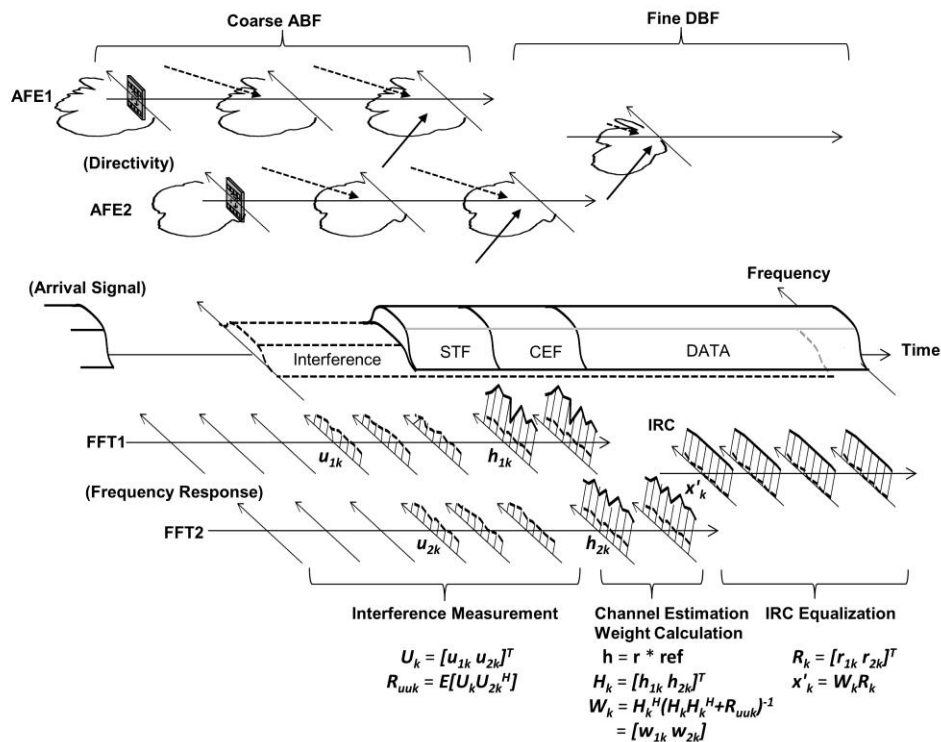
10000fps 高速撮像モードで撮像したサンプル画像

E) mm 波送信機における干渉抑制

WiGig トランシーバ:

パナソニックの Takinami らは、WiGig/IEEE 802.11ad 標準を目指した 60GHz 無線機について報告する。移動体通信機器のデータ集中回避のための小型高密度セルネットワークのための、アナログ/デジタルハイブリッド型ビームフォーミングとパケット単位での適応型干渉抑圧方式が提案されている。トランシーバは2ストリームアナログフロントエンド(AFE)および、4素子位相配列型アンテナから構成されている。干渉抑圧方式により、従来方式と比較して EVM(エラーベクトル振幅)が 3.1dB 改善している。

(Paper C22-3, "A 60GHz Wireless Transceiver Employing Hybrid Analog/Digital Beamforming with Interference Suppression for Multiuser Gigabit/s Radio Access," K. Takinami et al., Panasonic)



周波数領域および時間領域での受信回路の動作

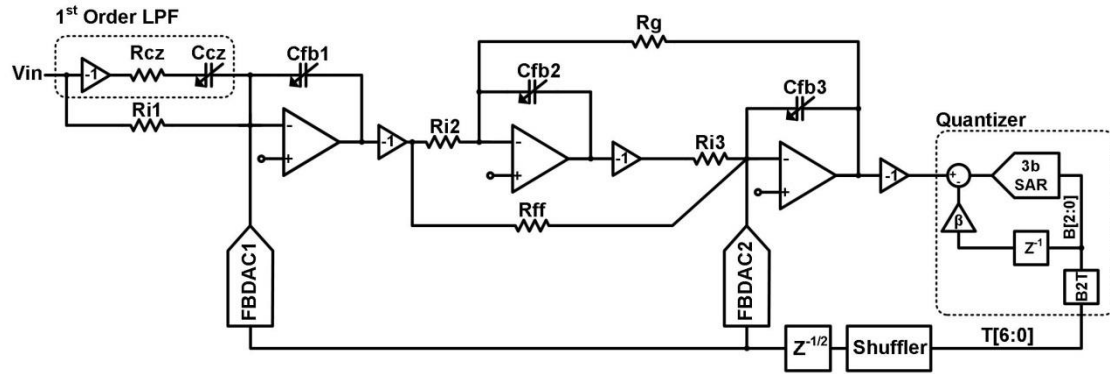
F) 高性能 ADC

連続時間 $\Sigma\Delta$ ADC:

ブロードコム G. Wei らは、連続時間型 $\Sigma\Delta$ 変調器を用いた SAR(逐次比較型)量子化器について報告する。SAR 量子化器は、超過ループ遅延保障を最小限の電力、面積増加により実現している。28nm CMOS による実装により、提案変調回路は 5MHz を超えるバンド幅において、13-ENOB を実現し、36.4fJ/conv.-step および 175.9dB なる FoM を実現している。

DAC(デジタル-アナログ変換)における非線形性のデジタル補正により SFDR 94dB を実現している。

(Paper C21-2, "A 13-ENOB, 5 MHz BW, 3.16 mW Multi-Bit Continuous-Time Delta-Sigma ADC in 28 nm CMOS with Excess-Loop-Delay Compensation Embedded in SAR Quantizer," G. Wei et al., Broadcom)



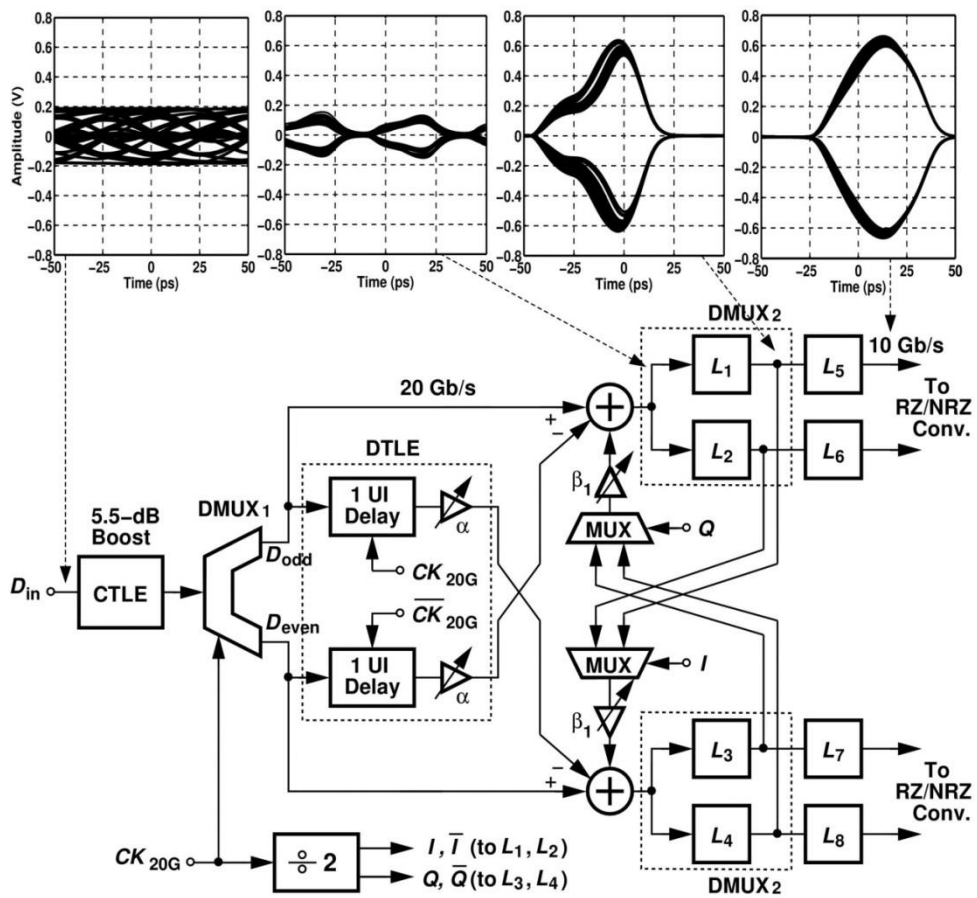
ADC の構成

G) 高速有線受信回路

40Gb/s 動作時に消費電力わずか 9.2mW の 等化器を 45nm CMOS プロセスにて開発:

超高速受信器のセッションでは、WDM システムにおいて高密度に I/O を集積させるための 9.2mW と極低電力で動作可能な 40Gb/s の CMOS 等化器が UCLA の Razavi 教授のグループから発表される。この等化器は、従来の CTLE、2tap DFE の他に、新しく 1tap の離散時間線形イコライザ(DTLE)を備え、これが CTLE のブースト利得を抑える事で低電力化に貢献している。また、高速かつ低電力動作のための電荷移動型ラッチも提案されている。テストチップは 45nm CMOS プロセスにて実装され、20dB 損失の伝送線路ロスを補償してのエラーフリー動作が確認された。

(Paper C15-2, "A 40-Gb/s 9.2-mW CMOS Equalizer," A. Manian et al., UCLA)



等化器の構成

いくつかの重要な語句に関する注釈

- **ADC, or Analog-to-Digital Converter** – 連続的な物理量(通常は電圧)をデジタル値に変換する素子。
- **Back-End/BEOL and Front-End/FEOL** -- 集積回路製造において、トランジスタや他のアクティブ素子は最初に形成され、一方で配線構造は後で形成される。したがって前者をFEOL(front end of the manufacturing line)と呼び、後者をBEOL(back end of the manufacturing line)と言う。
- **CMOS/MOS/MOSFET/FET**-- 今日用いられている大半のトランジスタは電界効果トランジスタ(FET: Field Effect Transistor)である。大抵のFETはCMOS製造技術によって形成される。(CMOS: Complementary Metal-Oxide-Semiconductor)
一般にはMOSFETとか、MOSトランジスタと言ったりもする。
- **Compound/III-V Semiconductors** -- 現在主流となっている半導体はシリコンをベースとしているが、研究者は他の種類の半導体で高い電子移動度を有するものについても調査を続けている。より速いスイッチング速度を要求するデバイスに対する応用可能性があるからである。
ただし、それらの物質はシリコンよりも取り扱いが難しい。化合物半導体は二つ、もしくは三つの元素から構成されており、例えばGaAs(砒化ガリウム)、InP(インジウムリン)、GaN(窒化ガリウム)などがあり、これらは一般的には周期律表のIII族とV族の元素(一部にII族-VI族、IV族-IV族のものもある)から構成される。
- **DAC or Digital-to Analog Converter** – デジタル値をアナログ信号(電流、電圧、電荷量)に変換する素子。
- **Droop Control** – Droopとは、システムの動作状態の変化(例えば低速動作から高速動作への変化)に起因して生じることが一般的な電源電圧低下のことをいう。Droop制御は、この電圧低下を補償する仕組みで、これによりタイミングマージンの増加、デカップリング容量の削減を可能とする。
- **DRAM** – 随時読み書き可能なダイナミックメモリは、情報を容量に電荷の形で保管するため、定期的リフレッシュが不可欠である。一般的なコンピュータ、タブレットやスマートフォンの主記憶の大部分は専用のDRAMにより構成されている。
- **EOT or equivalent oxide thickness** – 等価酸化膜厚。高誘電率膜の能力を酸化膜と比較するための膜厚。EOTの膜厚を持った酸化膜は、比較される高誘電率膜と同じゲート容量を持つ。比誘電率の高い誘電体ほどEOTを低減することができ、MOSFETの能力を向上することができる。
- **Equalizer (CTLE/DTLE/DFE)** – Equalizer(等価器)は有線通信において、一般的な銅線による通信における周波数領域の種々の減衰を補償するために用いられる。連続時間線形等価器(Continuous time linear equalizer: CTLE)、離散時間線形等価器(Discrete-time linear equalizer: DTLE)は、一般的には信号の高周波成分を増加させるために線形フィルタを用いる。判定帰還形等価器(Decision feedback equalizer: DFE)は過去に判定した信号に基づいて受信信号レベルを補正する非線形処理である。
- **ESD** – 静電気放電。静電気を持つ2つの物体を接触させたときの起こる放電現象。ESDが集積回路に当たると、デバイスの故障や寿命の低下を引き起こす。

- **FD-SOI** -- 完全空乏型の SOI。(SOI については SOI の項を参照のこと)トランジスタ下のシリコン層を完全に空乏化することで、より高速、低消費電力を実現する事ができる。
- **FinFET** -- 魚の背びれに似た形の 3 次元型トランジスタで、その形状を囲むように複数のゲート電極が配列されているもの。この構造によってオン/オフの制御特性が通常の平面型トランジスタよりも良好である。
- **Front-End/FEOL and Back-End/BEOL** -- Back-End/BEOL の項を参照のこと。
- **HEMT** -- High Electron Mobility Transistor, Heterostructure FET (HFET), Modulation-doped FET (MODFET)などとも呼ばれる。HEMT は異なるバンドギャップを持った 2 つの半導体からなるヘテロ界面を持ったデバイスである。適当な物質を選ぶことにより、このヘテロ界面に高移動度の 2 次元電子ガスが形成される。
- **HKMG, or High-k Dielectrics/Metal Gates** -- 誘電体は電気的には絶縁物であって MOSFET、MOS キャパシタのゲート電極とチャネル部の間に配置される。"k"は比誘電率を示し、これの大きさによって MOSFET におけるゲート電極と基板間のリーク電流やゲート電極と基板間の容量カップリングが影響を受ける。近未来の CMOS 集積回路においてはシリコン酸化膜を基準にすると数 nm の薄さに匹敵するような容量値が必要とされ、これによってゲート長を 10 nm 以下にスケールアップすることが可能となる。一方、金属ゲート電極は伝統的に使用されてきたポリシリコンゲート電極よりも高誘電率材料と相性が良いことが知られている。ここ数年で高性能なチップを製造するために金属ゲート電極を CMOS プロセスに導入することに対して大きな進展があり、ハイパフォーマンスチップの CMOS 製造プロセスに用いられている。
- **III-V** -- (Three-Five) Compound/III-V Semiconductors の項を参照のこと。
- **Integrated Circuit** -- 半導体基板上に組み上げられた電氣的回路であって、多数の素子(例えばトランジスタ、ダイオード、容量素子、抵抗素子、インダクタなど)が配線で結ばれているものを指す。
- **Interconnect** -- 金属の線、もしくはワイヤーでトランジスタと他の回路素子とを結んでいるもの。金属配線のこと。Back-End/BEOL のところも参照のこと。
- **Interposer** -- インターポーザー。チップ間、もしくはソケットとチップ間の電氣的なインターフェース。インターポーザーの役目は異なる入出力端子を用いたチップやソケットを結合することである。
- **Linear Voltage Regulator** - 付加電流に応じて出力抵抗を変化させることで一定電圧を保持する電源回路。出力電圧に対して高い入力電圧が必要かつ一般的にはスイッチングレギュレータなどと比較して電力効率が低い。
- **Low-k Dielectrics/Interconnect** -- Interconnect は金属配線のこと、これは集積回路内(チップ内)の各素子を結んでいる。スケールアップが進み、隣接する金属配線同士が接近するとこの両者間の寄生容量が無視できなくなり、これがチップの性能を律速する。したがって低誘電率材料を用いてこれらの銅線を電氣的に絶縁しながら配線間容量を低減することが試みられている。ただし、これらの低誘電率材料は一般的には壊れやすく、実際に量産するに当たっては難しい局面もある。

- **MEMS** -- マイクロ・エレクトロ・メカニカル・システムのことで、マイクロメーター程度の大きさの機械的な可動部を持つ部品を指す。スイッチや可変キャパシタ、各種センサーなどがこのMEMSで構成されている。
- **N-FET/P-FET or NMOS/PMOS** -- MOSFETはn型チャネル(電子がキャリアとなる)とp型チャネル(ホールがキャリアとなる)の2種類があり、両者を組み合わせて相補的に使われる。
- **Non-volatile memory (NVM)** -- 不揮発性メモリのこと。電源電圧が印加されていなくても蓄積されているデータが失われないタイプのコンピューター記憶装置のことを言う。
- **Phase-Change Memory/PCM** -- 相変化型メモリのこと。これは結晶状態と非結晶状態を"0"と"1"に割り当ててメモリとするもので、不揮発性メモリの一種。電流を流すことによって生じた熱によって物質の状態が変わり、この"1"、"0"の2つの状態を切り替えることができる。
- **Resistive Random Access Memory/ReRAM or RRAM** -- なんらかのパラメーター変化によって生じる素子の抵抗変化をデータ蓄積の目的に用いた不揮発性メモリの一種。素子の抵抗変化は高電圧印加によって素子を構成する絶縁膜中に電気伝導性を有するフィラメントが形成されたり壊されたりすることによるものが多い。
- **Scaling/Density/Integration** -- Scaling(スケーリング)とはトランジスタや他の回路素子を小さく形成して、一つのチップ上において多くの部品の搭載を可能にすることを指す。Densityはチップ上に載っているトランジスタの密度で、これが大きいほど多くのトランジスタが搭載されている。また、Integration(インテグレーション)は回路素子をチップ上に形成して機能をたくさん追加することを示す。多くの機能が詰め込まれれば、機能あたりのコストは低減される。
- **Semiconductor** -- 半導体のこと。半導体は金属ほど電気抵抗が低くないが、絶縁体よりは電気抵抗が低い材料で、その電流を流したりブロックしたりすることでデータを蓄積したり、情報を処理したりする。
- **SoC** -- システムオンチップ。1つのチップの上にコンピューターや電子システムに必要なすべての素子を集積した物。
- **SOI** -- "Silicon-on-Insulator"の略。日本語でもSOI(エス・オー・アイもしくはソイ)、シリコン・オン・インシュレーターと言っている。半導体基板の上に絶縁膜を形成し、その上にさらに半導体層が構成されているもので、主としてその上部の半導体層中に回路素子を形成する。トランジスタの寄生容量が小さいので集積回路の性能向上に用いられる。一方で基板とチャネル部が物理的・電氣的に分離されているために生じる問題もある。
- **Strained silicon & SiGe stressors** -- シリコンがひずみを受けている状態というのは、シリコン原子が互いに引っ張られて原子間距離が大きくなっている状態(ひっぱりひずみ、tensile)と逆にシリコン原子が互いに押されて原子間距離が小さくなっている状態(圧縮ひずみ、compressive)の2つの状態がある。トランジスタのチャネル部のシリコンがこのようなひずみを受けるとキャリアの移動度が変調されてトランジスタが低電圧動作時でもより高速になる場合がありえる。外部ストレッサーと呼ばれるものがあり、シリコン結晶と格子定数が少し異なる材料をシリコンにエピタキシャル成長させることでシリコン領域にひずみを印加することができる。例えば圧縮ひずみをpチャネルシリコンFETのチャネル領域に加えるために、シリコンよりも大きな格子定数を持つシリコンゲルマニウム合金をS/D領域にエピタキシャル成長させることがよく行われている。

- **SRAM** -- SRAM(Static Random Access Memory) はコンピューターに用いられるメモリの種類で、普通 6 つもしくはそれ以上のトランジスタからなる回路で一つのセルが構成される。読み書き速度は高速だが、電源を切るとデータは消去される。
- **Spin Transfer Torque Magnetoresistive Random Access Memory (STT-MRAM)**-- 不揮発性メモリ素子の一種で磁気抵抗変化をデータ蓄積に用いた RAM。基本的に MRAM セルはドライバートランジスタと磁気トンネル接合(MTJ)から構成される。MTJ の抵抗は MTJ 内部の磁性薄膜のスピンの状態に依存して変化し、そのスピン状態は外部磁場、もしくはスピン分極した電子によって形成される電流で制御される。後者の場合、スピントランスファートルク(STT) がスイッチングの主因となる。STT-MRAM は高速かつ低消費電力の次世代メモリとして期待されている。
- **TDC, or Time-to-Digital Converter** – イベントを認識し、それが発生した時間に対応するデジタル値を与える素子。
- **Ternary content-addressable memory (TCAM)** – 連想記憶は、記憶領域全体の中から特定のワードを検索する特殊メモリである。”三値”とは、0/1 に加えて、“X” (ドントケア)を保持、検索可能であることを意味する。
- **UWB** – 超広帯域無線(Ultra-wideband radio)は 3.1 – 10.6GHz 帯において最低 500MHz 以上の帯域を使用、かつ極低放射電力密度により動作する無線通信のこと。記憶は、記憶領域全体の中から特定のワードを検索する特殊メモリである。”三値”とは、0/1 に加
- **Global shutter** – 画面全体を、ローリングシャッタのように逐次的にスキャンすることなく、同一タイミングにて取得する手法。
- **Effective Number of Bits (ENOB)** – ADC の動的特性を表す指標で、n ビット信号中の雑音や信号歪による信号劣化を含んだ値である。
- **Transistor** -- トランジスタは半導体集積回路を構成する小さな電気的なスイッチ。スイッチと言っても可動部は無く、半導体材料、大抵はシリコン製であって、FET の場合はゲート電極に印加する電圧によってチャネル領域中の反転層の状態を制御しドレイン電流をスイッチする。バイポーラートランジスタの場合はベース電流の有無によってコレクター電流を制御する。トランジスタは一つのチップ内に何百万もの数が詰め込まれており、情報の受領、処理、蓄積、また情報や制御信号の出力を行うようにプログラムされている。

###