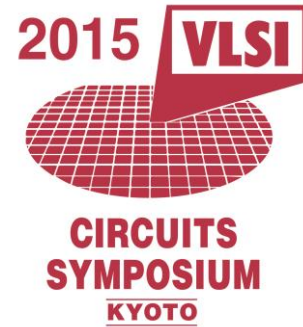




www.vlsisymposium.org



매체 연락처:

VLSI 심포지움 사무국 (일본, 아시아)
c/o ICS Convention Design, Inc.
Chiyoda Bldg. 1-5-18 Sarugaku-cho, Chiyoda-ku,
Tokyo 101-8449 Japan
Tel: +81-3-3219-3541
E-mail: vlsisymp@ics-inc.co.jp

BtB 마케팅 (북미, EU)
Chris Burke
BtB Marketing
co-Media Relations Director
Tel: +1-919-872-8172
E-mail: chris.burke@btbmarketing.com

즉시 배포

2015 VLSI 기술 및 회로 심포지움 팁 시트 (Tip Sheet)

일본 교토 -- 이 팁 시트는 이곳 리가 로얄 호텔 교토에서 열릴 2015 VLSI 기술 및 회로 심포지움에서 발표될 가장 뉴스거리가 될만한 몇 편의 논문을 미리 살펴본다. 2015년 6월 15일-18일 (기술 심포지움), 6월 16일-19일 (회로 심포지움).

이미지들을 더 나은 해상도로 보기 위해서는 Editor Press Center 참조. 기술용어에 대한 용어집은 이 팁 시트의 끝에 있다.

www.vlsisymposium.org/press.html

1) 2015 VLSI 기술 심포지움의 기술 하이라이트

A) CMOS 제조를 위한 플랫폼 기술

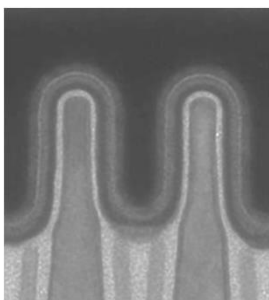
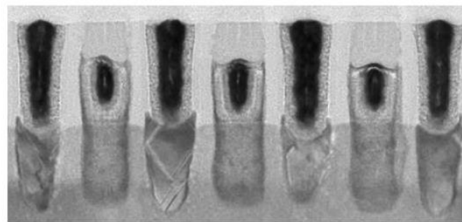
저전력 고성능 고직접도 SoC 제품을 위한 14 nm SoC 플랫폼 기술:

인텔은 집적도, 저전력, 폭넓은 동작 범위를 최적화한 2세대 tri-gate transistor 기술을 바탕으로 한 14 nm SoC 플랫폼을 논한다. 70 nm 의 gate 사이의 거리 (pitch), 52 nm 의 metal 사이의 거리 (pitch), 0.0499 μm^2 HDC SRAM 셀은, 22 nm node 를 넘어 무어의 법칙인 2 배 직접을 위한 scaling 을 달성하기 위해 14/16 nm node SoC 프로세스에 대해 보고된

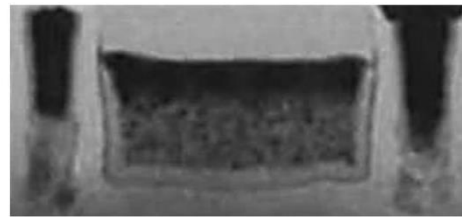
가장 공격적인 설계 규칙이다. 고성능 NMOS/PMOS drive current 가 0.7 V 에서 각각 22nm node 보다 37%/50% 개선된 1.3/1.2 mA/μm 이 달성되었고 100 nA/μm off-state leakage current 를 얻었다. 초저전력 NMOS/PMOS drive current 는 0.7V 에서 0.50/0.32 mA/um 이고, Ioff 는 15pA/μm 이다. 이러한 SoC 기술은 최고 3.3 V I/O 까지 지원하는 고전압 I/O transistor 의 지평을 열고, 아날로그, 혼합신호, RF 기능의 전 범위를 지원하게 된다. (논문 T2-1, “2세대 tri-gate transistor, 70 nm gate pitch, 52 nm metal pitch, 0.0499 um² SRAM 셀의 특징을 가지는 14 nm SoC 플랫폼 기술, 저전력 고성능 고집적화 SoC 제품을 위해 최적화됨,” C.-H. Jan 외, 인텔, 논문 CXX-x, “브로드웰: 1A 14nm 프로세서 패밀리,” A. Nalamalpu 외 인텔)



High Speed Logic Transistor



High Voltage I/O Transistor

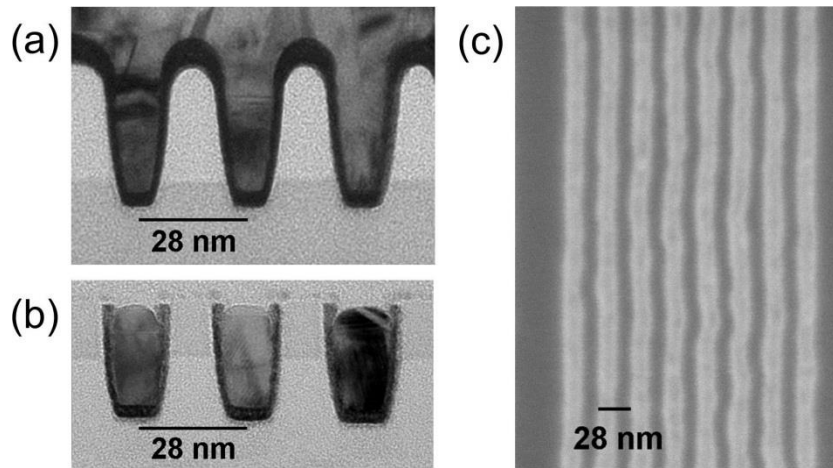


로직의 단면 TEM 핀(Fin)/게이트 (위), HV I/O 트랜지스터 (아래)

7 nm node 이상에서의 구리 interconnect 의 비저항:

구리 저항력 증가로 인한 interconnect 배선 지연이 7 nm node COMS 의 큰 도전과제 중 하나다. IBM 과 GLOBALFOUNDRIES 는 구리의 비저항에 기여하는 산란 메커니즘을 집중적으로 연구했다. Damascene (공정으로 만들어진) 구리의 비저항은 40 nm 까지 내려간 pitch 에서, 최저 140nm² 구리 단면적에서 측정되었다. DSA(directed self-assembly)에 의한 패턴(patterning)으로 28 nm 피치에서 구리 리플로우 (copper reflow)에 의한 metallization 이 가능했다. 단결정 실리콘 마스크의 표면 reconstruction 으로 매우 낮은 LER(line-edge-roughness)을 얻었다. LER 변동은 비저항 영향을 주지 않는 것으로 나타났다. 대나무 모양의 grain 구조를 가진 배선은 grain size 가 조절될 수 있다면, 7nm 노드 이상에서 성능개선의 가능성을 보이는 등, 비저항에 장점이 있는 것으로 나타났다.

(논문 T8-3, “7 nm node 이상에서의 구리 interconnect 의 비저항,” A. Pyzyna 외, IBM & GLOBALFOUNDRIES)



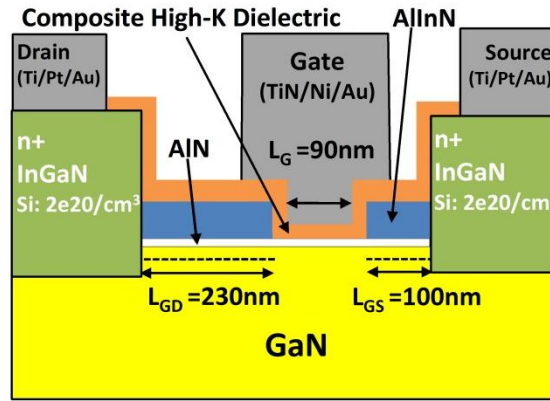
트렌치의 단면 TEM (a) 채워졌을 때 (b) CMP 후.

(c) SEM 은 CMP 후 28 nm 피치에서 DSA 패턴 선을 보여준다.

B) 떠오르는 디바이스 기술

고성능 저누설 enhancement mode, High-K 유전체를 가지는 GaN MOS-HEMT:

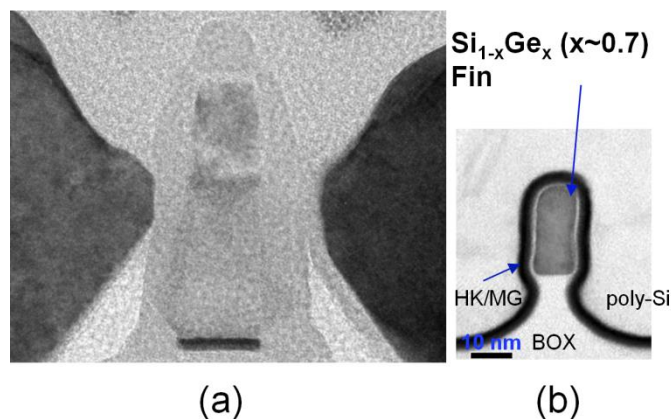
GaN 소자는 고전력 고주파수 응용 분야에 유리하다. 이 소자들은 대부분 depletion mode (normally-on) HEMT 이며 이것은 저전력 SoC 에는 적합하지 않다. 이 논문에서 인텔은 90nm gate 길이 high-K 유전체를 가진 enhancement mode (e-mode) GaN MOS-HEMT 를 소개한다: low $I_{OFF}=70\text{nA}/\mu\text{m}$ ($V_D=3.5\text{V}$, $V_G=0\text{V}$), low $R_{ON}=490\Omega\text{-}\mu\text{m}$, high $I_{D,max}=1.4\text{mA}/\mu\text{m}$, $0.55\text{W}/\text{mm}$ ($V_D=3.5\text{V}$, $f=2.0\text{GHz}$)의 RF 출력전력밀도 (RF Pout) 에서 80 % 의 뛰어난 PAE (전력 부가 효율) 를 보여준다. 이러한 결과가 의미하는 것은 (i) 동등한 breakdown voltage (BVd)에서 업계표준 Si 전압 조정기 (VR) transistor 보다 3.6 배 이상으로 낮은 R_{ON} , (ii) mobile SoC 에 적합한 모든 voltage 에서 업계표준 GaAs 고주파 power 증폭 (power amplifier) transistor 보다 매칭되는 RF Pout 에서 >10% 더 나은 PAE, 혹은 매칭되는 PAE 에서 >50% 더 높은 RF Pout 이다. 이것은 최초로 GaN 전자장치의 응용분야가 기존 고압전력 및 RF 전자장치 (예: 자동차, 전력 변환기, 기지국, 레이더) 를 넘어서, 저전력 모바일 SoC 응용까지 포함하여 확대될 수 있다는 것을 보여준다. (논문 T15-1, "저전력 mobile SoC 응용 기기들을 위한 에너지 효율적이고 초소형 전압 조정기와 고주파수 전력 증폭기를 위한 고성능 저누설 enhancement-mode High-K 유전체를 가지는 GaN MOS-HEMT," H.W. Then 외, 인텔)



이 연구의 e-모드 high-k GaN MOS-HEMT 모식도.

High mobility의 Ge 함량이 높은 $Si_{1-x}Ge_x$ -on-insulator PMOS FinFET:

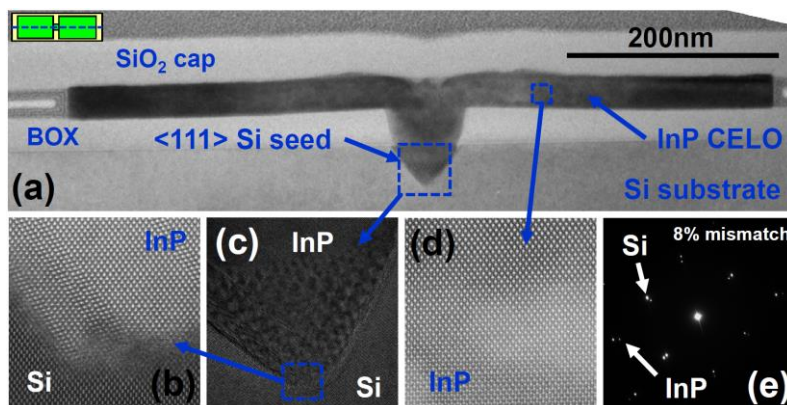
스케일 된 CMOS 구현을 위해 채널에서 더 높은 strain (pMOS의 경우 더 높은 Ge 함량)이나 더 얇은 채널이 필요하다. IBM은 CMOS에 적용 가능한 방법을 사용하여 Ge fraction이 최고 71%까지 올리고 크기는 스케일 된 HGC (high-Ge-content) SiGe-on-FinFET을 개발하여 소개한다. 개선된 3D-Ge-응결 기술을 이용하여 수직 side wall과 10 nm 이하 폭과 상대적으로 키가 큰 핀(fin)을 가진 극단적으로 스케일 되어 제작된 HGC를 보여준다. 최적화된 계면층을 가진 개선된 Si-cap-free high-k/metal-gate 프로세스가 0.6 정도의 Ge 함량에서 0.85 nm의 EOT (equivalent oxide thickness) scaling, 특징적인 long channel subthreshold swing ($SS=69$ mV/dec.), enhancement-mode의 소자를 가능케 했다. 또한 스케일된 EOT에서 long channel mobility 특성 ($N_{inv}=1 \times 10^{13} \text{cm}^{-2}$ 에서 $\sim 300 \text{cm}^2/\text{Vs}$)과 좋은 cut-off 동작을 보이는 short channel pMOS FinFET도 보여주었다. (논문 T2-3, “3D Ge 응결을 이용하여 형성된 핀(Fin)을 가진 high mobility의 Ge 함량이 높은 $Si_{1-x}Ge_x$ -on-PMOS FinFET, Ge Fraction 최고 $x \sim 0.7$, EOT $\sim 8.5 \text{\AA}$ 로 스케일되었고 핀(Fin)의 폭은 $\sim 10 \text{nm}$,” P. Hashemi 외, IBM)



$Si_{1-x}Ge_x$ -on ($x \sim 0.7$) pMOS FinFET의 전형적인 단면 TEM
(a) 핀(fin) 방향, (b) 핀(fin) 직각 방향.

InGaAs-on-insulator MOSFET 을 대면적 (Large-Area) Si 기판에 integration 하기 위한 CMOS 에 적용가능한 한 Confined Epitaxial Lateral Overgrowth(CELO):

높은 mobility 의 III-V (InGaAs 또는 기타) 반도체 소재를 대면적 실리콘 기판에 경제적으로 integration 하는 것은 매우 어려운 숙제 중 하나이다. IBM 과 EMPA 는 CELO (Confined Epitaxial Lateral Overgrowth)라는 새로운 concept 으로 실리콘 기판에 고품질의 InGaAs on insulator(InGaAs-OI)을 CMOS 에 적합하게 integration 했다. 선별적 epitaxy 에 기반한 이 방법은 표준 대면적 실리콘 기판과 전형적인 CMOS 공정만을 필요로 한다. 이것은 bulk 혹은 SOI Si 웨이퍼 둘 다에서 InGaAs-OI 의 제작이 가능하게 한다. InGaAs epitaxy 구조는 defect 가 매우 낮은 것으로 분석되고, 차세대 CMOS node 에 사용되는 ultra-thin-body 나 핀(fin) 기반의 transistor 구조 모두의 요건을 충족시킬 수 있다. 현재까지 가장 성능이 좋은 InGaAs MOSFET on Si 에 견줄 수 있는 뛰어난 전기적 특성을 가진 Gate-first self-aligned FinFET (100-nm-길이 게이트, 50-nm-폭의 핀(fin), 250-nm-폭의 플러그 contact)이 소개 되었다. 이 새로운 concept 은 다가오는 차세대 CMOS node 에서 높은 mobility 채널 소재를 대량생산이 가능케 하는 엄청난 잠재력을 가지고 있다. (논문 T13-3, "Confined Epitaxial Lateral Overgrowth (CELO): 대면적 실리콘 기판에 CMOS 적합한 InGaAs-on-insulator MOSFET 을 스케일하여 integration 하기 위한 새로운 concept," L. Czornomaz 외, IBM & EMPA)

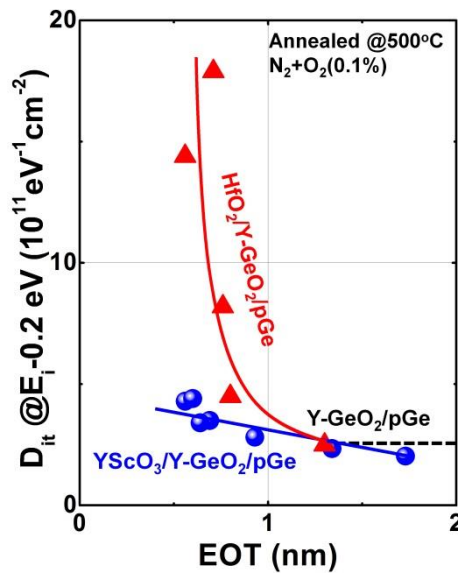


CELO 에 의한 InP on Si 소재 품질 분석. (a) 단면 TEM. HR-STEM 에 의해 seed 부근에서 많은 defect 이 관찰됨 (b) / TEM (c) (대부분 stacking faults). seed 에서 떨어진 곳에 완전히 이완된 InP 에 Si 과 8 %의 mismatch 를 보이는 완벽한 격자구조가 관찰됨 (d, e).

EOT 0.5nm 인 신뢰성을 고려한 (Reliability-aware) Ge gate stack:

낮은 interface state density, 채널에서의 높은 carrier mobility, 그리고 높은 신뢰성을 얻는 것은 Ge MOSFET 을 위한 gate stack 기술의 중요한 쟁점이다. 도쿄 대학교는 신뢰성을 고려한 Ge gate stack 을 위한 새로운 소재/공정 기반의 디자인을 보고한다. 초기의 Ge gate stack 의 특성이 좋다고 해서 장기적으로 소자의 신뢰성이 보장되는 것은 아니다. 이러한 문제를 해결하기 위해 GeO₂ 네트워크의 안정성과 새로운 high-K 가 연구되었다. 0.5 nm EOT (equivalent oxide thickness) 및 충분히 낮은 interface state density (D_{it}) 모두를 가진 탄탄한 Ge gate stack 이 소개되었다. (논문 T2-4, "EOT 0.5 nm 의 신뢰성을

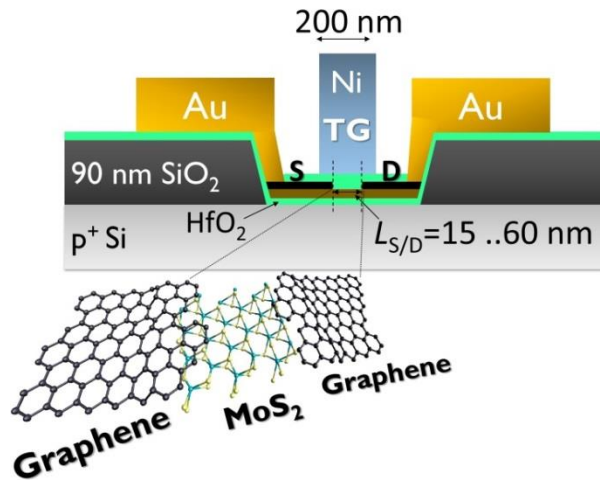
고려한 Ge gate stack 설계 및 입증,” C. Lu 외, 동경대학교)



다양한 Y-GeO₂ 두께를 가진 [YScO₃ 및 HfO₂ / Y-GeO₂ / Ge (111)] stack 에서 E_i - 0.2 eV 일 때의 D_{it}. Ge interface 에서 열화 되는 영향을 막기 위해 HfO₂ 는 1 nm 이상의 IL 필요하나 YScO₃ 는 이러한 우려가 없음.

기록적으로 짧은 채널 길이의 (15nm) MoS₂ FET:

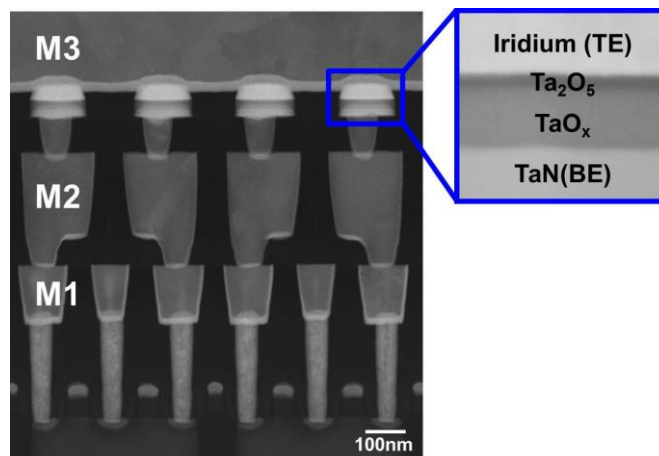
MoS₂ 같은 원자단위의 얇은 박막층의 반도체는 ultra-thin body 특성, 큰 band gap, 열안정성, CMOS 공정에 대한 적합성 때문에 소자 응용에 대한 엄청난 잠재력을 갖고 있다. MoS₂ FET 는 I_{off} 가 매우 낮기 때문에 저전력 응용분야에 유망하다. MIT 를 비롯한 저자들은 단층 그래핀을 source/drain contact 으로 사용하여 단층(t_{ch}~0.7 nm)과 4 층(t_{ch}~3 nm)으로 MoS₂ 채널에 만들어진 기록적인 15 nm 의 source/drain 길이(L_{S/D})를 가진 단일- 및 더블-게이트 (SG & DG) field effect transistor (FET)를 보여준다. L_{S/D}=15 nm 를 가진 DG 4-층 MoS₂-FET 에 해당하는 가장 우수한 소자는 I_{on}/I_{off} 는 10⁶ 이상의 I_{on}/I_{off} 와, V_{DS}=0.5 V 에서 90 mV/dec 의 최저 subthreshold swing (SS_{min.})을 보여주었다. L_{S/D} = 1 μm 및 V_{DS}=0.5 V 에서 SS_{min.}=66 mV/dec 였고, 이는 MoS₂-FET 에서 현재까지 보고된 가장 우수한 SS 이며, interface 와 enhanced 된 채널의 정전기특성(electrostatics)이 높기 개선된 것임을 의미한다. (논문 T3-4, “단일-게이트, 더블-게이트 구조의 15-nm 채널 길이 MoS₂ FET,” A. Nourbakhsh 외, MIT, 아이맥 & KULeuven)



그래핀 S/D contact 을 가진 short 채널 SG & DG-MoS₂ FET 의 소자 단면도

C) 떠오르는 비휘발성 메모리 기술

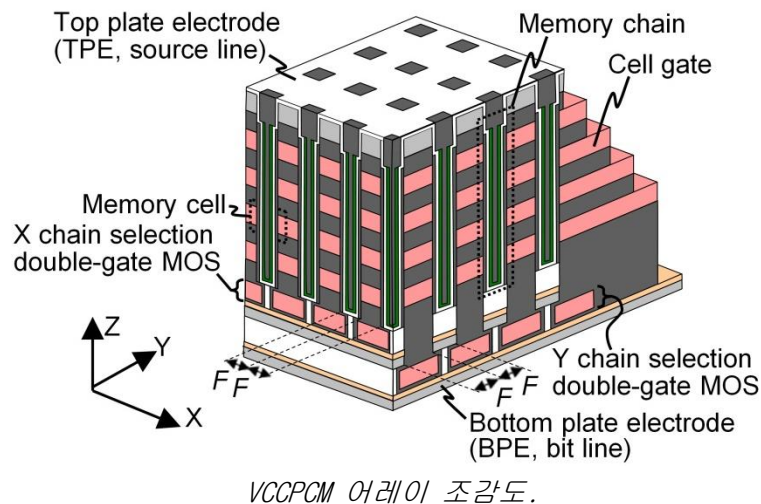
28-nm embedded 응용 소자를 위한 중앙집중식 필라멘트를 가진 높은 신뢰성의 TaO_x ReRAM: 옥사이드 기반의 ReRAM 은 비휘발성 메모리로써 큰 잠재력을 갖고 있다. 셀의 필라멘트가 만들어 질 때, 셀 모서리와 셀 주위 환경의 영향에 의해서 매우 취약해지는 경향이 있다. 28-nm embedded 응용 소자를 위해 Panasonic 과 IMEC 은 정밀한 필라멘트 위치 설정 및 높은 열안정성을 가진 TaO_x-기반의 ReRAM 을 제안하였다. 셀은 새로 개발된 다양한 공정 기술과 셀 구조를 사용하여 다음의 특성을 실현했다: 손상이 적은 식각, 셀 side 산화 (cell side oxidation), 인캡슐레이티드 셀 구조 (encapsulated cell structure) 등이다. 그 결과, 셀 중앙에 필라멘트를 형성시키는데 최초로 성공했다. 또한 20-nm 셀 크기의 가능성도 확인했다. 제안된 필라멘트 제어와 열안정성 기술을 사용하여 2-Mbit ReRAM 에서 매우 좋은 신뢰성을 얻었다: 85 °C 에서 100k 사이클과 10 년 유지됨이 입증했다. (논문 T2-2, "28-nm embedded 응용 소자를 위한 중앙에 위치한 필라멘트의 신뢰성 높은 TaO_x ReRAM," Y. Hayakawa 외, 파나소닉 & 아이맥)



Ir 의 단면 TEM (위 전극)/TaO_x/TaN (아래 전극) ReRAM.

낮은 비트 비용과 높은 프로그래밍 처리량을 위한 3D 수직 체인-셀-타입 페이즈-체인지-메모리 (Vertical Chain-cell-type Phase-Change-Memory) 어레이:

SSD 저장 시스템은 낮은 비트가 소요되고 프로그래밍 처리량은 높은 비휘발성 저장 메모리를 필요로 한다. Hitachi 는 차세대 저장 기기로 프로그래밍 처리량이 높은 3 차원 (3D) 수직 체인-셀-타입 페이즈-체인지-메모리(VCCPCM)를 선보인다. 비트 및 소스 라인의 저항을 줄여 한 번에 쓰여지는 셀 수를 증가시키기 위해 VCCPCM array 는 평판 전극과 5-nm-두께 poly-Si 채널을 가진 더블-게이트 vertical-chain-selection MOS 를 가지고 있다. 게다가 CO₂ 레이저 열처리는 셀 MOS 의 poly-Si 셀 MOS 의 drivability 를 680 $\mu\text{A}/\mu\text{m}$ 으로 개선시켰고 에너지 손실을 억제하였다. 지우기 처리량은 채널 열에 의해 한꺼번에 메모리 셀을 지우는 “bundle erase” 동작으로 개선되었다. (논문 T7-1, “3D 수직 체인-셀-타입 페이즈-체인지-메모리 어레이의 2.8-GB/s-쓰기 및 670-MB/s-지우기 동작,” K. Kurotouchi 외, 히타치)

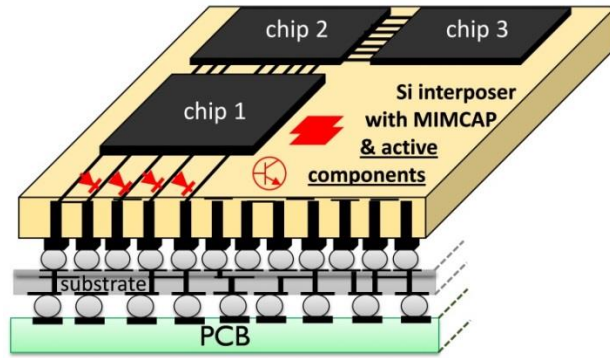


D) 설계/기술 공동 최적화 & 3D integration

2.5 & 3D integration 을 위한 액티브-라이트 인터포저 (Active-Lite Interposer):

2.5/3D integration 에 사용되는 수동 Si 인터포저에 기능을 추가하는 것이 시스템 비용절감을 가져올 수 있다. IMEC 은 로우-마스크 (low-mask) 공정을 이용하여 Si interposer 에 능동부품(다이오드, BJT, SCR(실리콘 제어 정류기) 등)을 집적하였다. 이 저비용 공정을 통해 다음이 가능해졌다: (1) 면적을 많이 차지하려는 ESD 보호 기능 일부를 적층된 판 (stacked dies)에서 interposer 로 이동, (2) 본딩 전 테스트 가능한 interposer 의 실현 (DFT), (3) 아날로그 회로를 위한 부품. 이러한 특징으로 인해 특히 I/O 가 많은 큰 인터포저에서 시스템 비용이 크게 줄어드는 결과를 가져오게 되었다.

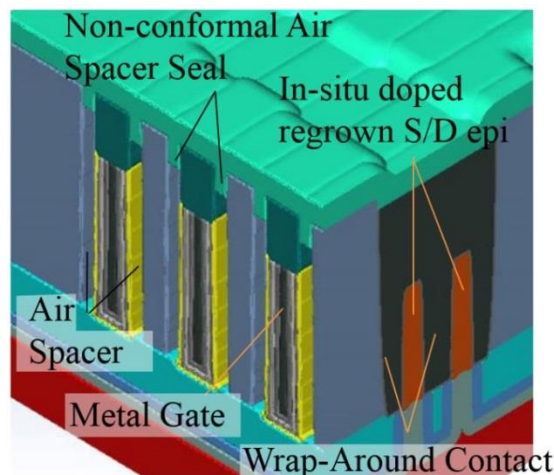
(논문 JFS4-1, “2.5 & 3D 통합을 위한 액티브-라이트 인터포저” G. Hellings 외, 아이맥)



TSV, MIMCAP 및 능동 부품을 가진 액티브-라이트 인터포저 모식도.

7 nm 모바일 SoC 를 위한 전반적인 기술 최적화 및 주요 기술:

퀄컴은 FEOL 과 BEOL 을 전체적으로 포함하여 7nm node 에 R 과 C scaling 이 주는 영향을 체계적으로 연구했다. 단순히 스케일된 7 nm node CMOS 의 속도-전력 성능은 이전 node 에 비해 저하됨이 밝혀졌다. BEOL 배선 저항(R_{wire})에 logic gate 입력할 때의 fin capacitance (C_{pin})을 곱한 $R_{wire} \times C_{pin}$ 이 7 nm node 에서 성능과 전력을 크게 제한하는 것으로 파악되었다. C_{pin} 의 감소가 급상승하는 BEOL R_{wire} 효과를 완화하는데 중요하다. FIN 의 수를 줄이는 것은 C_{pin} 을 감소하기 위한 매우 효과적인 방법중의 하나이고, logic gate 면적도 줄여준다. Transistor sidewall 의 air spacer 는 C_{pin} 을 더욱 줄인다. Routing metal stack 을 신중하게 선택하는 것은 R_{wire} 의 부정적인 영향을 개선한다. 줄여진 핀 (fin) 사이의 거리 (P_{fin})의 source 와 drain 에 둘러 쌓는 contact (Wrap-Around-Contact(WAC))도 transistor 저항 (R_{tr}) 감소시키기 위해 필요하다. 다른 경제적인 공정혁신과 더불어 핀 (fin) 수를 감소시키는 것도 7 nm node 의 전력-성능-면적-비용 (PPAC) 개선에 크게 기여하며, 이것은 모바일 SoC 의 지속적인 스케일링 (scaling)을 가능하게 한다. (논문 JFS3-4, "7nm 모바일 SoC 를 위한 전반적인 기술 최적화 및 주요 기술," S. C. Song 외, 퀄컴)



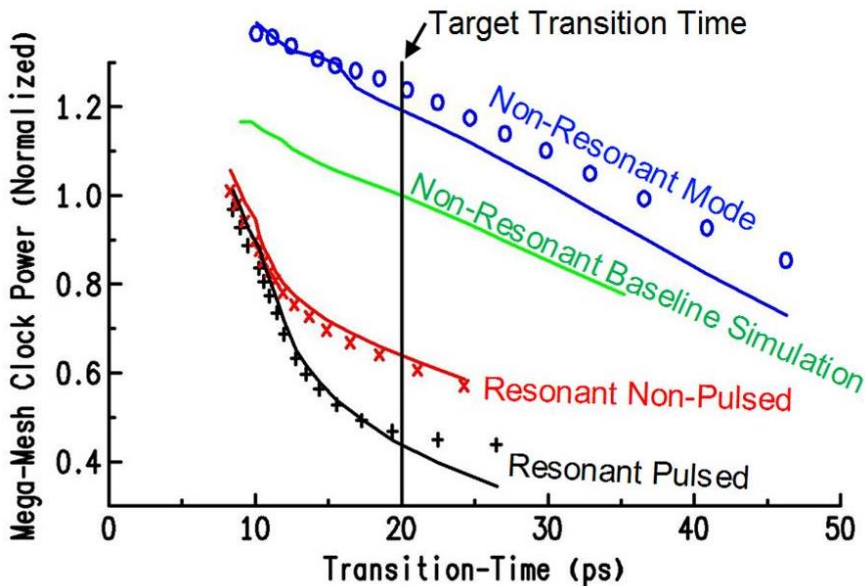
WAC 와 AS 를 통합한 제안된 7nm 트랜지스터의 3D 단면 이미지

11) 2015 VLSI 회로 심포지움의 주요 기술

A) 고성능 프로세서

마이크로프로세서를 위한 저전력 고속 클럭 분배 (Clock Distribution):

IBM z13 마이크로프로세서에 사용된 큰 공진의 “메가-메시 (mega-mesh)” 글로벌 클럭 분배를 제안하였다. 개선된 두 층의 인덕터, 하나의 공진 모드, 새로운 펄스-모드 섹터 버퍼, 더 높은 공진 주파수를 적용하여, 비공진 베이스라인의 시뮬레이션과 비교했을 때 목표 주파수 범위인 4.5 내지 5.5 GHz 에서 최종 단계 클럭 메시 전력의 50%, 총 칩 전력의 8%를 절감하였다. 공진 클럭의 전력 소모 절감으로 메가-메시의 구현이 가능해지며, 결과적으로 약간의 전력으로 버스 대역폭과 칩 타이밍에서 큰 이득을 얻었다. 이 설계는 17 개 메탈 층을 가진 IBM 의 고성능 22 nm high-k CMOS SOI 기술로 구현되었다. (논문 C23-5, " IBM z13 을 위한 공진 클럭 메가-메시," David Shan 외, IBM)

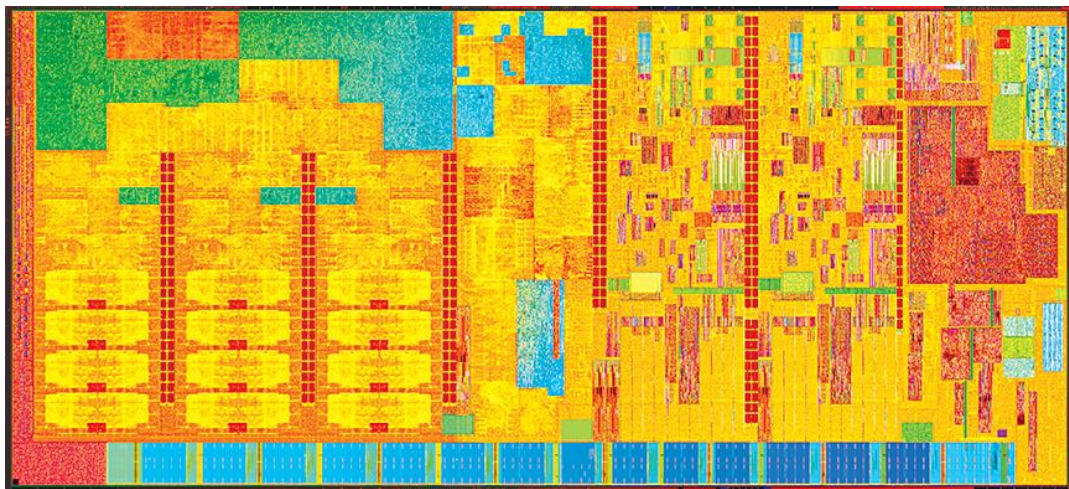


동작 모드에 따른 메가-메시의 전력 비교

모바일 디바이스를 위한 에너지 효율이 매우 높은 프로세서:

인텔 Core™ M 과 5 세대 Core™ 프로세서(코드명 브로드웰)는 14 nm 노드 공정 기술로 제조되어 피쳐-뉴트럴(feature-neutral) 다이 면적이 49% 감소했다. 최적화 기법들을 적용하여 그래픽 성능을 최대 60%까지 상승시키는 동시에 TDP(Total Die Power)는 2.5 배 절감하였다. 브로드웰이 선보인 2 세대 FIVR(Fully Integrated Voltage Regulator)에서는 더 나아진 드롭(drop) 컨트롤과 병렬 부트 LVR(Linear Voltage Regulator)을 통해 1 세대와 비교하여 동작 및 대기 전력이 35% 감소하였다. 브로드웰에서 처음으로 도입된 3DL 인덕터 기술은 패키지 두께 30% 감소, 저부하 효율 개선을 가져온다. SOC 의 I/O 리파티셔닝(re-partitioning)과 DDR 시스템의 대대적인 재설계로 I/O 전력이 30%

감소했다. 다양한 대기 상태(C* 상태)에서 SOC 다이의 여러 부분들을 섀다운 하여 대기 전력이 60% 감소했다. 그래픽 및 디스플레이 서브시스템의 에너지 효율을 개선하기 위해, 듀티-사이클 제어, 다이내믹 디스플레이 지원 등 새로운 소프트웨어 기반의 공동-최적화(co-optimization) 방법들을 구현하였다. 동일한 14nm 플랫폼을 사용한 인텔의 다른 논문으로는 회로의 경우 논문 번호 C21-1, 기술의 경우 T2-1: 기술 팀 시트 참조. (논문 C23-1, “브로드웰: IA 14nm 프로세서 패밀리,” A. Nalamalpu 외, 인텔. 논문 T2-1, “저전력, 고성능 및 고집적 SoC 제품에 최적화된 2세대 트라이게이트 트랜지스터, 70nm 게이트 피치, 52nm 메탈 피치,” C.-H. Jan 외, 인텔, 논문 C19-1, “0.0499 μm^2 SRAM 셀을 이용한 14nm SoC 플랫폼 기술,” , Y.-H. Koo 외, 인텔)



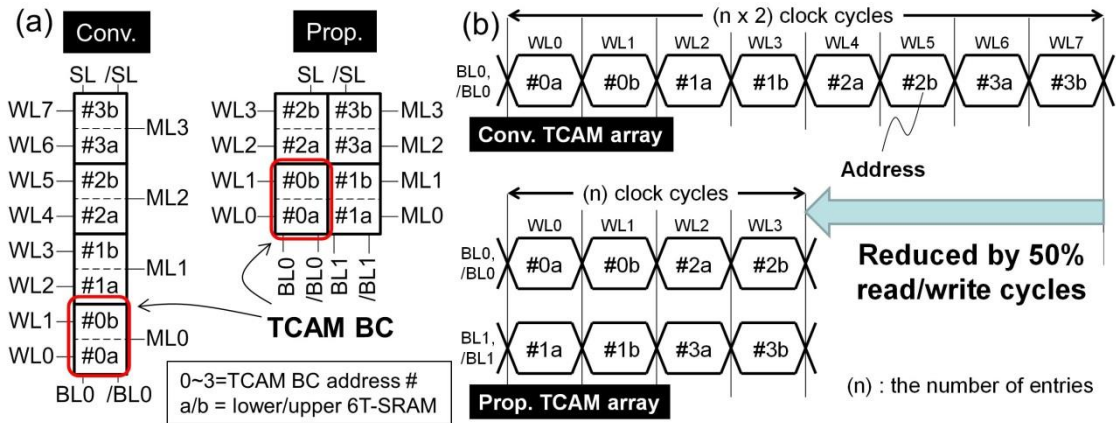
브로드웰 다이 맵

B) 고성능 메모리 시스템

가장 높은 비트 밀도 및 가장 빠른 검색 속도를 가진 16nm TCAM:

새로운 16nm Fin-FET 비트-셀(BC) 기반의 TCAM (ternary content-addressable memory)이 제안되었다. 제안된 BC 는 기존 BC 보다 15.8% 더 작다. 10kb TCAM 매크로(Macro)는 가장 높은 밀도인 1.8 Mbit/mm² 를 달성하였다. 측정 결과, 기존에 비해 제안된 매크로의 전체 동작 전력은 8% 더 작았다. 0.8V 에서 관찰된 검색 액세스 시간은 484 ps 이며, 이는 초당 1.25 G 번의 검색으로 현재 세계에서 가장 빠른 동작 속도이다.

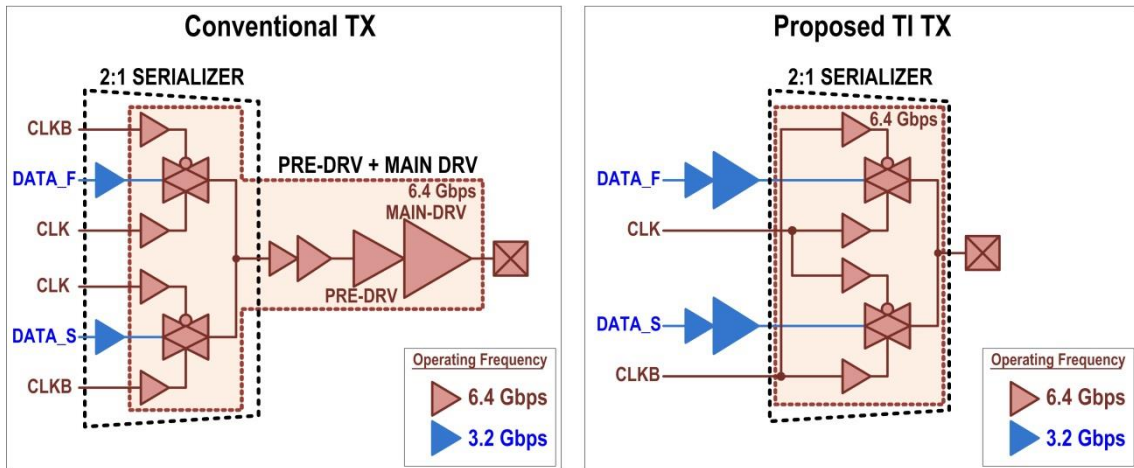
(논문 C19-5 , “16 nm Fin-FET 벌크 CMOS 기술로 구현된 검색 액세스 시간이 484 ps 인 1.8 Mbit/mm² Ternary-CAM 매크로,” Y. Tsukamoto, 외, 르네사스 테크놀로지)



비트-셀의 도식과 배치, 사이클 타임 감소

고속 DRAM 인터페이스:

삼성전자 이창교 외의 논문은 1V 이하 공급 전압에서 6.4Gb/s TX-인터리빙 기법을 설명한다. 미래의 모바일 DRAM 인터페이스를 위해 LPDDR4 대역폭의 2 배인 51.2 GB/s 를 갖도록 25nm DRAM 공정에서 구현하였다. 부트스트래핑 스위치를 사용하여 구현된 이 논문의 2-채널 TX 인터리빙 기법은 리피터를 없애 전력소비를 크게 줄였으며, 6.4Gb/s 동작에서 LPDDR4 에 비해 40% 개선된 I/O 전력 효율을 보였다. (논문 C12-2 “모바일 DRAM 인터페이스를 위한 1V 이하의 공급 전압에서 6.4Gb/s/pin 인 TX-인터리빙 기법,” C-K. Kee, 외, 삼성전자)



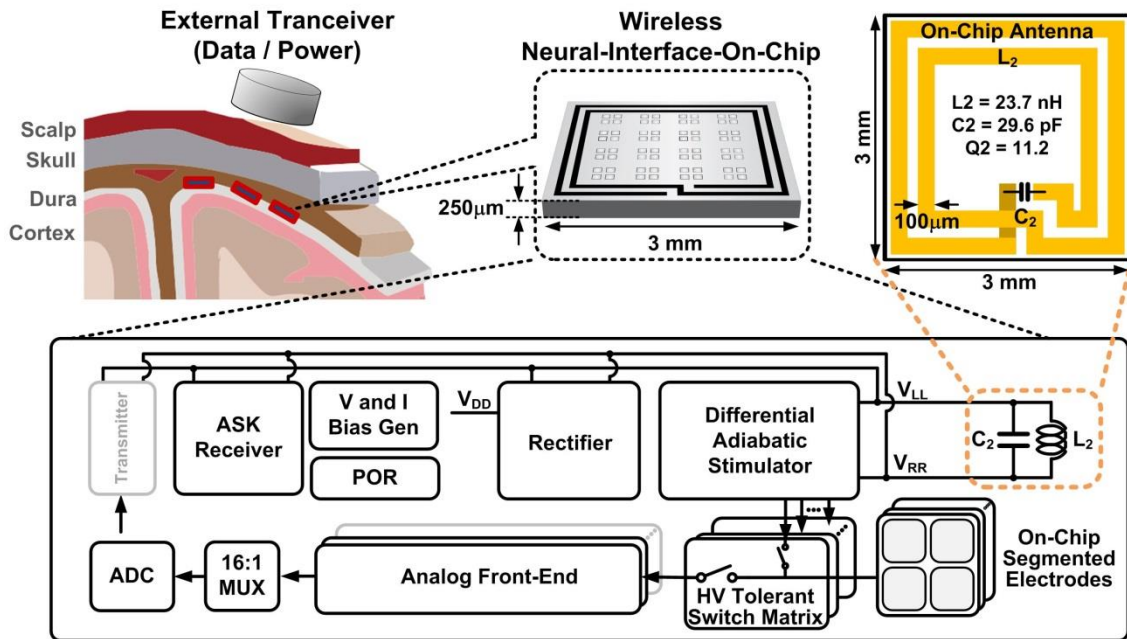
기존의 TX 와 제안된 interleaved TX 의 비교

C) 바이오 메디컬 및 센서

무선 16-채널 신경 인터페이싱 SoC:

UCSD 의 S. Ha 외의 논문은 애디어배틱 스티물레이터(adiabatic stimulator)를 채용한 16-채널 무선 신경 인터페이싱 SoC 를 소개한다. 이 SoC 는 부피가 큰 외장 부품을 없애는 동시에 정류기 및 레귤레이터에서의 손실은 피하기 위해, 190-MHz 온-칩 안테나를 통해

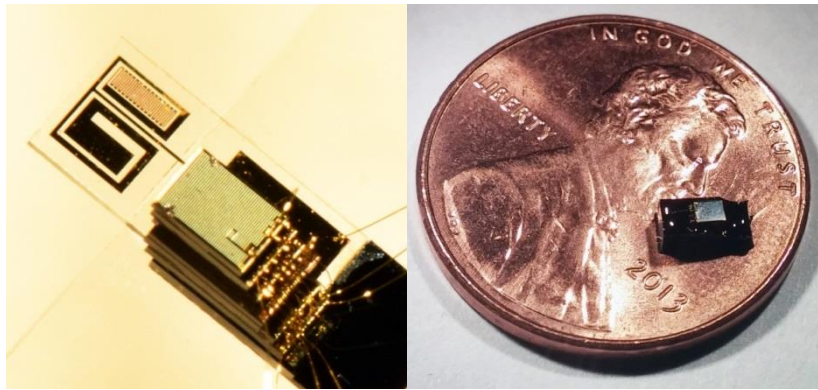
전력을 공급 받는다. 전하를 재충전하는 아키텍처를 사용하여, 스티뮬레이터는 최대 145- μ A 를 출력하면서 63.1%의 재충전율과 6.0 의 스티뮬레이션 효율 계수를 보였다. 0.18 μ m CMOS-SOI 공정에서 제조된 이 칩은 생체 내 생리학적 조건(in-vivo)에서 스티뮬레이션을 가하고 결과를 저장하여 검증되었다. (논문 C6.1: "RF-전력공급 에너지-재충전 애디어백틱 스티뮬레이션을 이용한 16-채널 무선 신경 인터페이스 SoC," S. Ha 외, UCSD)



무선 신경 인터페이스의 컨셉과 블록 다이어그램

8GHz UWB 전송기를 가진 자가발전 무선 센서 노드:

미시간 대학의 김형석 외의 논문은 10.6mm³ 부피로 캡슐화한 자율 무선 온도 센서를 소개한다. 이 센서 모듈은 집적된 2 μ Ah 배터리를 이용한 태양 에너지 하베스팅(solar energy harvesting), 프로그래밍을 위한 광학 수신기, 마이크로컨트롤러와 메모리, 8GHz UWB 전송기, 7 미터 범위의 소형 안테나를 포함한다. 이와 같이 작은 크기로 집적된 시스템에서 완전하고 독립적인 무선 센서 기능을 선보인 것은 이번이 처음이다. (C13.2: "8GHz UWB 전송기를 가진 10.6mm³ 완전 통합된 무선 센서 노드", 김형석 외, 미시간 대학)

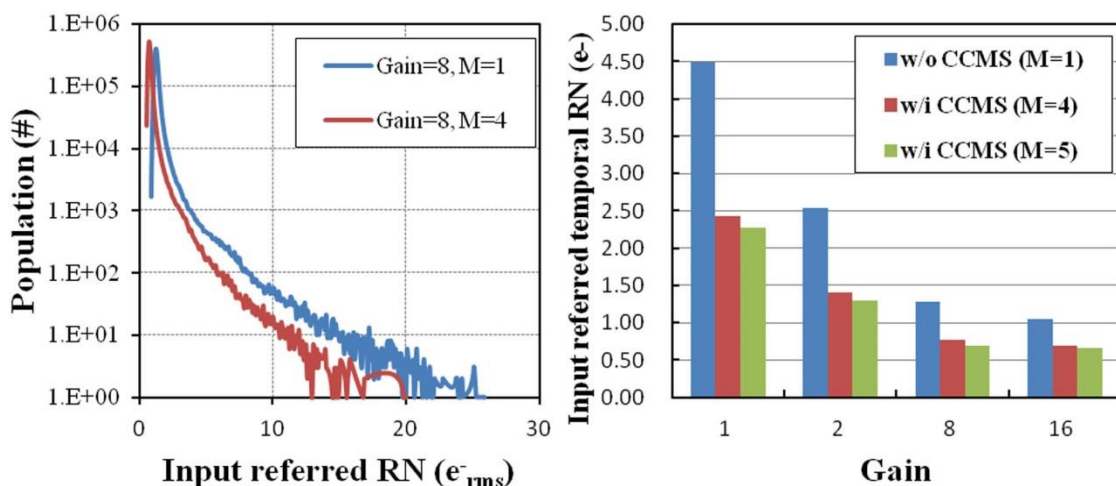


제안된 캡슐화한 스택 시스템

D) 3D 스택 이미지 (stacked image) 센서

저잡음 기술의 3D 스택 CMOS 이미지 센서:

TSMC의 Shang-Fu Yeh 외의 논문은 CCMS(Conditional Correlated Multiple Sampling) 기법을 사용한 8M-픽셀 3D-스택 저잡음 CMOS 이미지 센서를 설명한다. 이 기법은 여러 개의 저범위 램프를 사용하여 저프레임율을 해결하기 위해 제안되었다. 5-번의 CCMS 기법을 통해 0.66e-rms의 입력기준-시간영역-판독잡음(input referred temporal readout noise)을 얻었으며, 열 잡음과 RTS (random telegraph signal) 잡음 모두 CCMS 기법을 사용하여 줄일 수 있었다. (논문 C4.2, "CCMS(Conditional Correlated Multiple Sampling) 기법의 0.66e-rms 시간영역-판독-잡음(temporal-readout-noise) 3D-스택 CMOS 이미지 센서" Shang-Fu Yeh 외, TSMC)

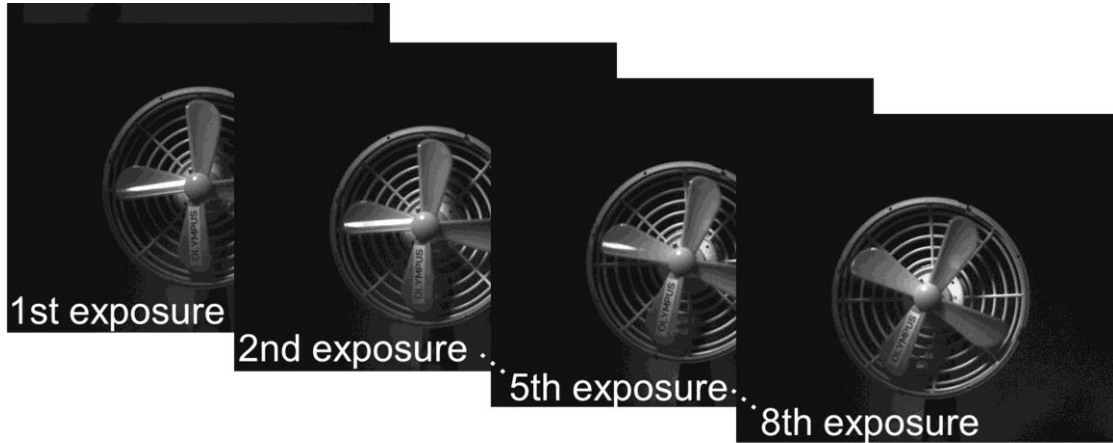


CCMS 기법을 이용해 잡음개선을 이루었다

글로벌-셔터 모드 및 고속 캡처링 모드를 가진 3D 스택 CMOS 이미지 센서:

올림푸스의 Toru Kondo 외의 논문은 400 만 마이크로 범프(bump)를 통해 픽셀 수준으로 인터커넥션 된 16M-픽셀 3D 스택 CMOS 이미지 센서를 선보인다.

2 개의 반도체 기판이 7.6um 피치로 맞붙어 있으며, 스토리지 노드 어레이(storage node array)는 PLS(parasitic light sensitivity)를 향상시키기 위해 바닥 기판에 구성되었다. PLS -180dB 의 16M-픽셀 글로벌-셔터 모드와 10000fps 의 2M-픽셀 고속 이미지 캡처링 모드가 모두 구현되었다. (논문 C4.5, “400 만개의 인터커넥션을 사용한 16M-픽셀 글로벌-셔터 모드 및 2M-픽셀 10000fps 모드를 가진 3D 스택 CMOS 이미지 센서” Toru Kondo 외, 올림푸스)

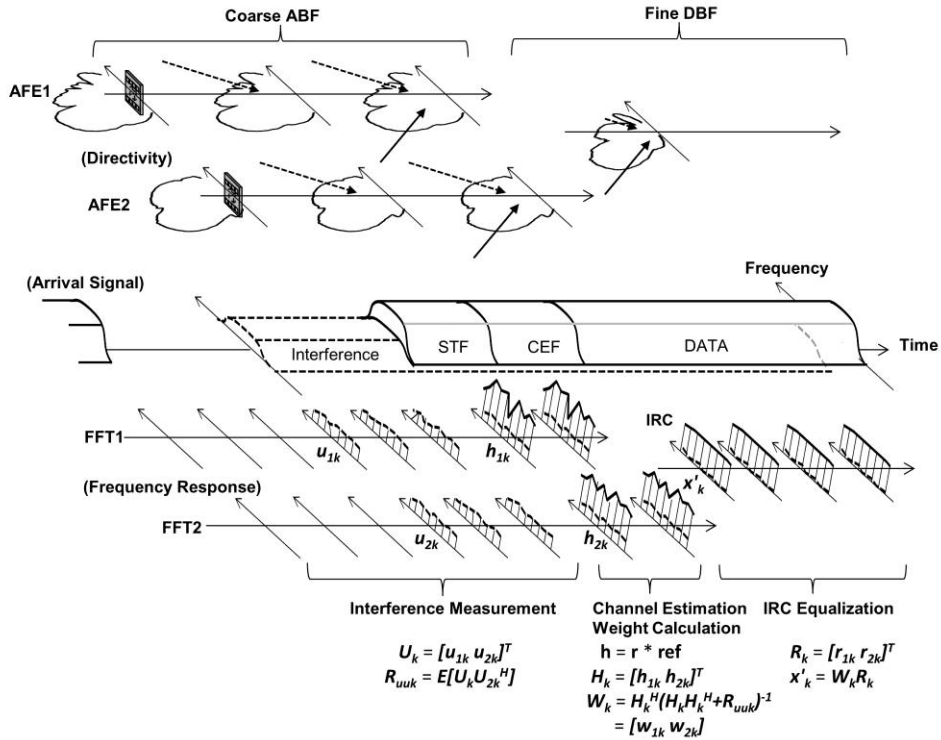


10000fps 의 고속 이미지 캡처링 모드를 통해 샘플링한 이미지들

E) mmWave 트랜시버(transceiver)

WiGig 트랜시버:

파나소닉의 Takinami 외의 논문은 WiGig/IEEE 802.11ad 표준에 따른 60GHz radio 를 기술한다. 밀집된 작은 셀들의 네트워크에서 모바일 데이터 오프로딩을 위해, 패킷 단위의 적응 간섭(adaptive interference) 제거 기능을 가진 하이브리드 아날로그/디지털 빔형성(beamforming)을 소개한다. 트랜시버는 4-소자 위상배열안테나 (phased array antenna)를 가진 2-스트림 AFE(analog front-ends)로 구성되며, 제안된 간섭 제거 구조는 기존 방식에 비해 3.1dB EVM 이득을 보였다. (논문 C22.3, “다중 사용자의 Gigabit/s 라디오 액세스를 위한 간섭 제거 기능이 있는 하이브리드 아날로그/디지털 빔형성을 이용한 60GHz 무선 트랜시버,” K. Takinami 외, 파나소닉)

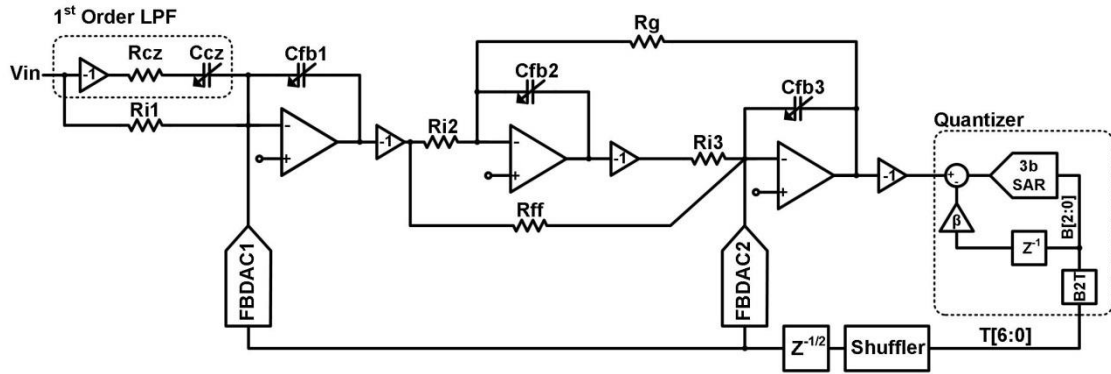


시간 및 주파수 도메인에서 제안된 RX의 동작

F) 고성능 ADC

연속-시간 델타-시그마 ADC:

브로드컴의 G. Wei 외의 논문은 새로운 SAR (successive approximation register) 양자화기(quantizer)를 이용한 멀티-비트 연속-시간 델타-시그마 모듈레이터를 선보인다. 제안된 SAR 양자화기는 무시할 만큼 작은 전력과 면적의 오버헤드로 초과-루프-지연시간 보상(excess-loop-delay compensation)을 집적하였다. 28nm CMOS 기술로 구현된 이 모듈레이터는 5MHz 대역폭에서 13-ENOB 을 보였고, FoM(figure of merits)은 36.4fJ/conv.-step 및 175.9dB 이다. DAC 비선형성을 디지털로 보정하여 SFDR 에서 94dB 의 주목할만한 결과를 얻었다. (논문 C21.2, " SAR 양자화기에 내장된 초과 루프 지연시간이 보상되는 28 nm CMOS 의 13-ENOB, 5 MHz BW, 3.16 mW 멀티-비트 연속-시간 델타-시그마 ADC," G. Wei 외, 브로드컴)

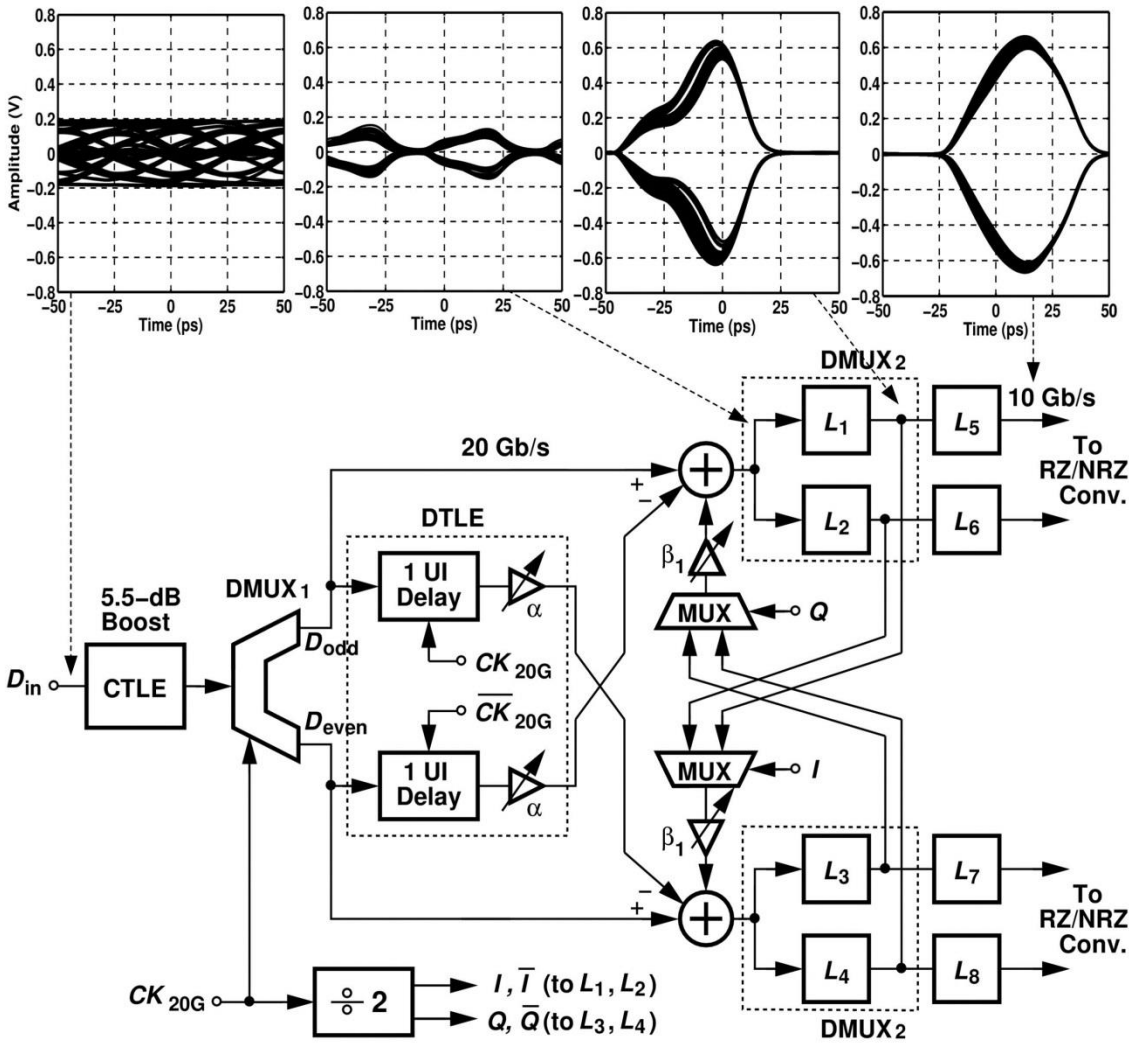


ADC 구조

G) 고속 유선 리시버

45nm CMOS 공정에서 9.2mW의 전력소모를 가지는 40Gb/s 이퀄라이저:

초고속 리시버 세션에서는 UCLA의 A. Manian과 B. Razavi 교수가 9.2mW의 전력 소모가 특징인 40Gb/s CMOS 이퀄라이저를 발표한다. 이 이퀄라이저는 WDM(wavelength division multiplexing) 시스템의 고집적 I/O를 위해 설계되었다. CTLE 부스트 게인 요건을 완화시키기 위해, 2-tap half-rate/quarter-rate DFE와 독창적인 1-tap discrete-time linear equalizer (DTLE)로 구성된 1-단계 CTLE를 채용하였고, 전력소모를 크게 줄였다. 초고속 요건을 충족시키는 동시에 높은 에너지 효율을 갖기 위해 전하-스티어링 (Charge-steering) 로직을 사용하였다. 45nm CMOS에서 구현되었고, 에러 없이 동작하기 위해 나이퀴스트(Nyquist)에서 20dB의 채널 손실을 보상할 수 있다. (논문 C15.2, "40-Gb/s 9.2-mW CMOS 이퀄라이저," A. Manian 외, UCLA)



이퀄라이저 구조

몇 가지 중요한 기술적 인 용어의 정의 :

- **ADC, or Analog-to-Digital Converter** - 연속된 물리적 양(주로 전압)을 디지털 숫자로 변환해주는 장치이다.
- **Back-End/BEOL and Front-End/FEOL** - 집적 회로 생산에서, transistor 등의 능동 소자는 먼저 만들어지고(생산라인의 앞쪽, the front end of the manufacturing line or FEOL), 배선 및 interconnect 는 그 다음에 만들어진다. (생산라인 뒤쪽, back end of the manufacturing line or BEOL)
- **CMOS/MOS/MOSFET/FET**— 오늘날, 통상적으로 사용되는 대부분의 transistor 는 전계효과 트랜지스터 (FETs, or field-effect transistors) 이며, 대부분의 전계효과 트랜지스터는 상호 보완하는 상보트랜지스터 CMOS manufacturing technology (complementary metal oxide semiconductor) 형태로 연결되어 있다.
- **Compound/III-V Semiconductors** - 대부분의 반도체 소자는 실리콘 기판에 만들어지지만, 연구자들은 더 빠른 소자에 사용하기 위해 좀 더 높은 전자 mobility 를 가지는 다른 반도체 물질 개발을 계속 해왔다. 대신에, 그 물질들은 실리콘 보다 조절하기 힘들다. 화합물 반도체는 보통 주기율표의 III 족과 V 족 에 존재하는 두 개 혹은 그 이상의 원소로 이루어져 있다. (예를 들어서, GaAs, InP, GaN, etc.)
- **DAC or Digital-to Analog Converter** - 디지털 데이터를 아날로그 신호 (전류, 전압, 또는 전하)로 변환해주는 장치이다.
- **Droop Control** - Droop 은 voltage regulator 에서 출력 직렬 저항의 증가로 인해 발생하는 전체 power supply 의 전압 강하를 의미한다. Droop control 은 전압의 overshooting 을 크게 줄여 load 전류의 갑작스런 변화에 따른 과도 응답을 개선하고, 요구되는 decoupling capacitor 의 수 또한 감소시킬 수 있다.
- **DRAM** - Dynamic Random Access Memory(임의접근기억장치)는 전하를 캐패시터에 저장하는 형식으로 정보를 저장하고, 반드시 주기적으로 Refresh 를 해주어야 한다. DRAM 전용 칩은 일반적으로 컴퓨터, 태블릿, 스마트폰의 메인 메모리의 대부분을 차지한다.
- **EOT or equivalent oxide thickness** - Dielectric 의 두께를 SiO₂ 유전 상수로 환산한 전기적 두께. 유전율이 높은 dielectric 의 경우는 EOT 를 감소시킬 수 있어서 MOSFET 의 성능을 향상시킬 수 있다.
- **Equalizer (CTLE/DTLE/DFE)** - Equalizers 는 일반적인 구리 배선을 사용하는 유선 통신에서 주파수의 가변 감쇠의 보상을 위해 사용된다. Continuous time linear equalizers (CTLE)와 discrete-time linear equalizers (DTLE)는 신호의 고주파 성분을 키워주는 선형필터를 사용한다. Decision feedback equalizer (DFE)은 미리 정해진 비트들에 따라 수신 신호의 레벨을 보정하는 비선형 과정이다.
- **ESD - Electrostatic discharge.** 전기가 거의 통하지 않는 것들이 강한 전기장 속에 있을 때, 갑자기 절연성을 잃고 전류가 흐르는 현상. 집적 회로에 이 현상이 발생하면 회로가 손상되거나 동작 수명이 감소한다.

- **FD-SOI** - 완전히 (전하가) 고갈(deplete) 될수 있는 절연막 위의 실리콘 (실리콘/절연막/실리콘 기판). 기존의 실리콘 transistor 를 능가하는 속도와 전압의 장점들을 제공 할수 있는 transistor 설계의 하나.
- **FinFET** - FIN의 모양을 닮은 transistor. On/off 스위칭 조절을 용이하게 하기 위해서 보통 FIN 주위로 다중 gate 가 형성되어 있음.
- **Front-End/FEOL and Back-End/BEOL** - 집적 회로 생산에서, transistor 등의 능동 소자는 먼저 만들어지고(생산라인의 앞쪽, the front end of the manufacturing line or FEOL), 배선 및 interconnect 는 그 다음에 만들어진다. (생산라인 뒤쪽, back end of the manufacturing line or BEOL)
- **HEMT - High Electron Mobility Transistor** 고속 전자 이동도 트랜지스터의 약자로 이종구조 트랜지스터나 도핑 조절된 트랜지스터라고도 불리 운다. 주로 서로 다른 밴드갭을 가지는 III-V 족 반도체의 이종 적층 구조를 이용하며, 이때 반도체 접합 계면에 생성된 고이동도 2 차원 전자 가스를 이용한 소자이다.
- **High-k Dielectrics/Metal Gates** - dielectric 은 전기적으로 절연체 이다. k 는 상대 유전율 (relative permittivity)이고 field effect transistor 의 채널 영역과 gate 전극 사이의 전류를 얼마나 잘 막느냐로 측정이 된다. 이때, on/off 스위칭을 조절하기 위해 capacitively coupling 이 이용된다. 미래의 CMOS 집적 회로에서 채널 영역의 길이가 10 nm 나 그 밑으로 scaling 되게 하기 위해서 gate dielectric 은 단지 몇 원자 두께의 SiO₂ 층과 동등한 capacitive coupling 을 제공해야 한다. 기존의 doping 된 poly crystalline 실리콘 소재보다 metal gate 소재는 high-k gate dielectric 에 더 적합하다. 최근에 고성능 칩의 생산을 위해 CMOS 공정에 적용될 metal gate 집적에 큰 발전이 있어왔다. III-V --- Compound/III-V Semiconductors 참조.
- **Integrated Circuit** - 반도체 기판상에 transistor, diode, capacitor, resistor 등 여러 요소를 연결하여 특정기능을 갖도록 만든 회로. 집적회로 하고 함
- **Interconnect** - transistor 들과 다른 회로의 소자들을 연결하기 위한 금속 선, 혹은 배선. Back-End/BEOL 참조
- **Interposer** - 더 넓은 피치로의 배선이나 원거리 전기적 연결, 또는 하나의 칩에서 다른 칩으로 연결하기 위한 인터페이스 구조를 말한다. 인터포저의 역할은 서로 다른 I/O 터미널을 가지는 칩과 소켓을 전기적으로 연결하기 위한 것이다.
- **Linear Voltage Regulator** - Load 전류에 따라 출력 저항을 바꾸어 일정한 전압을 유지한다. 출력 전압보다 높은 입력 전압이 요구되며, 일반적으로 switching regulator 에 비해 낮은 효율을 가진다.
- **Low-k Dielectrics/Interconnect** - interconnect 는 금속선과 금속선을 감싸고 있는 절연체로 이루어진다. 근접한 wire 가 가까워 지면 chip 성능을 저해하는 capacitance 가 생성된다. 금속선간의 전기적 상호작용된 capacitance 를 최소화하기 위해 유전율이 낮은 (low-k) dielectric 이 필요하다. 그러나 이 물질은 보통 물리적으로 약해서 생산 하는데 어려움이 있다.
- **MEMS** - Micro-electro-mechanical system. 마이크로 크기의 움직이는 부분을 포함한 전자소자 및 시스템을 통칭 멤스시스템 또는 멤스 소자라고 함

- **N-FET/P-FET or NMOS/PMOS** - MOSFET 은 n- 채널과 p-채널을 가진 두 가지로 나뉠 수 있다. 이 두 채널은 상호 보완적으로 작용한다.
- **Non-volatile memory (NVM)** - 전원이 꺼져도 정보가 저장되어 있는 형태의 메모리소자
- **Phase-Change Memory/PCM** - 상변화 물질은 결정질과 비정질의 상태를 가질 수 있고 그것들을 컴퓨터의 비휘발성 메모리로서 “0” 과 “1” 로 표시되게 한다. 전류에서 발생하는 열로 인해 물질은 그 상태를 바꾸게 되고, 이 두 상태 사이에서 스위칭 될 수 있도록 한다.
- **ReRAM or RRAM** - 저항 메모리라고 불리우며 차세대 비휘발성 메모리의 한 종류로 부도체에 가해지는 전압에 따라 저항이 변하는 성질을 이용한 메모리.
- **Scaling/Density/Integration** - scaling 은 transistor 나 다른 회로의 소자들을 작게 만들어 하나의 칩 안에 전부 집적이 가능하게 한다. 고집적화 된 칩은 그렇지 않은 것보다 많은 수의 transistor 를 가지게 된다. 집적화는 기능당 더 낮은 비용을 얻기 위해 (한 칩에) 더 많은 기능을 추가하려고 회로 소자들을 하나의 칩 안에서 연결하는 것이다.
- **Semiconductor** - 외부 조건에 따라 전기전도도를 바꾸어줄 수 있는 소재로써 정보를 저장하거나 운용하는 능력을 제공한다.
- **SoC - A system-on-a-chip.** 하나의 집적회로에 필요한 기능을 모두 포함한 집적된 컴퓨터나 전자 시스템 부품을 가리킨다. 디지털 신호, 아날로그 신호, 음성 신호와 RF 기능 등이 단일 칩에 구현되어 있는 것을 말한다.
- **SOI** - 기생 capacitance 를 줄이기 위해 실리콘/산화막/실리콘 기판의 적층구조를 가진 특수한 기판, 소자 및 회로 성능을 향상시키기위해 사용됨
- **Strained silicon & SiGe stressors** — 실리콘의 원자들이 원래 보다 더 멀리 혹은 더 가까이 위치되어 있을 때, strained 되었다고 말한다. 그렇게 함으로써 실리콘을 통한 전자의 흐름을 조절할 수 있고, transistor 가 빠르게 혹은 낮은 구동 전압에서 작동 할 수 있게 해준다. Strain을 전해주는 외부 stressor 물질은 실리콘보다 조금 다른 원자간 거리를 가지고 있다. 예를 들어서, p-채널의 실리콘 전계 효과 transistor 에서 압축 strain 을 줄 수 있는 보통의 방법은 source 와 drain 지역에 실리콘보다 큰 원자간 거리를 가지고 있는 SiGe 을 삽입하는 것이다.
- **SRAM** - 컴퓨터 메모리의 한 종류로 단일 소자가 아닌 6 개 또는 그이상의 transistor 를 조합, 매우 빠른 속도로 정보를 쓰고, 읽도록 만든 메모리소자이다.
- **STT-MRAM** - 스핀 회전력으로 전달할 수 있는 자성 random access memory 의 약어. 전기적인 전하에 의해서가 아니라 전자의 “스핀” 상태에 따라서 작동하는, 떠오르는 비 휘발성 메모리의 하나. STT-MRAM 은 매우 작게 만들어 질 수 있다.
- **TDC, or Time-to-Digital Converter** - 특정 사건을 인식하고 그것이 발생한 시간을 디지털로 표현해주는 장치이다.
- **Ternary content-addressable memory (TCAM)** - Content-addressable memory 는 저장된 데이터에서 워드를 검색할 수 있는 특수한 형태의 메모리이다. “Ternary” 는 0 과 1 에 더불어 “X” 즉, don’ t care 를 저장하고 검색할 수 있음을 의미한다.
- **UWB** - Ultra-WideBand radio 는 최소 500MHz 의 BandWidth 를 사용하는 3.1-10.6GHz Band 에서 동작하는 무선 통신으로 일반적으로 방사되는 파워 Density 가 매우 낮다.

- **Global shutter** - 주어진 순간에 전체 scene 을 한번에 캡처하는 방식으로, scene 을 순차적으로 스캔하는 rolling shutter 방법과 구분된다.
- **Effective Number of Bits (ENOB)** - ADC 의 동적인 성능에 대한 측정치로 n-bit 신호에 대한 노이즈와 왜곡의 영향을 포함한다.
- **Transistor** - 트랜지스터는 집적회로에 사용되는 매우 작은 전기적 스위치 소자이다. 물리적으로 움직이는 부분은 없으며, 보통 실리콘과 같은 반도체로 만들어져 있다. 트랜지스터는 칩에서 수 억 개가 같이 모여 있고, 정보를 받고, 운용하고, 저장하거나 정보를 출력하고 혹은 신호를 제어하는 등으로 프로그램 되어 있다.

###