

즉시 배포 - 2016년 4월 20일

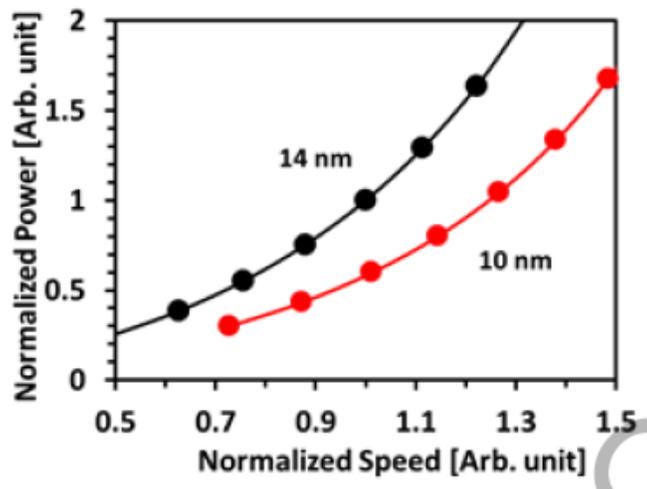
### I) VLSI 기술 심포지움의 주요 기술

2016 VLSI 기술 심포지움은 마이크로일렉트로닉스의 속도, 발전, 진화의 방향을 정하는 권위 있는 국제 컨퍼런스의 일환으로 하와이 호놀룰루에서 2016년 6월 13일-16일에 열릴 예정이며, VLSI 회로 심포지움(2016년 6월 14일-17일)과 함께 열린다. 심포지움의 전체적인 주제인 “스마트 사회를 위한 변곡점”은 업계를 변모시킬 “스마트” 시스템 수준의 응용분야가 업계의 변화의 구심점임을 반영한 것이다. 아래는 이 주제에 관한 주요 논문 일부다.

#### A) 10nm 이하를 위한 반도체 기술 플랫폼 논문

삼성전자 저전력, 고성능 응용분야를 위한 3세대 Si FinFET을 사용하여 개발된 10nm 로직 기술을 발표할 것이다. 14nm 공정에 비해 다중 문턱전압 소자 및 접촉 저항의 감소로 달성된 27% 속도 개선, 40% 전력 감소를 보여준다.

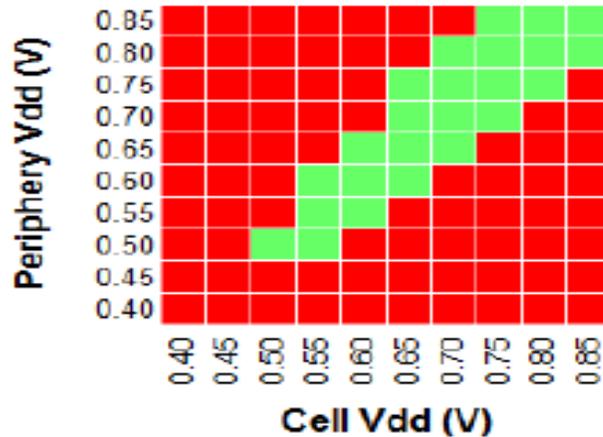
저자들은 다중 패터닝(multiple patterning), 높은 가로세로비(aspect ratio) 에칭, 니쉬 게이트(niche gate) 교체, 첨단 격리(isolation) 등과 같은 공정의 문제를 극복하고 128Mb 셀 용량  $0.04\mu\text{m}^2$  SRAM의 수율을 분석했으며 0.75V에서 190mV SNM(정적 노이즈 마진)을 관찰했다.



논문 T2.1, 그림 7 - “저전력, 고성능 응용분야를 위한 멀티  $V_t$  게이트 스택을 갖춘 Si FinFET-기반의 10nm 기술” Cho 외, 삼성전자

TSMC 10nm 이하로 미세화된 벌크 CMOS FinFET을 사용한 발표된 가장 작은 크기인  $0.03\mu\text{m}^2$  이하이며 완전 기능을 갖춘 32Mb 6-T 고밀도 SRAM를 발표할 것이다.

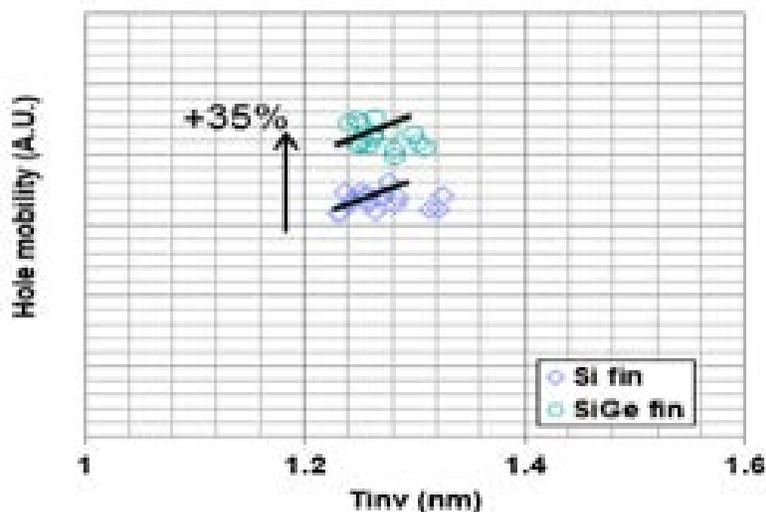
본 발표에서는 경쟁력 있는 성능을 가진 미세화된 FinFET 공정 및 CET 최적화를 통해 개선된 트랜지스터 성능과 정전 제어를 보고한다. 0.45V에서 작동하는 고밀도 SRAM을 위한  $DIBL < 45\text{mV/V}$ , 임계 이하 스윙  $< 65\text{mV/decade}$ ,  $SNM \sim 90\text{mV}$ .



논문 T9.1, 그림 15 - “10nm 노드 이하의 모바일 SOC 응용분야를 위한 미세화된 벌크 FinFET Sub- $0.03\ \mu\text{m}^2$  고밀도 6-T SRAM 증명” Wu 외, TSMC

IBM, 글로벌파운더리즈 10nm 이하의 미세화에 계속 기대되는 전력과 성능에 필요한 트랜지스터 이동도의 근본적이고 획기적인 개선을 이루었다. 높은 이동도의 SiGe 채널(20%Ge)을 PFET에 도입하여 구멍 이동도를 35% 증가시킴에 따라  $\sim 17\%$  PFET  $I_{\text{eff}}$  개선이 이루어졌다.

NBTi 신뢰성 및 불량 관리가 뛰어난 SiGe 채널 PFET 기능의 10nm FinFET CMOS 기술을 최초로 발표할 것이다.



T2.2, 그림 8 - “10nm 이하를 위한 고이동도 SiGe 채널 기능의 FINFET 기술” Guo 외, IBM, 글로벌파운더리즈

B) 새로운 채널 재료와 새로운 소자 구조를 사용하는 첨단 기술

TSMC 웨이퍼 전체적으로 뛰어난 균일성과 높은 성능을 보여주는 300mm Si 기판에 제조된 In<sub>0.53</sub>Ga<sub>0.47</sub>As FinFET의 재료 특성, 치수 효과, 소자 특성에 관한 체계적인 연구를 발표한다. 높은 전자 이동도 III-V 반도체는 미래 로직 응용분야의 고성능, 저전력 요건에 맞게 무어의 법칙을 지속시킬 수 있는 방법이다. 7nm 이하로 미세화가 계속되면서 Si 플랫폼을 교체할 수 있는 고성능 소자를 만들려면 HK/III-V 인터페이스가 우수한 대규모 Si 플랫폼 상에 고품질의 헤테로-에피텍실(hetero-epitaxial) 제조 상의 주요 장애를 극복해야 한다.

중요한 것은 300mm Si에 제조한 소자는 격자-매칭(lattice-matched) InP 기판에 제조한 동등한 소자와 벤치마크 했을 때 SS와 I<sub>on</sub>가 유사한 특성을 보인다. III-V FinFET의 구동 전류는 핀(fin) 높이 70nm와 핀(fin) 폭 25nm를 위한 핀 당 I<sub>on</sub>=44.1uA이다. 이러한 결과는 In<sub>0.53</sub>Ga<sub>0.47</sub>As FinFET에 대해 보고된 값 중에서 가장 높은 편이다.

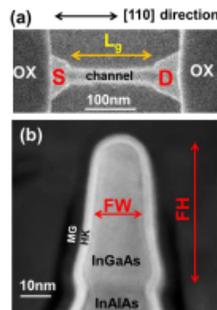


Fig. 2 (a) Top view SEM and (b) cross-sectional TEM images of the InGaAs FinFET.

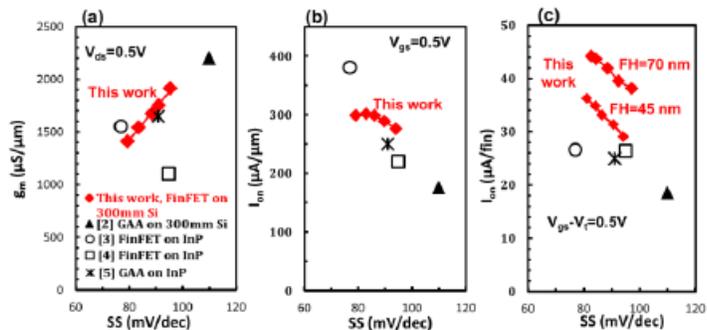


Fig. 14 Benchmarking of  $g_m$  (a) and  $I_{on}$  (b,c) vs. SS of In<sub>0.53</sub>Ga<sub>0.47</sub>As Fin- and nanowire-FET at  $V_{ds}=0.5V$  and  $V_{gs}=0.5V$  with  $I_{off}=100nA/\mu m$ . The  $g_m$  and  $I_{on}$  data are selected from device  $FW=20-50nm$ .

논문 T2-3, 그림 2 & 14 - “300mm Si 기판에 제조된 고성능 In<sub>0.53</sub>Ga<sub>0.47</sub>As FinFET” M.L. Huang 외, TSMC

IBM 연구자는 최초로 HGC(high Ge content) SiGe FinFET을 0.7nm로 미세화된 공격적인 등가 산화막(EOT) RMG(교체 모드 하이-K 및 금속 게이트) 공정 흐름에서 보여줄 것이다. IBM 최초의 HGC SiGe pMOS FinFET은 높은 이동도,

기록적으로 낮은 RMG 롱 채널 SS=66mV/dec,  $L_g=21\text{nm}$  까지 낮은 뛰어난 쇼트 채널 거동을 보인다.

이 소자들은 4nm 핀(fin) 폭까지 특성화되었으며 0.7nm 에서 뛰어난 이동도 ( $\mu_{\text{eff}}=220\text{cm}^2/\text{V}\cdot\text{s}$ ) 및 신뢰성을 보인다. 10nm 이하 FinFET 폭에서 10년 수명 목표가 달성되었다. 이 연구는 최신 FinFET, 울트라 썬 바디 Si 또는 Ge 대안, 변형된 SiGe 양자 웰(strained SiGe quantum well) 옵션에 비해 이동도 값이 매우 뛰어나며, 고성능 SiGe FinFET 이 이러한 공격적인 치수에서도 가능하다는 것을 보여주고 전에 보고된 어떤 데이터보다 좋은 결과다.

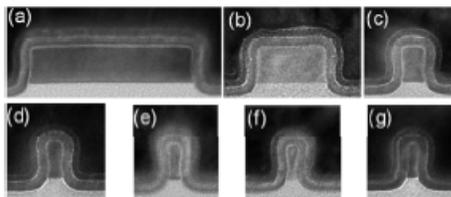


Fig. 2 XTEM of RMG HGC SiGe-OI PMOS FinFETs with  $W_{\text{FN}}$  (measured from the center of the fins) = (a) 87nm, (b) 36nm, (c) 10nm, (d) 7nm, (e) ~5nm, (f, g) ~3-3.6nm and  $H_{\text{FN}} \sim 19.5\text{nm}$ . Fin shown in (g) has a different type of workfunction (WF) setting metal gate, than those in (a-f).

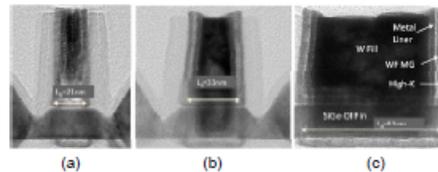


Fig. 3 Cross-section TEM images of RMG HGC SiGe-OI PMOS FinFETs with (a)  $L_G=21\text{nm}$ , (b)  $L_G=33\text{nm}$  and (c)  $L_G=83\text{nm}$ . We have scaled the physical thickness of the WF metal to sub-3nm, which allows us  $L_G$  scaling.

**논문 T9.3, 그림 2 & 3 – “공격적인 EOT  $\sim 7\text{\AA}$  및 4nm 까지 핀 폭이 미세화된 크기에서 높은 hole 이동도 및 뛰어난 SS, 신뢰성을 가진 RMG (교체 모드 하이-K/금속 게이트) HGC 변형된 SiGe FinFET” P. Hashemi 외, IBM**

imec 팀은 10nm 이하로 기술을 지속적으로 미세화하기에 적합한 수직적으로 적재된 직경 8nm GAA (gate-all-around) n-, p-MOSFET 을 나노와이어 스택킹, RMG(replacement metal gate)와 더불어 보고한다.

나노와이어 GAA 소자 스택킹은 면적 당 구동 전류를 최대화하기 위한 유망한 방법이다. RMG FinFET 공정을 조정하여 제조한 이러한 소자는 FinFET 제조에서 얻은 학습효과를 더욱 넓게 진화시킨 접근법이다. 나노와이어는 FinFET 소자에 견줄만한 성능 수준에서 뛰어난 쇼트 채널 특성을 보인다 ( $L_g=24\text{nm}$  를 위한 SS=65mV/dec, DIBL=42mV/V). 나노와이어 아래의 기생 채널은 나노와이어 특정 처리 전에 그라운드-평면 도핑 테크닉으로 억제된다.

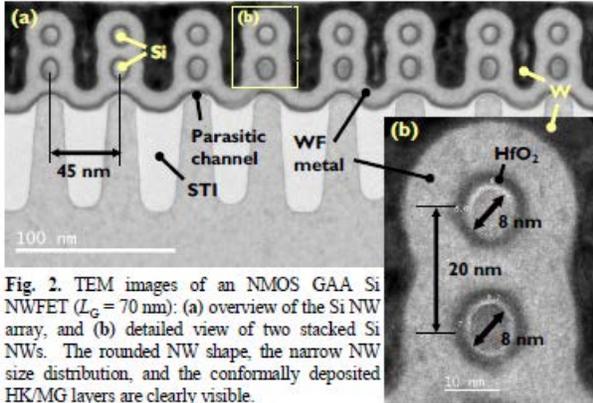


Fig. 2. TEM images of an NMOS GAA Si NWFET ( $L_G = 70$  nm): (a) overview of the Si NW array, and (b) detailed view of two stacked Si NWs. The rounded NW shape, the narrow NW size distribution, and the conformally deposited HK/MG layers are clearly visible.

논문 T15.1, 그림 2 - “벌크 Si 기판 RMG 공정의 수직으로 적재된 수평 Si 나노와이어 기반의 GAA(Gate-All-Around) MOSFET” H. Mertens 외, IMEC

인텔 본사 연구팀은 새로운 터널 FET(TFET) 라이브러리 회로로 개선된 성능, 면적, 에너지 효율을 발표한다. Low- $V_{DD}$  및 CMOS/TFET 이중 로직을 재설계한 것이다. 낮은 오버헤드 레벨-시프터(level-shifter)의 TFET/CMOS는 성능을 50% 개선하면서도 비핵심 성능 로직의 에너지를 42% 절감한다. 성능 및 전력은 업계 테스트 케이스, 라이브러리, 인터넥트를 사용한 설계조합(design synthesis)를 가지고 벤치마킹 했다.

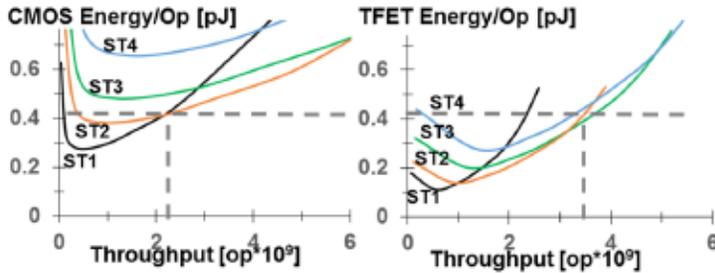


Fig. 9: Interaction between logic-level and low- $V_{DD}$  power-performance. Dashed line indicates an iso-energy/op comparison where TFET exceeds CMOS performance by 45% due to energy-efficient TFET pipelining.

Design	CMOS (0.65 V)	CMOS Multi- $V_{DD}$	Heterogeneous TFET/CMOS	TFET (0.41 V)	TFET Multi- $V_{DD}$
Energy/Op 16b MULT	40 fJ	40 fJ (@0.65 V)	40 fJ (@0.65V CMOS)	11 fJ	11 fJ (@0.41 V)
Energy/Op 32b ADD X32	118 fJ	52 fJ (@0.45 V)	30 fJ (@0.32V TFET)	39 fJ	24 fJ (@0.32 V)
Frequency	3.3 Ghz	3.3 Ghz	3.3 Ghz	2.2 Ghz (below spec)	2.2 Ghz (below spec)
Energy/Op Total	158 fJ	92 fJ	70 fJ	50 fJ	35 fJ

Fig. 10: Heterogeneous CMOS/TFET extends logic performance range by 50% and provides 42% energy savings on non-critical performance logic.

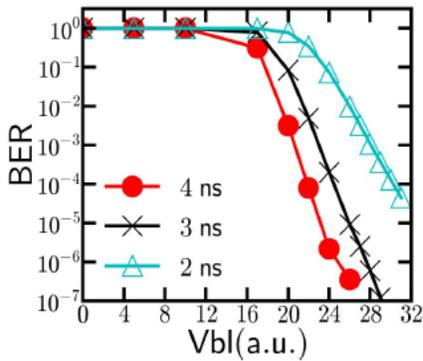
논문 T21.1, 그림 9 & 10 - “TFET 일방향성(Unidirectionality) 및 Low-VDD  
오퍼레이션을 사용한 새로운 회로의 고성능 이종 TFET/CMOS 로직이 가능해지다” D.H.  
Morris 외, 인텔

**C) 제품에 도입된 첨단 비휘발성 메모리 기술 (MRAM & PCM)**

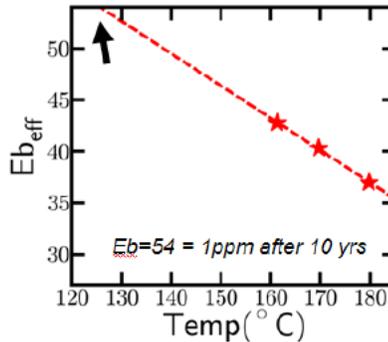
TDK 헤드웨이테크놀로지스 pSTT-MRAM(perpendicular spin-transfer torque magnetic memory)의 쓰기 속도 향상을 발표하기 위해 VLSI 심포지움에 돌아온다. 기능이나 데이터 보존을 저해하지 않으면서 펄스 폭이 750ps로 낮아질 수 있다. ECC (에러 보정) 없이 80nm 소자 풀(full) 8MB 어레이를 3ns 펄스에서 스위칭할 수 있으며, 어레이 수준의 데이터 보존은 125°C, 1ppm 수준에서 10년 수명을 보인다.

MTJ(자기 터널 접합, magnetic tunnel junction) 스택 최적화 후 다양한 온도 범위에서 pSTT-MRAM의 ns 이하의 스위칭을 보여주며, 단일 소자들이 125°C에서 기능과 데이터 보존력을 유지하면서 750ps로 낮아진 쓰기 펄스 길이를 사용하여 신뢰성 있게 스위칭된다.

쓰기 속도가 향상된 pSTT-MRAM은 첨단 기술 노드의 LLC 캐시를 교체할 유력한 후보이며 비휘발성 메모리를 교체할 수도 있을 것이다.



**Fig. 12** Write shmoo at short pulses at RT performed on 8MB array. Using 3ns pulses all junctions do write without ECC



**Fig 13** data retention chip level demonstrating 10yr data retention at 125°C (criteria =1 ppm failure rate after 10 years)

논문 T2.4, 그림 12 & 13 - “핵형성 및 전파 스위칭 매커니즘 개선으로 미래의 임베디드 LLC 응용을 위한 STT-MRAM의 ns 이하 스위칭 달성” G. Jan 외, TDK-헤드웨이테크놀로지스

도시바 새로운 수직 MTJ(magnetic tunnel junction)가 1ns 정도의 고속 캐시 메모리 작동, 100μA 이하의 저전력 스위칭, 직경 16nm MTJ로 낮은 쓰기 전력 규모의 미세화를 발표한다. 새로운 MTJ는 20nm 이하의 고성능 CMOS SoC 기술을 위한 임베디드 NVRAM 솔루션에 적합하다.

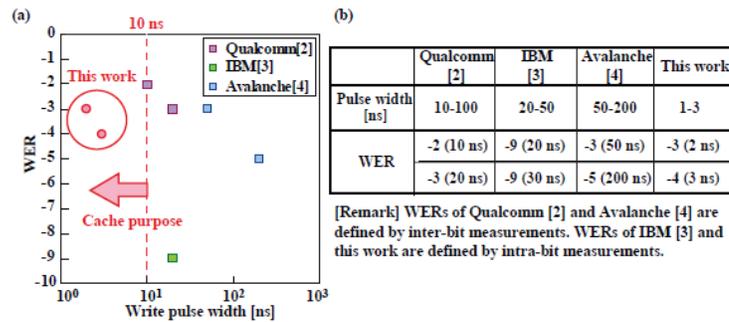
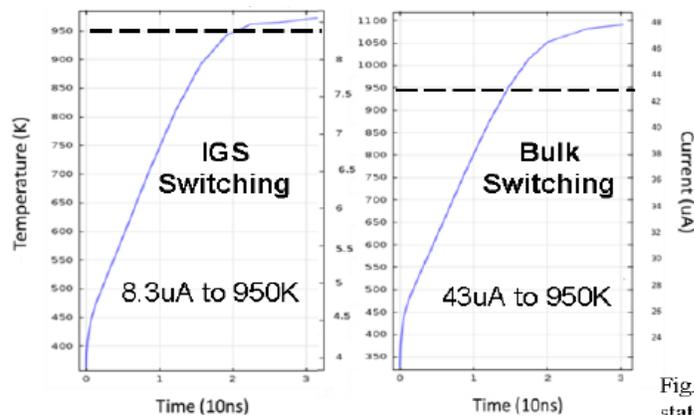


Fig. 14 (a) Comparison of WER between previous work and this study. (b) Table of comparison in device features. High WER down to 2 ns was achieved in our work.

논문 T14.2, 그림 14 - “20nm 이하의 CMOS 를 향하여 고성능 임베디드 STT-MRAM 을 위한 1x-2xnm 수직 MTJ 의 100μA 이하 스위칭을 보여주는 3ns 이하 펄스” Daisuke Saida 외, 도시바

마이크로닉스, IBM 새로운 스토리지 클래스 메모리(SCM) 응용분야를 위한 PCM(상변화 메모리, phase change memory)의 프로그래밍 전력을 줄이는 방법을 연구한다. 연구자들은 상변화가 입자 교차점에 한정된 미소결정자(crystallites)의 새로운 3D 네트워크인 IGS(inter-granular switching)을 사용한 새로운 저전력 상변화 메모리를 보여준다. 높고 낮은 저항을 달성하기 위해 칼코지나이드 유리 부피 전체를 무결정화하거나 결정화해야 하는 기존의 상변화 메모리와는 대조적으로 상변화가 입자가 만나는 영역에만 일어나는 다중 입자 구조를 제안한다. 상변화가 입자가 만나는 영역에만 국한되어 일어나므로 리셋(reset) 전력이 20μA로 크게 줄었고 인접 비트에 대한 열 외란도 줄었으며 세트(set) 속도 및 고쳐 쓰기 회수(cycling endurance)도 개선되었다.



논문 T12.4, 그림 5 - “입자간 스위칭을 사용한 새로운 저전력 상변화 메모리” H.L. Lung 외, 마이크로닉스인터내셔널, IBM

### D) 3D 통합 등의 직교 기술을 사용한 미세화를 넘어선 발전

CEA Leti, ST마이크로일렉트로닉스 최초로 저온(650°C 이하) 공정에서 제조한 최상위 CMOS 소자와 함께 300nm 웨이퍼의 풀 3D VLSI CMOS-오버-CMOS 집적 쿨큐브(CoolCube™)를 발표한다. PMOS 오버 NMOS 또는 NMOS 오버 PMOS 기능의 3D 인버터는 최신 고성능 FDSOI 소자와 버금가는 성능을 달성한 것으로 나타났다. 또한 Leti/STM 연구는 고품질 Si 층을 W-M1 28nm 소자 위에 옮긴 후 상위 CMOS 소자를 처리하기 위해 프론트엔드로 되돌림으로써 쿨큐브의 집적 가능성을 보여준다.

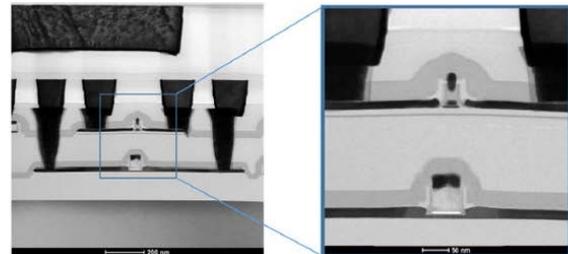
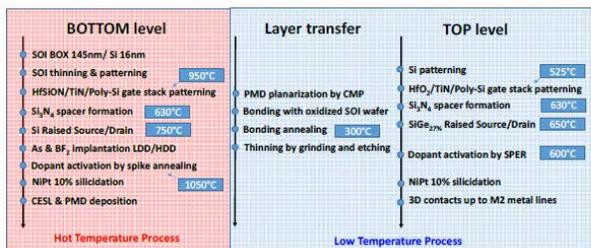


Fig.1: Process flow scheme of 3D CoolCube™ integration: bottom level realization at high temperature, layer transfer and realization of the top level at low thermal budget. Fig.2: TEM cross-section of the 3D sequential structure up to M2 line. Nanometric top and bottom transistors alignment is observed.

### 논문 T17.3, 그림 1 & 2 - “300nm 웨이퍼의 CMOS-오버-CMOS 3D VLSI CoolCube™ 집적의 최초 발표,” L. Brunet 외, CEA Leti, ST마이크로일렉트로닉스

스탠포드와 대만 국립나노디바이스연구소는 최초로 4층 HfO<sub>x</sub>-기반 3D 수직 RRAM을 개발했으며, 지금까지 보고된 FinFET 실렉터와 통합된 가장 “키가 큰” 것이다. 4층 3D 수직 RRAM은 (a) 뇌구조 컴퓨팅(brain-inspired computing), (b) 인-메모리 컴퓨팅 등에 다양하게 사용할 수 있는 컴퓨팅 장치다. 4층에 걸쳐 균일한 메모리 성능을 얻었다 ( $\pm 0.8V$  스위칭,  $10^6$  endurance,  $10^4s$  @125°C). 기존 2D 아키텍처에 비해 촘촘하고 균형 잡힌 뉴런-시냅스 연결을 가진 이 3D 아키텍처는 EDP(energy delay product) 55% 절감, V<sub>DD</sub> 감소 74%(강건함 개선)를 제공한다.

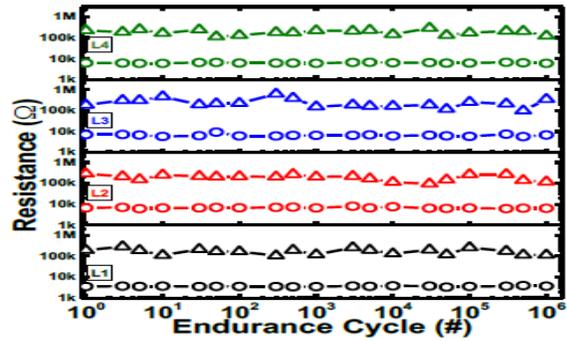
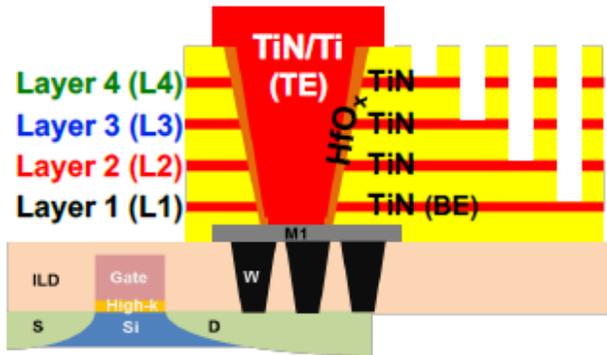


Fig. 6 Measured endurance characteristics. None of four cells show degradation after  $10^6$  cycles. Besides, consecutive switching is disturb-free on adjacent layers.

논문 T18.2, 그림 1 & 6 - “뇌구조 인지 정보 처리를 위한 다양한 응용 분야의 컴퓨팅 장치로써 FinFET 과 통합된 4 층 3D 수직 RRAM” Haitong Li 외, 스탠포드대학교, 국립나노디바이스연구소

## II) VLSI 회로 심포지움의 주요 기술

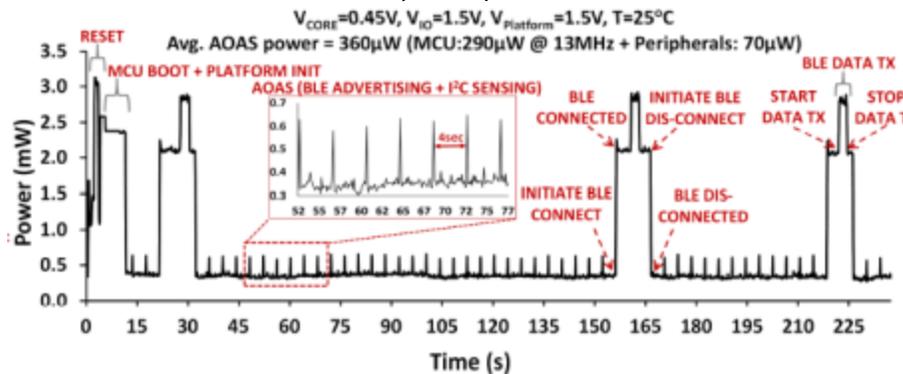
2016 VLSI 회로 심포지움은 마이크로일렉트로닉스의 속도, 발전, 진화의 방향을 정하는 국제 컨퍼런스의 일환으로 하와이 호놀룰루에서 2016년 6월 14일-17일에 열릴 예정이며, VLSI 기술 심포지움(2016년 6월 13일-16일)과 함께 열린다.

심포지움의 전체적인 주제인 “스마트 사회를 위한 변곡점”은 업계를 변모시킬 “스마트” 시스템 수준의 응용분야를 업계의 변곡점으로 다룬다. 아래는 이 주제에 관한 주요 일부 논문들이다.

### A) 사물인터넷

미래의 “스마트 사회”에서는 확산된 지능형 디바이스들이 사물인터넷에서 무선으로 상호 연결될 것이다. 연산, 센서, 무선 접속의 발전으로 인해 초연결 지능(ambient intelligence)에서부터 건강 모니터링에 이르는 응용분야로 전개될 저전력 센서 노드가 가능해질 것이다. “스마트 사회를 위한 혁신 시스템” 포커스 세션은 이러한 여러 시스템에 주목할 것이며 심포지움 전체적으로 IoT를 중심으로 한 논문들이 추가되었다.

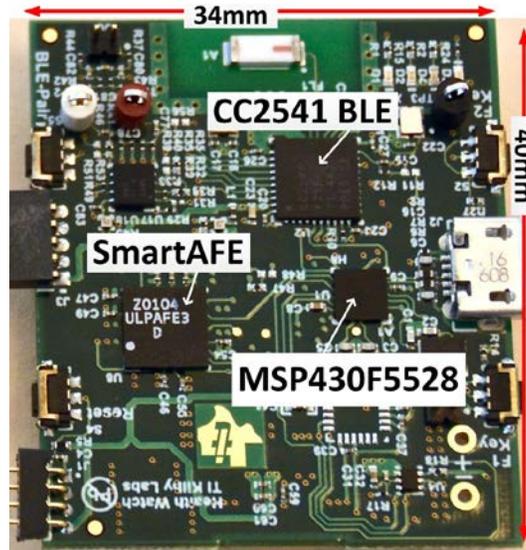
인텔 태양전지, 에너지 수확장치, 플래시 메모리, BLE(저전력 블루투스) 통신을 포함한 근사-임계 전압 마이크로컨트롤러를 중심으로 구축된 에너지 수확 센서 노드를 발표한다. 14nm 트라이 게이트 CMOS로 구현된 IA-32 MCU는 최대 에너지 효율점 308mV supply에서 작동할 수 있으며 17pJ/사이클만 소모한다. 실내 조명 환경에서 센서 노드는 계속해서 “always-on-always-sensing” 상태로 작동하며 지속적으로 클라우드에 센서 데이터를 보고한다. (논문 C8.1, 그림 12 - “14nm 트라이 게이트 CMOS의 근사-임계 전압 IA-32 마이크로컨트롤러 기능을 가진 IoT 시스템을 위한 에너지 수확 무선 센서 노드” S. Paul 외, 인텔)



인텔은 1000 룩스 실내 조명에서 지속적으로 작동할 수 있는 14nm 근사-임계 전압 IA-32 MCU 기능의 에너지 수확 센서 노드를 발표할 것이다. 위 그림은 지속적인 센싱의 전력 프로파일과 주기적인 무선 데이터 보고를 보여준다.

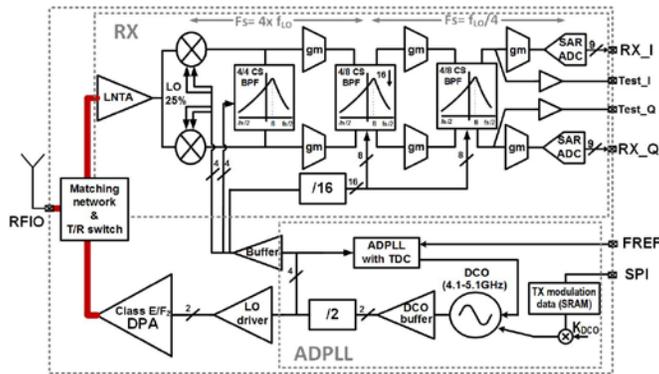
텍사스인스트루먼트 건강, 피트니스, 모바일 환자 모니터링 등의 응용분야를 가진 심전도검사(ECG) 및 광혈류측정(PPG) 데이터를 동시에 포착할 수 있는 멀티모드 바이오-센싱 플랫폼을 발표한다. 초저전력 프론트엔드는 >80dB SNR을 유지하면서

배경 소거, 입력-신호-인지 데이터-경로 적응을 가지고 “즉각적으로” 적응할 수 있다. 저전력 MCU, BLE 통신을 포함한 전체 노드는 코인 셀 전지 하나로 3일간 작동할 수 있다. (논문 C8.4, 그림 6 - “>80dB SNR 35 $\mu$ A PPG RX 체인의 멀티모드 스마트 바이오-센싱 SoC 플랫폼” A. Sharma 외, 텍사스인스트루먼트)



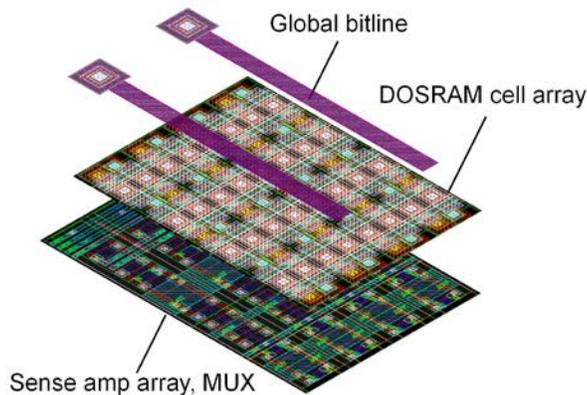
텍사스 인스트루먼트는 PPG 센싱을 위해 35 $\mu$ A 를 소모하는 적응형 AFE(adaptive analog front-end)를 보여준다. 위는 BLE 통신과 MSP430 MCU 를 장착한 센서 플랫폼 전체이며 코인 셀 전지 하나로 작동한다.

BLE(저전력 블루투스)는 전력 소모가 적고, 많은 스마트폰에 탑재되어 있어서 센서 노드를 클라우드에 연결하는 매우 유망한 기술이며 모바일 게이트웨이 기능이 가능하다. TSMC, 델프트공학대학교, 리오그란두술연방대학교, 더블린아일랜드국립대학교의 연구자 그룹은 간섭을 줄이기 위해 강건한 대역 외 선형성(out-of-band linearity)을 달성하고자 다중 단계 다중 속도 전하 공유 통과대역 필터와 함께 고속 이산 시간 베이스밴드를 사용하는 BLE 트랜시버를 발표한다. 이 무선은 또한 가장 작은 BLE 무선 안테나와의 직접 인터페이스에 필요한 송수신 스위치와 모든 매칭 부품을 포함한다. 트랜시버는 수신, 송신 모드에서 각각 2.75mW, 3.6mW 를 소모한다. (C7.1, 그림 1 - “TX/RX 스위처블 온-칩 매칭 네트워크, 2.75mW High-IF 이산-시간 수신기, 3.6mW All-Digital 전송기를 갖춘 저전력 블루투스(BLE) 트랜시버” F.-W. Kuo 외, TSMC, 델프트공학대학교, 리오그란두술연방대학교, 더블린아일랜드국립대학교)



위 그림은 이산-시간 BB RX 체인 및 ADPLL-기반 TX 사이에 매칭 네트워크 및 스위치를 내장하여 직접 단일-핀 안테나 인터페이스를 지원하는 BLE 트랜시버다.

CMOS 안에 구축된 IoT 시스템과 더불어 신기술은 초저전력 소모를 달성할 추가적인 기능을 제공한다. 반도체에너지연구소(SEC), UMC, ARM, 노키아테크놀로지스, 도쿄대학은 ARM Cortex M0 프로세서의 메모리와 플립-플롭 내의 CAAC-IGZO(c-axis aligned crystalline indium-gallium-zinc oxide) FET 을 발표할 것이다. CAAC-IGZO FET 은 오프-상태 전류가 매우 낮으며 CMOS 회로 위에 적재되어 면적 오버헤드가 없다. 메모리와 M0 코어는 각각 대기전력 3nW, 6nW 를 달성했다. 능동 메모리 전력도 센스 증폭기 길이에 대한 비트라인을 최소화하여 11.7pW/MHz 로 낮아졌다. 이렇게 대기전력 소모가 감소함에 따라 여러 IoT 응용분야에서 보듯이 다양한 듀티 사이클에서 효율적인 연산이 가능해진다. (C12.2, 그림 5 - "65nm Si CMOS 와 통합된 CAAC-IGZO(c-axis aligned crystalline indium-gallium-zinc oxide) FET 를 사용하는 ARM Cortex-M0 코어 및 내장 메모리" T. Onuki 외, 반도체에너지연구소, UMC, ARM, 노키아테크놀로지스, 도쿄대학)

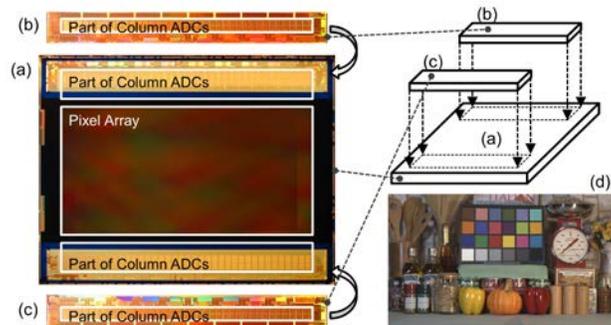


위 그림은 CMOS 센스 증폭기 위에 적재된 CAAC-IGZO DRAM-유형 메모리 어레이의 레이아웃이다.

## B) 이미지 센서

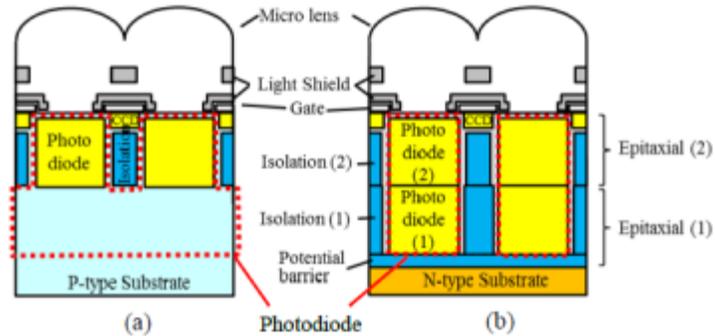
이미지는 인간이 세상을 감지하는 방법과 가장 직접적인 상관관계를 가진 감지 인터페이스다. 뛰어난 민감도와 속도의 새로운 포토다이오드 구조, 3-D 통합, 회절 격자(diffraction grating)를 포함한 다수의 “모어-댄-무어” 테크닉이 아래 논문에서 발표되었다.

비디오 카메라가 기계적인 셔터를 지원하지 않는 경우 롤링 셔터로 인한 모션 블러(motion blur)를 없애기 위해 글로벌 전기 셔터가 필수적이다. 소니는 슬로-모션 즉시 재생을 위해 4K 하이데피니션 비디오 및 최고 480fps(초당 프레임 수)의 차세대 몰입형 사용자 뷰잉 경험을 실현하기 위한 CMOS 이미지 센서를 발표한다. 이미지 센서에 적재된 게인-어댑티브 컬럼 ADC 를 사용하여 로우 다크 랜덤 노이즈(low dark random noise)  $140\mu\text{V}_{\text{rms}}$  를 달성했으며, 광학 포맷 이 큰 고속 영상 센서 중에 다이내믹 레인지가 최고다. 본 연구는 이 응용분야에서 CCD-기반의 이미저(imager)를 CMOS 가 대체할 가능성을 보여준다. (C21.1, 그림 4 - “게인-어댑티브 컬럼 ADC 및 2-on-1 적재 소자 구조를 가진 8.3M 화소 480fps 글로벌-셔터 CMOS 이미지 센서” Y. Oike 외, 소니)



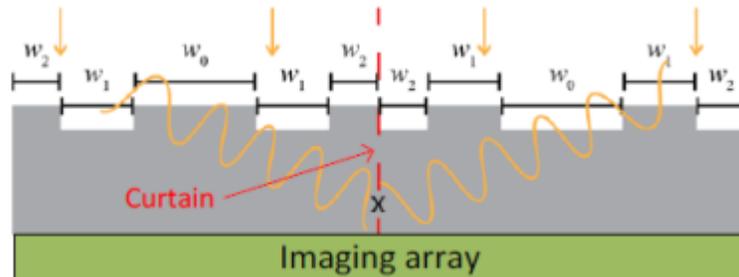
이 그림은 글로벌 셔터, 8.3M 화소, 초당 프레임 수 480의 소니 이미지 센서다. 게인 어댑티브 컬럼 ADC 를 사용하여 다이내믹 레인지를 확장했으며 어레이 주변을 따라 적재된 형상으로 구현되었다.

근적외선은 감시, TOF(비행시간), 자동차 응용분야에 널리 쓰인다. 타워재즈파나소닉과 파나소닉세미컨덕터솔루션스는 기존 딥 포토다이오드에 비해 거의 2 배로 양자 효율을 850nm 에서 개선한  $10\mu\text{m}$  딥 포토다이오드를 구현했다. n-타입 기판의 2-단계 에피탁실 공정을 통해 각 적재된 포토다이오드는 완전히 인접 화소와 분리되고 40% 변조 전송 기능을 유지하며 암전류 열화는 없다. (T22.4, 그림 1 - “높은 NIR 민감도 및 높은 MTF 를 달성하기 위해 적재 딥 포토다이오드를 사용한 새로운 화소 구조” H. Takahashi 외, 타워재즈파나소닉, 파나소닉)



위 그림은 (a) 깊이가 제한적인 기존 포토다이오드 (b) 타워재즈가 개발한 새로운 적재되고 완전히 격리된 딥 포토다이오드를 비교한 것이다.

**램버스**의 초청 논문은 기존 이미징 어레이의 위상변조 회절격자(diffraction grating)에 의존하는 렌즈 없는 스마트 센서의 개요를 설명한다. 이 “모어-댄-무어” 회절격자는 렌즈에 비해 광파장대역을 위해 설계할 수 있고 얇은 센서를 위해 낮은 프로파일을 갖고 있다. 포인트 레인지 파인딩(point range finding), 시선 추적, 재실감지 등의 응용분야가 논의되고 있다. 원하는 정보는 원 이미지 센서 데이터에서 이미지를 완전히 재구성하지 않고 바로 추출할 수 있기 때문에 개인정보를 보호할 수 있다. (C8.2, 그림 2 - “렌즈 없는 스마트 센서: 사물인터넷을 위한 광학 및 열 센싱” P. Gill, T. Vogelsang, 램버스)



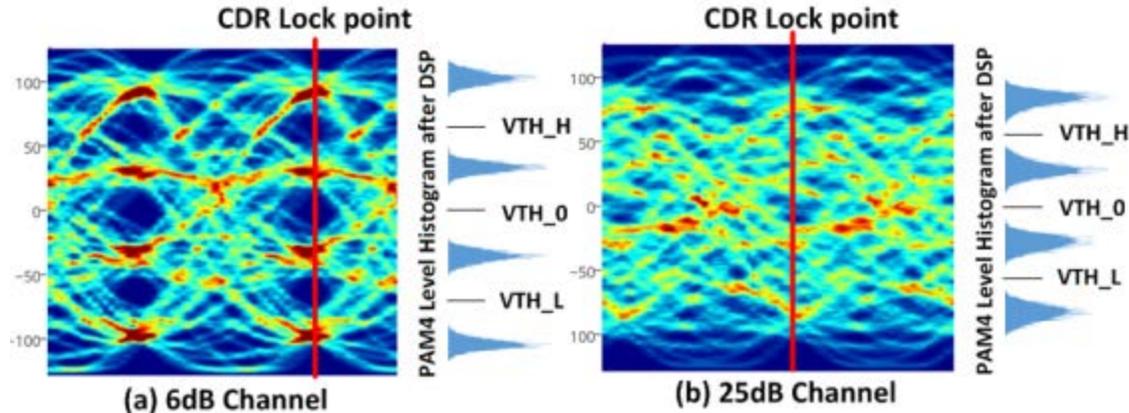
위 그림은 렌즈 없는 스마트 센서를 위한 위상변조 회절격자의 한 예다.

### C) 클라우드를 위한 혁신

미래 스마트 사회의 컴퓨팅 근간은 클라우드 내의 “컴퓨터 팜(compute farms)”이다. 사물인터넷에서 발생하는 엄청난 양의 데이터를 전송하고 처리할 새로운テクニック이 필요하다.

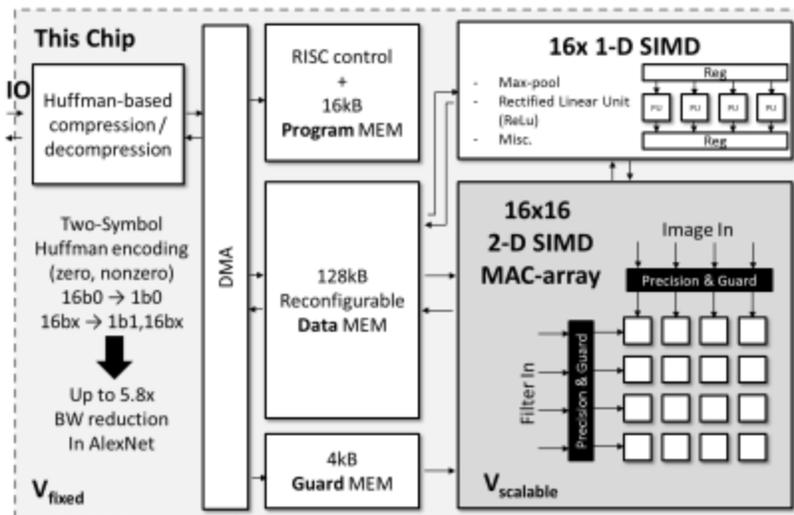
**자일링스** 기존 백플레인의 제한된 전기 대역폭 상의 통신을 지원하기 위해 4 단계 PAM4(pulse amplitude modulation) 신호를 지원하여 컴퓨터 팜의 수명을 연장하는 56Gb/s 유선 트랜시버를 발표할 것이다. 이 전송기는 PAM4 증폭 직선성(amplitude linearity)을 유지하기 위해 보조 전력주입(auxiliary current injection)을 사용한다. DSP 기반의 수신기는 28-GS/s 32-way 타임-인터리브 SAR

ADC 를 기반으로 14GHz 에서 25dB 손실 채널의 56Gb/s 오퍼레이션을 달성한다.  
 (C5.4, 그림 8 - “16nm FinFET 에서 32-way 타임-인터리브 SAR ADC 를 사용한 56Gb/s PAM4 유선 트랜시버” Y. Frans 외)



이 그림은 56Gb/s PAM4 트랜시버의 ADC 에서 처리된 아이디어그램이다. DSP 이후 레벨은 오른쪽에 있는 25dB 손실 채널의  $1e-8$  BER 지원을 보여준다.

컨볼루션 신경망(CNN)이 음성 인식에서 시각적 검출에 이르기까지 여러 응용분야의 최신 분류 알고리즘으로 부상하고 있다. 그러나 기존 마이크로프로세서와 효율적으로 맵핑되지 않는다. KU 루벤 대학교 연구자들은 102GOPS 및 0.3–2.6TOPS/W 를 달성한 CNN 용 저전력 프로세서를 발표한다. 이 프로세서는 메모리를 줄이기 위해 컨볼루션의 희박성(scarsity)을 이용하고, 기존의 최신 프로세서에 비해 전체적으로 3.9 배 에너지 효율 개선을 달성하는 공급-스케일링(supply-scaling)과 작동하는 정밀-스케일링(precision-scalability)을 제공한다. (C17.1, 그림 2 - “실시간 대규모 ConvNets 를 위한 0.3–2.6 TOPS/W 정밀-스케일링 프로세서” B. Moons, M. Verhelst, KU 루벤)

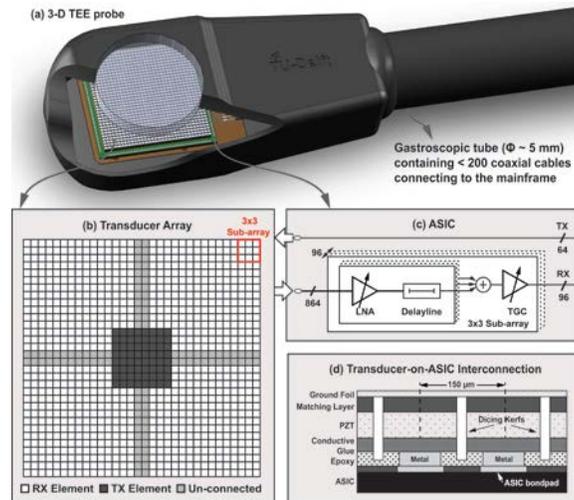


위 그림은 CNN-프로세서의 최상위 아키텍처이며 고정 및 스케일러블한 전력 도메인 사이에 파티션이 들어있다.

#### D) 의료 및 바이오 센서

새로운 센서 플랫폼은 사물인터넷이 지속적인 건강 모니터링과 접촉하는 방법을 제시하지만 반도체 기술은 기존 시스템을 더욱 개선하고 새로운 진단 및 보철 기능을 창출할 수 있다. 이들은 아래 예가 보여주듯이 주로 비 CMOS 센서, 액추에이터와 통합된 “모어 덴 무어” 기법을 사용한다.

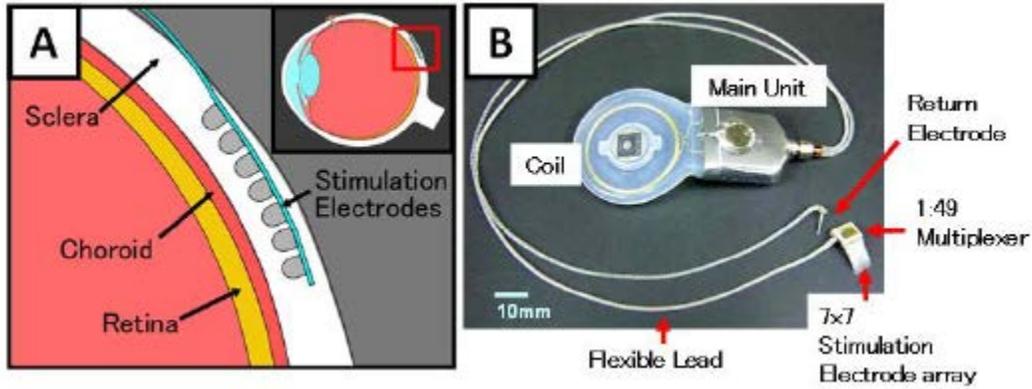
델프트공과대학교, 에라스무스병원, 올델프트울트라사운드 3-D 경식도 심장 초음파용 프론트엔드 ASIC 을 발표한다. 1024-엘리먼트 초음파 트랜스듀서와 인터페이스 되는 이 ASIC 은 식도를 통해 심장 영상을 찍는다. 3x3 빔형성기(beamformers)를 프론트엔드 ASIC 으로 이동하여 위경 검사관에 들어가는 케이블 수를 6x 이상 줄였는데 이는 식도 안으로 접근하는데 있어서 중요하다. 미스매치 스크램블링(mismatch scrambling)은 빔형성기의 지연선(delay lines)에서 간섭 톤(tone)을 제거한다. (C4.4, 그림 1 - “3-D 경식도 심장 초음파용 32 x 32 PZT 매트릭스 트랜스듀서와 통합된 수신 서브-어레이 빔형성기를 갖춘 프론트엔드 ASIC” C. Chen 외, 델프트공과대학교, 에라스무스병원, 올델프트울트라사운드)



이 그림은 소형 경식도 심장 초음파의 트랜스듀서 어레이 형상 및 ASIC 설계, 이 둘간의 상호연결, 프로브, 튜브를 보여준다.

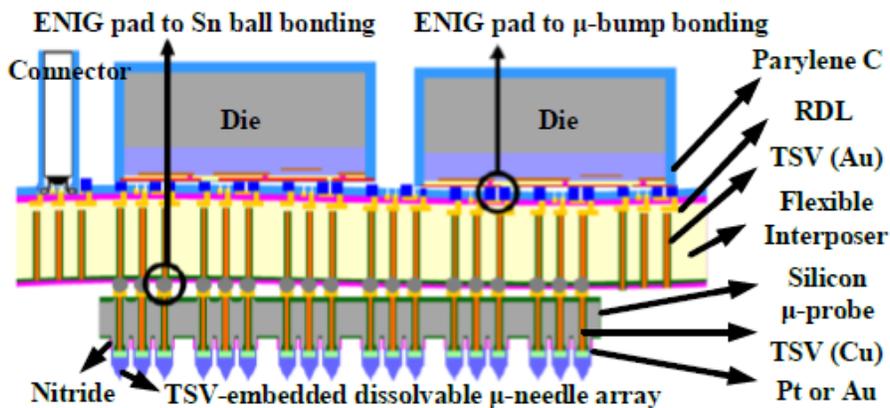
NIDEK, 나라첨단과학기술대학 초빙된 논문에서 후천맹 환자에게 제한된 시각 정보를 회복시켜주는 인공 망막보철을 설명한다. STS(suprachoroidal transretinal stimulation)는 인체임상시험을 거쳤으며 안전하고 효과적인 것으로 여겨진다. 전극 수가 차세대 시스템에서 증가함에 따라 삽입되는 시스템의 아키텍처는 진화해야 한다. 멀티플렉서는 귀 뒤에 있는 주장치에서 눈 안의 전극 어레이로 옮겨질 것이다. AC 전력, 데이터 전송, 전하 균형, 깨진 전극으로 인한 누설 전류 방지 등의 안전성 우려가 해소되었다. 49-채널 어레이를 생체 내외에서 입증하였다. (C8.3, 그림 1 - “전기회로

관점에서 본 STS(Suprachoroidal Transretinal Stimulation)을 사용한 망막보철 기능” Y. Terasawa 외, NIDEK, 나라첨단과학기술대학)



STS(suprachoroidal transretinal stimulation) 시스템은 공막 안에 자극 전극을 내장하고 귀 뒤에 삽입된 주장치와 유연한 리드를 통해 연결되며 데이터와 전원을 위해 외부 코일과 무선으로 결합된다.

신경 임플란트는 아직 걸음마 단계이긴 하지만 파킨슨병이나 기타 운동장애 치료에 사용될 잠재력을 갖고 있다. 국소 뇌 연결성을 이해하려면 고밀도 전극 어레이가 필요하다. 국립교통대학교와 중국의과대학교는 유연한 인터포저를 통해 초저 전력 기록 회로에 연결된 분해 가능한 마이크로 바늘과의 수직적 집적 방식을 채용한 신경 감지 마이크로시스템을 발표한다. 생체적합성을 위해 인터포저 내에 구리 대신 Au-TSV를 사용한다. 이러한 수직적 집적 방식은 크기를 최소화할 뿐 아니라 수술 부위도 줄이고 성공률도 높이며 민감도를 높이도록 바늘과 센서 회로간의 손실도 줄인다. 288 $\mu$ m 전극 피치에서 256-채널 어레이를 증명한다. (T20.4, 그림 1 - “TSV-임베디드 분해 가능한 마이크로-바늘 어레이, 생체적합한 유연한 인터포저, 신경 기록 회로 및 신경 센싱 마이크로시스템의 통합” Y.-C. Huang 외, 국립교통대학교, 중국의과대학교)



이 그림은 분해 가능한 마이크로-바늘, 유연한 인터포저, 저전력 신경 기록 다이의 수직적 집적을 보여준다.