

## 提示表 – VLSI 技術研討會

### 2017 年 VLSI 技術研討會的技術亮點

#### *技術平台論文：*

- T6-1 可適用於低功率與高效能應用並採用 EUV 微影製程的高度可量產 7nm FinFET CMOS 技術，三星電子
- T6-2 針對效能、功率與面積微縮開發的 10nm 高效能行動式 SoC 設計與技術，高通
- T6-3 首次發表之具備優異 MLC 能力與抗 sneak-path 漏電流之內嵌記憶體 Flash RRAM in 14nm FinFET CMOS 製成平台，國立交通大學/國立臺灣師範大學/UMC

#### *運用新型材料推展技術的論文：*

- T6-4 首次發表將 InGaAs n-FinFET 以 3D 積層整合至含介層接點的 FDSOI Si CMOS 的 3D SRAM，IBM Research GmbH Zürich、CEA-Leti
- T9-1 具備透過 3D 冷凝和新型柵極堆疊製程形成高銻含量通道的微縮 RMG SiGe FinFET 高效能與破記錄次臨界值擺幅展示，IBM
- T12-1 特殊界面層使用低溫鐵電體 HfZrOx 之奈米微縮 Ge FinFET 達到 65% 的 S.S.縮減率並提升 ION，國家奈米裝置實驗室、國立成功大學、國立交通大學、國立中山大學、工業技術研究院、財團法人國家實驗研究院

#### *非傳統系統推展技術的論文：*

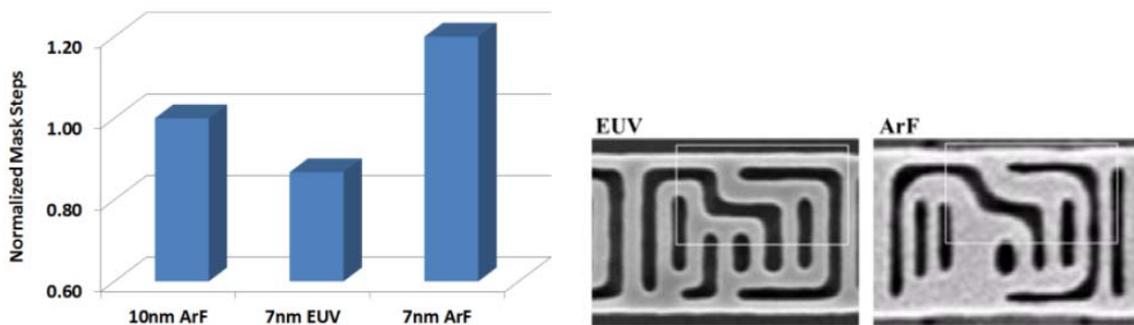
- JFS3-3 適合物聯網常閉 CPU 應用且擁有極低洩漏的結晶 In-Ga-Zn-O 材料與電晶體效能大幅提升，聯華電子 (UMC) 與半導體能源研究所
- T2-3 採用 40nm 節點 CMOS 技術的低功率銅原子開關可編程邏輯，NEC
- T13-1 邁向 Si MOS 技術量子運算：內建電荷偵測器的 FDSOI 分離閘裝置單次讀出自旋態，尼爾研究所、CEA LETI、CEA INAC-PHELIQS

#### *先進異質整合的論文：*

- T5-1 利用第二代 CoWoS 技術的先進邏輯—記憶體系統晶圓級整合，台積電
- T8-1 可成功診斷乾眼症、完全整合、無線供電的原裝整合鏡片系統，國立交通大學

**T6-1** 可適用於低功率與高效能應用並採用 EUV 微影製程的高度可量產 7nm FinFET CMOS 技術，三星電子的 Ha 等人

三星電子將發表適合低功率與高效能應用、採用 EUV 微影的 7nm CMOS 技術，以及第四代的雙鰭與第二代的 multi-eWF 柵極堆疊，與 10nm 技術相較下速度提升 20%，功率減少 35%。EUV 微影已完整運用於 MOL 接點與最小間距的金屬/穿越互連，減少了超過 25% 的光罩步階、提高圖形保真度並減少 CD 變異。HD SRAM 測試晶片的低電壓功能可用來檢驗 EUV 微影的技術，PD (PG) 的  $A_{VT}$  為 1.29，PU 則為 1.34。

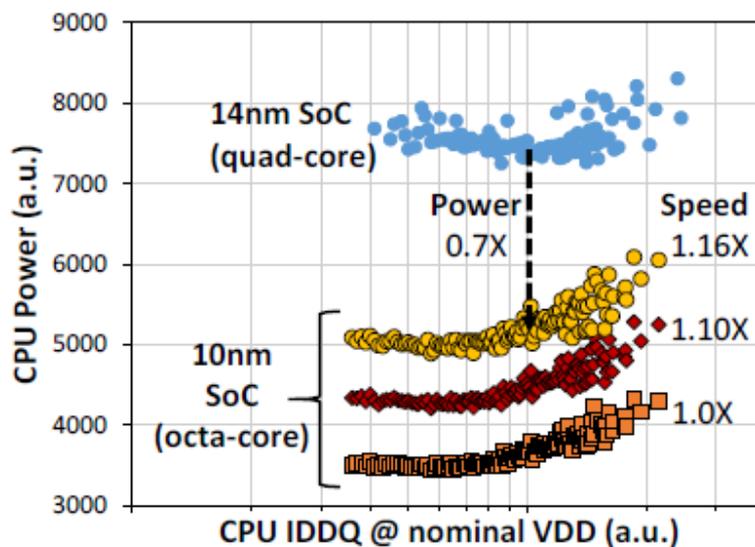


左：EUV 微影已完整運用於序列中點 (MOL) 接點與最小間距的金屬/穿越互連。相較於使用 ArF immersion lithography 的先進 DPT，光罩步階減少 25% 以上 (圖 1)。

右：EUV 微影提高 70% 保真度、改善尖角圓化輪廓與 CD 變異 (圖 4)。

## T6-2 針對效能、功率與面積微縮開發的 10nm 高效能行動式 SoC 設計與技術，高通的 Sam Yang 等人

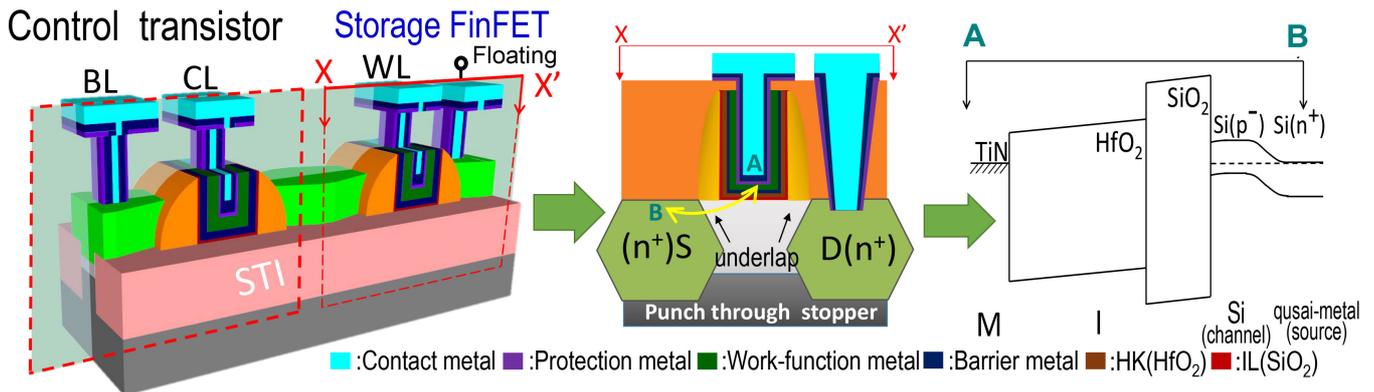
行動式 SoC 已成為適用於高效能運算、人工智慧、機器學習與 AR/VR 體驗的強大平台。Qualcomm 成功讓業界首創的 10nm 低功率高效能行動式 SoC 進入量產。為了克服微縮的各項挑戰，像是 10 nm 的線路電阻、變異和明顯的佈局壓力效應，設計與技術的共同開發從技術定義到產品小量生產階段，皆必須小心調整。新開發的 10nm SoC 晶片相較於 14nm 處理器速度加快 16%、體積縮小 37%，功率減少 30%。



八核心 10nm SoC 的總 CPU 功率，在更高速度相同時間下甚至低於四核心 14nm SoC，因為其採用更高功率效率的設計與製程共同開發 (圖 1)。

**T6-3** 首次發表之具備優異 MLC 能力與抗 sneak-path 漏電流之內嵌記憶體 Flash RRAM in 14nm FinFET CMOS 製成平台，**國立交通大學/國立臺灣師範大學/UMC** 的 **E.R.Hsieh** 等人

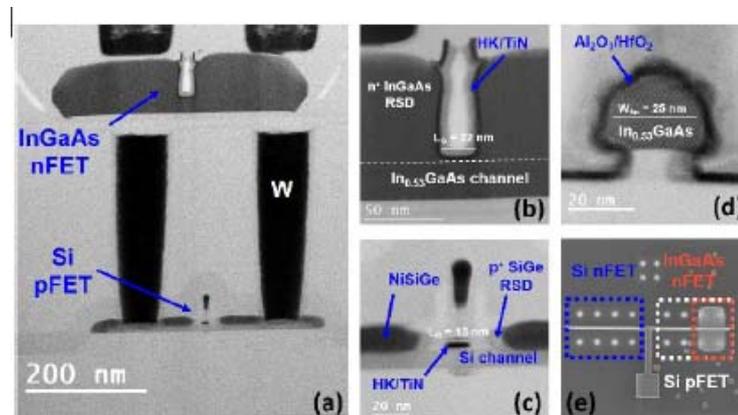
國立交通大學、國立臺灣師範大學與 **UMC** 展示了採用 high-K/金屬閘極堆疊結合 14nm FinFET 平台的 Flash RRAM 技術。此 RRAM 為雙極型，採用離子空位式的運作。為抑制 sneak-path 電流問題，特別提出並展示了新的主動式鰭分離 (AFI) 技術。這項技術使 S/N 邊際大幅提升 3 個數量級。相較於傳統的 AND 型記憶體晶體，待機功率減少 30%，主動功率減少 99%。



單元晶片由 2 個完全相同的 FinFET 串列，使其擁有嵌入式 Flash 的功能。(a) 單元晶片 (b) 斷面。(圖 2)

**T6-4 首次發表將 InGaAs n-FinFET 以 3D 積層整合至含介層接點的 FDSOI Si CMOS 的 3D SRAM，IBM Research GmbH Zürich、CEA-Leti 的 V. Deshpande 等人**

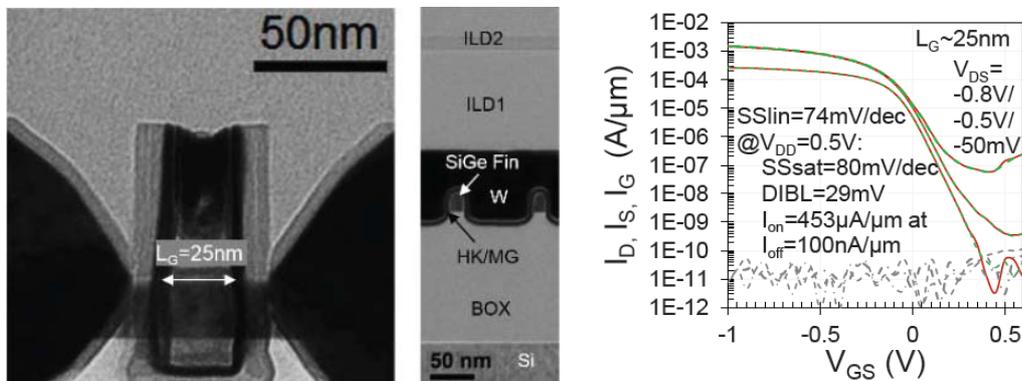
IBM 與 CEA-Leti 將展示如何將 InGaAs n-FinFET 以 3D 積層整合至 FDSOI CMOS，頂層為短通道置換式金屬閘極 (RMG) InGaAs，底層為含 TiN/W 介層接點的閘極先置 Si CMOS。為了實現最先進的裝置整合，頂層 InGaAs 採用提高源極-洩極 (RSD)，底層 CMOS 採用 nFET 的 Si RSD 和 pFET 的 SiGe RSD。頂層 InGaAs ni-FinFET 微縮到  $L_g = 25 \text{ nm}$ ，底層的 Si nFET 和 pFET 則微縮到  $L_g = 15 \text{ nm}$ 。相較於 2D 佈局，InGaAs nFET 堆疊在 Si pFET 上方的密集整合 3D 6T-SRAM 電路面積大幅縮小。



斷面 TEM 影像顯示：(a) InGaAs nFET 在 SOI pFET 上層，(b) 22 nm  $L_g$  InGaAs nFET，(c) 13 nm  $L_g$  Si pFET，(d) 25 nm InGaAs fin，以及 (e) 2D 與 3D 變頻器的上視圖 (圖 3)。

**T9-1 具備透過 3D 冷凝和新型柵極堆疊製程形成高銻含量通道的微縮 RMG SiGe FinFET 高效能與破記錄次臨界值擺幅展示，P. Hashemi 等人；IBM**

IBM 展示採用置換性 high-K/金屬閘極 (RMG) 流程，擁有極高短通道效能的微縮高銻含量 (HGC) 應力 SiGe pMOS FinFET。此製程包括可形成鰭的 3D Ge 冷凝、沒有先進閘極堆疊 Si Cap 的兩階段無銻界面層 (IL)，以及形成超薄間距和提升 S/D。採用無銻界面層的最新閘極堆疊展現出優異的可靠度與接近理想的擺幅，和最低 62 mV/dec 改寫過往紀錄的 SS。此外，改善 I/I free 製程和超薄間距，致使 Ron 與 Rext 大幅降低。在 Ion 為 -0.45 mA/μm，Lg 最小 25nm 下，達到破紀錄的超高 SiGe pMOS 效能，再次證明 RMG HGC SiGe FinFET 確實適用於其他微縮 VDD 為 -0.5V 的高效能應用。



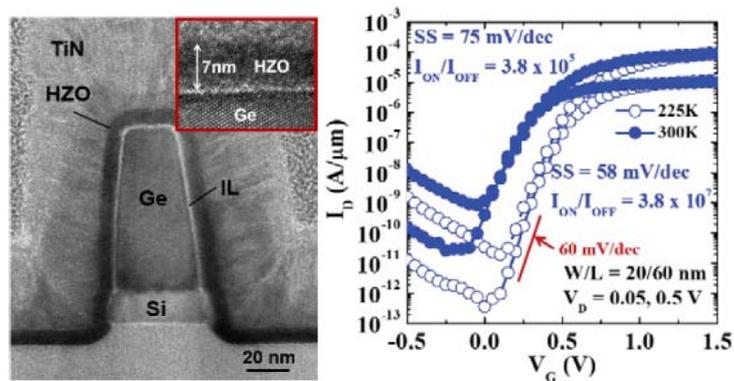
左：RMG HGC SiGe pFET 的 XTEM 影像。(圖 3)

右：LG~25nm 的 RMG SiGe FinFET 轉移特性 (圖 13)。

**T12-1 特殊界面層使用低溫鐵電體 HfZrOx 之奈米微縮 Ge FinFET 達到 65% 的 S.S. 縮減率並提升 I<sub>ON</sub>，**

國家奈米裝置實驗室、國立成功大學、國立交通大學、國立中山大學、工業技術研究院、財團法人國家實驗研究院的 C. -J. Su 等人

採用 HfO<sub>2</sub> 式鐵電體閘極隔離器的陡斜率電晶體，在超低功率電晶體的運用上獲得不少關注。國家奈米裝置實驗室、國立成功大學、國立交通大學、國立中山大學、工業技術研究院展示了採用不同界面層鐵電體 HfZrOx (IL-FE-HZO) 閘極堆疊的 Ge n- 與 p-FinFET，對退火條件進行了系統化的研究。與傳統的快速熱退火比較下，微波退火除了改善 FE 特性，亦可抑制閘極洩漏和 Ge 相互擴散。閘極長度 60nm 和 FE-HZO/GeOx 閘極堆疊的 Ge nFinFET 展現出高 I<sub>ON</sub>/I<sub>OFF</sub> (>10<sup>7</sup>) 和低次臨界值斜率 (S.S.~ 58mV/dec.)。

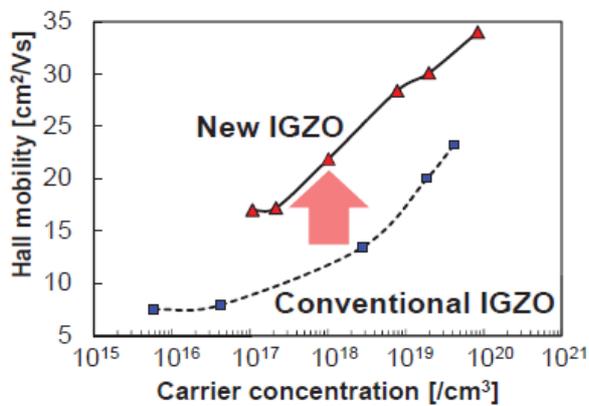
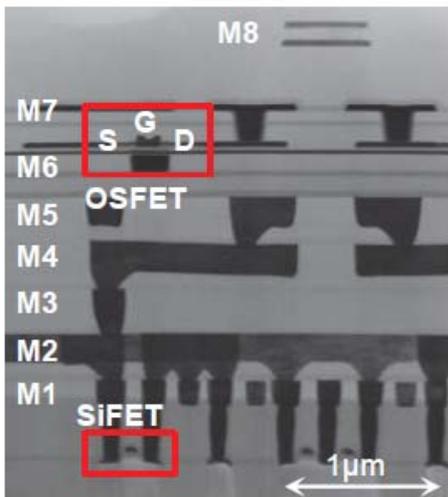


左：鐵電體 HfZrOx 閘極堆疊製造的 Ge FinFET 斷面 TEM 影像 (圖 4)。

右：鰭寬 20nm、閘極長度 60nm 製造的 Ge N-FinFET 所測得之 Id-Vg 特性 (圖 15)。

**JFS3-3 適合物聯網常閉 CPU 應用且擁有極低洩漏的結晶 In-Ga-Zn-O 材料與電晶體效能大幅提升，聯華電子 (UMC) 與半導體能源研究所的 Shao Hui Wu 等人**

聯華電子與半導體能源研究所改善了 IGZO 通道的遷移率，將 IGZO 通道 FET 的  $I_{ON}$  從  $4.7 \mu A$  提升至  $9 \mu A$ 。經強化的 IGZO 與雙指結構為常閉 CPU 所採用。運用雙指結構可提高通道寬度  $W$ ，抑制  $S$  係數衰減。結合上述特性，俾使常閉 CPU 能以 100 MHz 的頻率運作。除了前述的常閉 CPU，此種 IGZO 通道 FET 亦獲得 FPGA 採用，能以 360 MHz 的頻率運作。

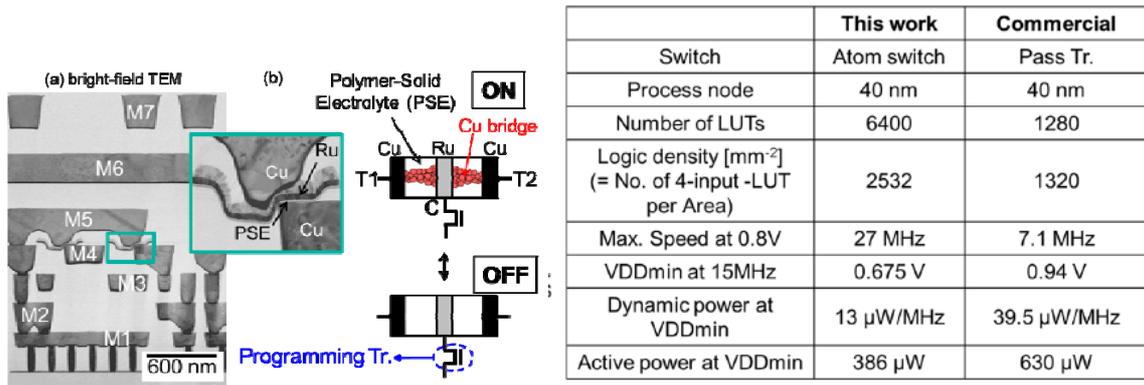


左：混合式 65nm SiFET 與 60nm OSFET 斷面 (圖 1)

右：新型與傳統型 IGZO 的霍爾遷移率比較。新型 IGZO 的遷移率幾乎為傳統型 IGZO 的兩倍 (圖 2)。

**T2-3 採用 40nm 節點 CMOS 技術的低功率銅原子開關可編程邏輯 NEC 的 X. Bai 等人**

NEC 將展示整合至 40nm 節點 CMOS 採用 CAS (互補原子開關) 的非揮發性可編程邏輯 (NPL)，相較於只採用 CMOS 的市售低功率 PL，展現出 2 倍的邏輯密度、3.8 倍的運作速度和 3 倍的功率效率。這次展示亦表現出 CAS 優異的擴充能力和強化的可編程特性，此係 CAS 有效降低編程電壓，允許將高電壓編程電晶體置換成核心電晶體之故。

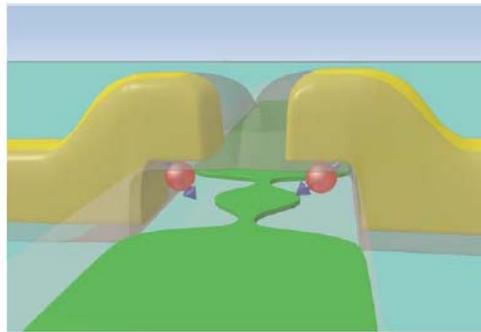


左：40nm 節點製程的非揮發性互補原子開關 (CAS) (a)TEM 影像，(b) ON/OFF 狀態下的配置影像 (圖 2)。

右：效能比較 (應用：ALU)。使用核心電晶體之原子開關 NPL 的邏輯密度、速度與功率效率相較於市售 PL 獲得大幅改善 (表 I)。

**T13-1 邁向 Si MOS 技術量子運算：內建電荷偵測器的 FDSOI 分離閘裝置單次讀出自旋態，尼爾研究所、CEA LETI、CEA INAC-PHELIQS 的 M. Urdampilleta 等人**

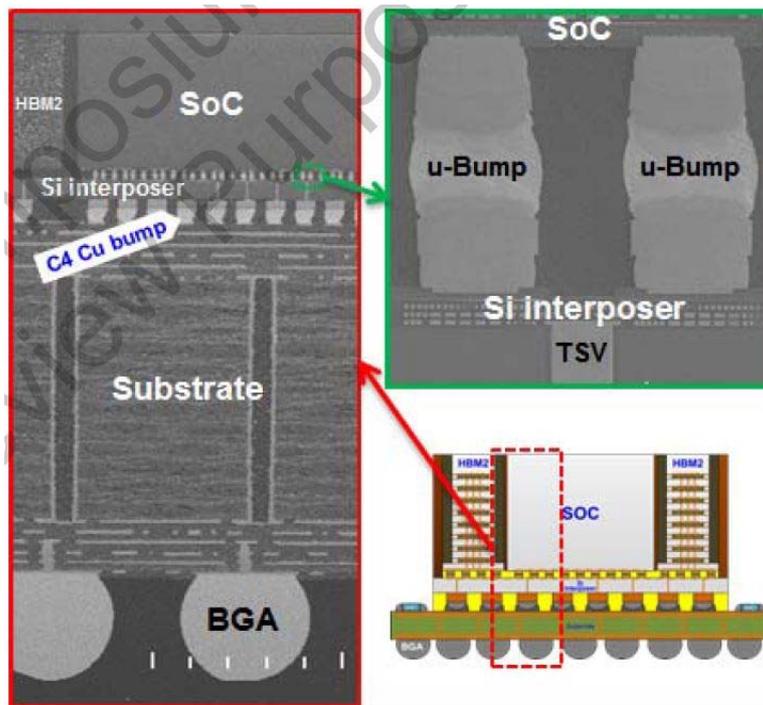
尼爾研究所、CEA LETI 和 CEA INAC-PHELIQS 將展示利用晶圓代工相容的 Si MOS 技術和內建電荷偵測器的分離閘設計即時監控量子點單次自旋。單次讀出乃是達成 Si 型容錯量子運算不可或缺步驟，此專案則證明了利用 MOS 技術平台製造 Si 自旋量子位確為可行的選項。



分離閘裝置和內建的非侵入式偵測器。內含自旋資訊的量子點在 **masa** 角形成，由包裹閘控制。由於通道內的靜電狀況，(綠色) SET 在閘極間形成，與兩個 QD 電容耦合 (圖 2)。

### T5-1 利用第二代 CoWoS 技術的先進邏輯-記憶體系統晶圓級整合

台積電開發出 CoWoS-2 WLSiP 技術，此技術整合 VLSI SoC，含最高六個 8-high HBM2，還能抑制翹曲，因此提高了封裝產能。利用雙光罩拼接製程生產出最大 1200 mm<sup>2</sup> 的超大 Si 中介層，用於形成 CoWoS-2 的基底。CoWoS-2 始終被定位為具彈性的 3D IC 平台，用於邏輯 SoC 與 HBM 之間的邏輯-記憶體異質整合，適用於各種高效能的運算應用。



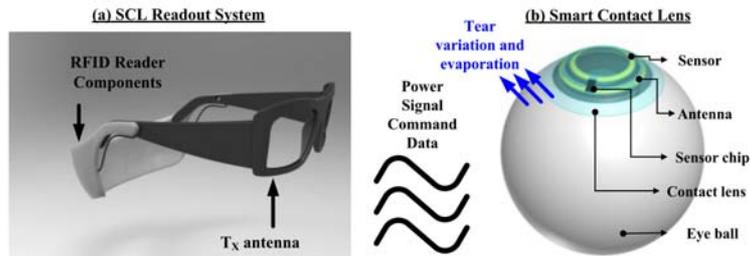
包含 u-Bump、Si 中介層、TSV、C4 Cu bump、基板、BGA、先進節點 SoC 和 HBM2 的 CoWoS-2 元件 SEM 斷面 (圖 6)。

CoWoS-2：第二代 Chip-on-Wafer-on-Substrate

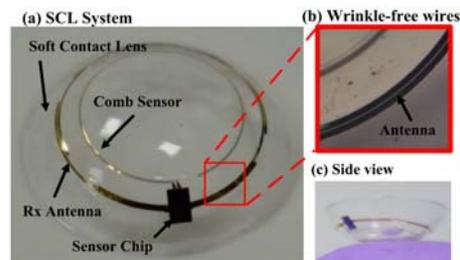
HBM2：第二代高頻寬記憶體

**T8-1 可成功診斷乾眼症、完全整合、無線供電的原裝整合鏡片系統：**

國立交通大學將展出一套智慧型隱形眼鏡 (SCL) 感測器系統，該系統可成功評估淚水的揮發。系統包含淚水感測器、嵌入在生物相容水性隱形眼鏡上的天線、還有可調整的敏感度感測器讀出電路。該整合鏡片系統可透過市售的射頻識別 (RFID) 讀取器裝置進行感測器控制與資料通訊。使用者可配戴 SCL，以持續進行淚水含量的監控。



整合鏡片感測器系統。(a) SCL 讀出系統，(b) SCL 整合感測器、天線和感測器晶片 (圖 1)。



採用防皺鑄模法技巧嵌入於軟式隱形眼鏡的 SCL 系統照片 (圖 13)。

## 2017 年 VLSI 電路研討會焦點論文

### <<處理器>>

物聯網時代的處理器，在安全領域及人工智慧方面面臨到日益複雜計算需求。根據現代的加密標準，即使是低階的物聯網處理器，也必須使用少量的電力來進行複雜的加密運算。人工智慧的應用需要以高效率、精簡的方式，來執行推理和辨識的程序。下列三篇論文所介紹的新技術，運用了演算法和節能的設計，成功達成了前述的需求。

#### 可重組加密器 (Recryptor) : 適用於物聯網的可重組記憶體中加密 Cortex-M0 處理器

美國密西根大學 (Michigan University) 發表了一款加密處理器，和目前最先進實現的軟體與硬體之相比，這款處理器能夠更快速、更省電地執行各種加密演算法。在市售的 ARM Cortex-M0 處理器中，內建可程式設計的記憶體中運算區塊，從而更快速地執行加密演算法與規範中常見的寬位元寬度算術運算。這種處理器採用 40-nm CMOS 製程，相較於先前實現的軟體與硬體加速，其運算速度高出 6.8 倍、耗電量減少 12.8 倍。

(論文 C20-1, 「可重組加密器 (Recryptor) : 適用於物聯網的可重組記憶體中加密 Cortex-M0 處理器」, 作者: 美國密西根大學等)

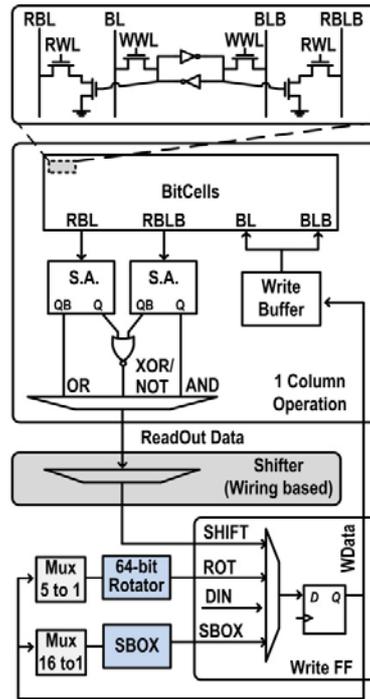


Fig.2. Proposed Crypto-SRAM Bank (CSB).

圖 2

圖中顯示了一種稱之為加密 SRAM 記憶體組 (CSB) 的記憶體內計算區塊。利用這樣的區塊，處理器得以輕鬆地從 SRAM 讀取寬位元寬度的資料，並迅速地根據加密演算法處理完資料後，再將資料寫回 SRAM。

### BRein 記憶體：採用 65 nm CMOS 製程的 13 層 4.2 K 神經元/0.8 M 突觸之二元/三元可重組記憶體中深度神經網路加速器

深度神經網路 (DNN) 已經引起了各界的關注。然而，必要的超大量運算和記憶體存取動作，使得面積/電力/能源效率降低。近來的 DNN 加速器均採客製化的方式研發設計，實現了高度效能與能源效率，但卻犧牲了功能的多樣性。

北海道大學 (Hokkaido University)、東京工業大學 (Tokyo Institute of Technology) 和慶應義塾大學 (Keio University) 提出了一款採用 65nm CMOS 製程的 DNN 加速器。在這款加速器中，是以可重組陣列的形式 (類似於 FPGA)，來排列稱為 PIM (記憶體內處理) 模組的處理元件，因此可模擬各式各樣的 DNN。此外，每個 PIM 模組皆設計成可和二元/三元 DNN 相互對應，大幅減少了所需的記憶體和運算，精確度也只會受到些微的影響。前述幾所大學發表的晶片，相較於 CPU、GPU 或 FPGA

的實作，在效能與能源效率方面分別高出了 1-2 和 2-4 個數量級，並可實現 1.4 兆次運算 (TOPS)，表現超越了近期的 CNN 加速器。

(論文 C2-1, 「BRein 記憶體：採用 65 nm CMOS 製程的 13 層 4.2 K 神經元/0.8 M 突觸之二元/三元可重組記憶體內深度神經網路加速器」，作者：北海道大學、東京工業大學和慶應義塾大學等)

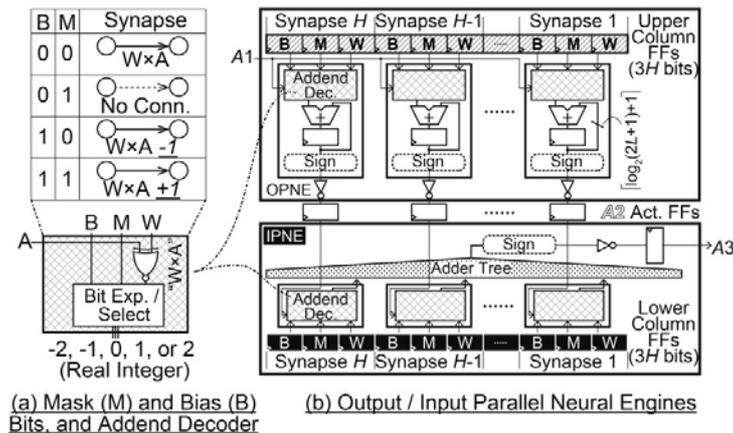


圖 3

適用於三元化與偏差運算的輸出/輸入平行神經引擎

### 具備自主式 SRPG/DVFS 與溫度追蹤時脈的 12.4pJ/週期次臨界、16pJ/週期近臨界 ARM Cortex-M0+ MCU

ARM 將展示一可運作在近臨界區的 ARM Cortex M0+ MCU 應用於物聯網。Cortex M0+ 通常用於電池供電的裝置，例如無線感測器節點，因此低功耗的運作極為重要。這款 MCU 將運行電能降至 12.44pJ 並在待機時有 139.4nW 的功耗，相較於 ARM 先前所展示的裝置，大約減少了一半。這樣的效能乃是透過狀態保留功率閘控 (SRPC) 和動態電壓與頻率調節 (DVFS) 技術達成。為了有效率地運用相關技術並進行次臨界電壓運作，時脈頻率也會根據運作溫度自動調整，這對於次臨界運作中的最高運作頻率，影響相當顯著。時脈頻率是由調諧時脈環形震盪器 (TCRO) 調整。只要執行 EEMBC 的 ULPBench，就能確認運作與耗電的數據，測量出低功耗的物聯網之工作負載。

(論文 C26-2, 「具備自主式 SRPG/DVFS 與溫度追蹤時脈的 12.4pJ/週期次臨界、16pJ/週期近臨界 ARM Cortex-M0+ MCU」，作者：ARM 公司等)

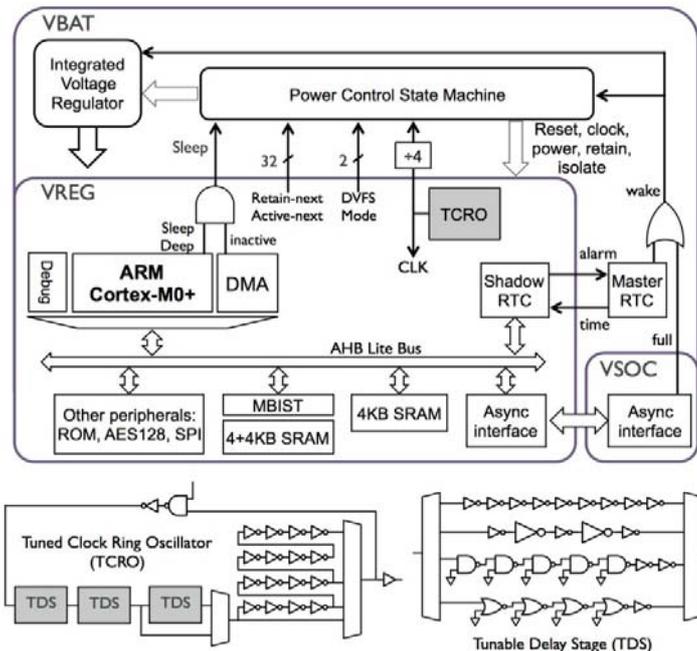


圖 1

MCU 晶片的方塊圖和適用於時脈調整的 TCRO

## <<記憶體>>

採用 55nm DDC 技術並可操作在最小  $V_{DD}=0.3V$  的 4+2T SRAM、可用於搜尋與記憶體中運算

密西根大學安娜堡校區 (University of Michigan, Ann Arbor) 與美國富士通半導體公司 (Fujitsu Semiconductor America, Inc.) 即將發表可操作在最小  $V_{DD}=0.3V$  的 4+2T SRAM 並可用於搜尋與記憶體中運算。

其深度竭盡通道 (DDC) 技術中強烈的基體效應，允許**記憶單元**直接使用 N 型井來做為寫入字元線。

如此一來，**記憶單元**與位元線之間，就省下了兩個傳統的存取電晶體，此外亦能以兩個電晶體專門用於差動讀取，以可靠的**多字元**來啟動記憶體內的布林 (Boolean) 邏輯功能和**低電壓**  $V_{DDmin}$  ( $=0.3V$ ) 陣列運算。SRAM 可設定為啟用搜尋運算的 BCAM 或 TCAM。

(論文 C12-2, 「採用 55nm DDC 技術並可操作在最小 VDD=0.3V 的 4+2T SRAM、可用於搜尋與記憶體中運算」, 作者: 密西根大學安娜堡校區與美國富士通半導體公司等)

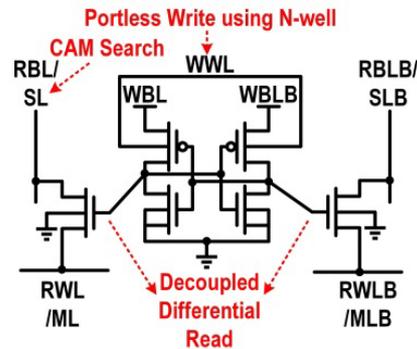


圖 1

4+2T SRAM 記憶單元使用 N 型井做為寫入字元線, 並具備各自獨立的讀取/寫入路徑

### <<生物辨識與感測器>>

一個適用於即時生物辨識認證與個人心臟監測的 65 nm CMOS 製程、1.06 uW 功耗的智慧型 ECG 處理器

ECG (心電圖) 測量的是與心肌細胞活動相關的電訊號, 其中包含了豐富的心臟病資訊, 例如心律不整等疾病。心臟病患者需要進行日常監測, 但這些微弱的訊號必須仰賴特殊設備與休息狀態才能測量, 因此監測的難度很高。

穿戴式 ECG 裝置能滿足相關的需求。除了醫療應用外, 此類裝置也有無限潛力, 可成為健康照護與運動科學監測裝置。穿戴式 ECG 裝置的關鍵要求在於極低的耗電; 需要低功率的訊號處理或資料壓縮功能來處理非常龐大的原始 ECG 訊號的資料量, 以減少無線資料傳輸中的耗電。另一項考量是傳送 ECG 訊號等個人資訊的安全性, 這是具備無線資料傳輸功能的穿戴式裝置常見的問題。

亞利桑那州立大學 (Arizona State Univ.) 與三星公司 (Samsung) 開發了低功率的智慧型 ECG 處理器, 專門用於執行 ECG 生物辨識認證、心律不整偵測, 以及異常 ECG 脈衝波形偵測 (如圖 1 所示的異常偵測)。由於每個人的 ECG 訊號都是獨特的, 因此這種訊號也適用於生物辨識認證。相較於先前的技術, 新技術是第一個適用於 ECG 驗證的特殊應用積體電路 (ASIC), 針對 645 位受試者套用了相同的神經網路學習演算法之後, 發現其錯誤率極低。

採用 65-nm 低功率 CMOS 製程所製造的 A 1.06  $\mu$ W ECG 處理器，在供電壓為 0.55V、時脈頻率為 2 kHz 下執行 ECG 生物辨識認證、心律不整偵測及異常偵測。這款處理器採用了 Lasso 迴歸分析的資料導向稀疏增強方法，來壓縮神經網路的權重，同時維持著出色的低度錯誤率。

(論文 C9-1, 「一個適用於即時生物辨識認證與個人心臟監測的 65 nm CMOS 製程 1.06 uW 功耗的智慧型 ECG 處理器」作者：亞利桑那州立大學、北京三星研究中心與三星先進技術研究院等)

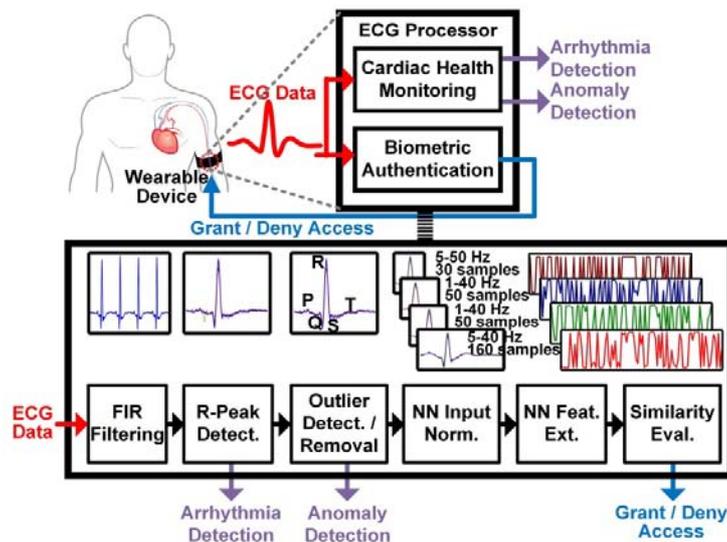


圖 1

由亞利桑那州立大學、三星研究中心 (Samsung Research Center) 與三星先進技術研究院 (Samsung Advanced Institute of Technology) 組成的小組，已開發出一款低功率的智慧型 ECG 處理器，可用來執行 ECG 生物辨識認證、心律不整偵測，及異常偵測，並可透過神經網路學習演算法，實現極低的錯誤率。FIR：有限脈衝響應。

具備無線供電與雙向資料遙測功能的全積體化閉迴路式神經調節 SoC，可用於即時控制人類癲癇發作

國立交通大學 (National Chiao Tung University) 展示了一款全積體化且無線供電 (植入式) 的癲癇發作偵測與抑制之系統單晶片 (SoC)，可用來治療人類的癲癇症，這是一種發生在現今約 1% 的世界人口中的常見神經疾病。這款神經調節 SoC 可透過 16 個通道，記錄來自腦部的皮質腦電圖 (ECoG) 訊號，以偵測癲癇的發作，並產生刺激性脈衝來加以抑制。此 SoC 可實現 97.76% 的偵測精確度，這在最近發表的神經調節 SoC 中，也是表現最佳的。

(論文 C4-1, 「具備無線供電與雙向資料遙測功能的全積體化閉迴路式神經調節 SoC, 可用於即時控制人類癲癇發作」, 作者: 國立交通大學、

國立成功大學、中山醫學大學附設醫院、高雄長庚紀念醫院和長庚大學醫學院等)

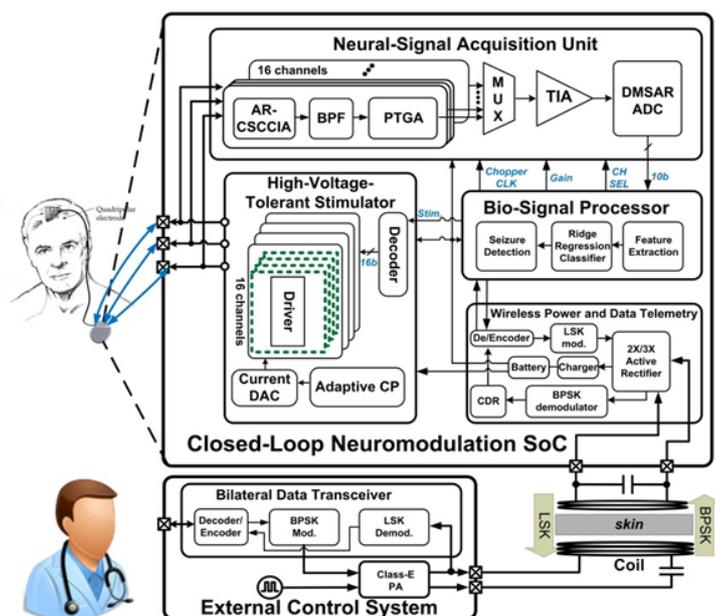


圖 1

國立交通大學將閉迴路神經調節需要的所有元件, 整合至採用 0.18um CMOS 製程的 5x5mm<sup>2</sup> SoC 上, 包括前端類比訊號擷取、生物訊號處理器、自適應控制的神經元刺激器與無線供電單元。

### 採用陣列平行 ADC 架構來控制重點區域的 4.1Mpix 280fps 堆疊式 CMOS 影像感測器

堆疊式 CMOS 影像感測器 (CIS) 仍持續運用於提升行動裝置的功能與使用者體驗。堆疊法能夠整合先進的訊號處理與平行化的訊號處理。此外, 這種感測器也導入了異質製程技術整合和運用全域快門像素。不過, 前照式全域快門與行平行處理的 ADC 架構, 在達成高靈敏度和彈性重點區域 (ROI) 的讀取方面, 分別有其困難。

Sony 發表了可控制 ROI 的影像感測器, 能夠針對安全監控與工廠自動化應用, 減少資料的頻寬與耗電。這款控制器運用了陣列平行 ADC 架構, 來實現不會讓影像失真的彈性 ROI 控制讀取, 以自適應地節省 ADC 的電力。此外, 4.2e-rms 的低度暗隨機雜訊之達成, 乃透過浮動擴散 (FD) 機制的背照式全域快門, 利用主動重設與畫框相關二次取樣 (frame CDS) 操作實現。

(論文 C19-1, 「採用陣列平行 ADC 架構來控制重點區域的 4.1Mpix 280fps 堆疊式 CMOS 影像感測器」, 作者: 高橋知宏等人、Sony 半導體解決方案公司、Sony LSI 設計公司與 Sony 電子公司)

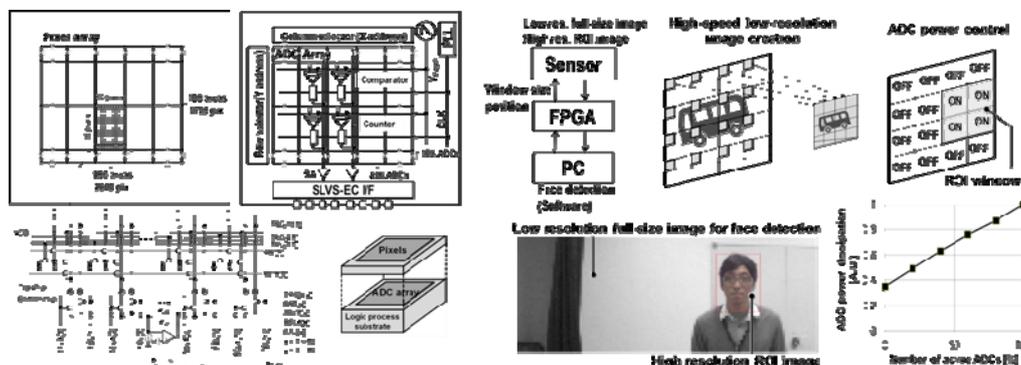


圖 1 和圖 4

上圖顯示可實現智慧 ROI 感測器系統的陣列平行 ADC 架構。

### 基於增強訊號純化與精細錯誤校正技術的 10.1 吋 56 通道、183 uW/電極、0.73 mm<sup>2</sup>/感測器高 SNR 3D 懸浮感測器

現今的觸控面板效能受限於對觸碰物體的靈敏度偏低。這是因為面板電極交互電容的感應，仰賴的是物體與電極之間的大量電容，也就是需要物體「觸碰到」面板。如此一來，面板的靈敏度就受到限制，而且只能進行 2D 位置的感測。為了解決這項問題，韓國科學技術院 (Korea Advanced Institute of Science and Technology, KAIST) 和三星電子公司 (Samsung Electronics Co., Ltd.) 的一組研究人員，提出了新的 3D 懸浮感應電路，目標裝置是未來手機的觸控面板。這些人員所發表的電路，採用了自電容感應機制 (SCSS)，可感測觸碰物體本身的電容變化並偵測 3D 懸浮動作，進而實現更高的靈敏度和更精細的觸控位置解析度。高訊號雜訊比 (SNR) 是透過電極分組與輪廓調整法達成。值得注意的是，傳統的 SCSS 電路因為需要面板偏移消除電路，而會產生高耗電，但這組研究人員透過將驅動電路與感測電路分離的手法，成功地自動消除偏移，進而省下了更多的電力和晶片面積，從而順利達成低耗電量 (183uW/電極) 及超高 SNR (39dB)。

(論文 C24-1, 「採用增強訊號純化與精細錯誤校正技術的 10.1 吋 56 通道、183 uW/電極、0.73 mm<sup>2</sup>/感測器高 SNR 3D 懸浮感測器」, 作者: 韓國科學技術院 KAIST 與三星電子公司等)

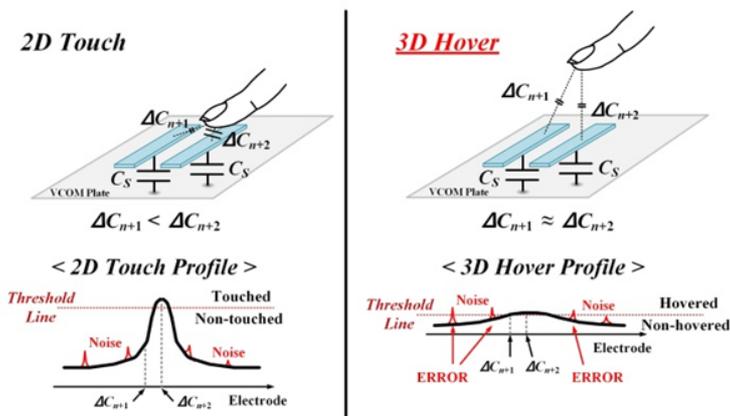


圖 3

上圖比較了傳統「2D 觸控」(左) 與「3D 懸浮」(右) 感測器的不同電路圖。傳統的感測器，只有當物體 (手指) 與觸碰的面板 ( $\Delta C_{n+2}$ ) 之間的電容變化量變大時，才能進行感測，因此物體必須觸碰到面板。這組研究人員所提出的感測器，即使在物體和面板之間有一段距離時，也能感測到物體相對於各面板的電容變化，進而實現 3D 懸浮感測功能。雖然每個電容變化訊號相對微弱且難以決定臨界值，如訊號曲線所示 (小圖)，但透過將鄰近面板的訊號分組，仍達成了高訊號雜訊比 (SNR)。

### <<功率轉換>>

採用 14nm 三閘極 CMOS 製程，全積體化採用背平面磁芯的 3D 矽穿孔技術的螺線管電感之數位控制穩壓器

Intel 將發表全積體化的 14nm 三閘極 CMOS 數位控制降壓穩壓器 (VR)，這款穩壓器可達成先進的功率轉換效率。其目標應用在三維矽穿孔技術堆疊式異質多晶粒封裝。在此種封裝中，嚴格的熱限制使得每個晶粒中的穩壓器 (VR) 能夠透過輕負載機制，以高功率轉換效率運作，並且將利於 TSV 且省面積的電感整合其中。Intel 內建了晶片螺線管結構電感，此電感使用 4.5 圈之矽穿孔技術垂直圍繞晶粒與背面採用高磁導率平面磁芯。電感密度改善至 111nH/mm<sup>2</sup>，比採用非平面磁芯的傳統電感高出 2 倍以上、比平面螺旋電感高出 8 倍以上。穩壓器藉由遲滯與脈衝頻率調變控制方式在輕載條件(1.5mA)下，1.2V 輸入產生 0.4V-1.1V 輸出與高功率轉換效率(77%)。

(論文 JFS2-1, 「採用 14nm 三閘極 CMOS 製程，全積體化採用背平面磁芯的 3D 矽穿孔技術的螺線管電感之數位控制穩壓器」，作者：Intel 公司 H. K. Krishnamurthy 等人)

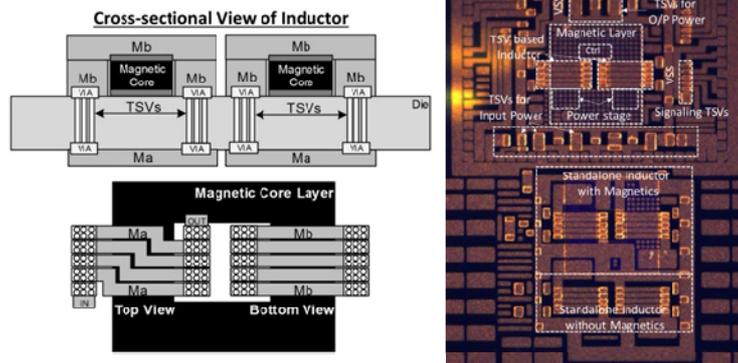


圖 1 和圖 2

穩壓器晶片照相圖和不同角度的 14nm 三閘極 CMOS 技術的矽穿孔電感照片圖。

## <<類比>>

### 電容退化式 100dB 線性 20-150MS/s 動態放大器

博通公司 (Broadcom Corporation) 與荷蘭台夫特理工大學 (Delft University of Technology) 發表新的動態殘值放大器用於管線式類比數位轉換器 (ADC)，輸入為差動 100mVpp 與 4 倍增益可達到-100dB 總諧波失真(THD)，這是動態放大器所發表過最低的數值。管線式 ADC 中的殘值放大器需要較大的頻寬，常採用閉迴路放大器來實現。相較之下，動態放大器為開迴路式，功率效率更高，但非線性程度也更高。此項設計所提出的動態放大器，採用電容退化式線性化技術，這項技術只使用緩慢的數位非線性偵測功能，並調整類比控制電壓，以確保在幾乎不產生耗電下實現出色的線性效能。

(論文 C11-1, 「電容退化式 100dB 線性 20-150MS/s 動態放大器」, 作者：博通公司與荷蘭台夫特理工大學等)

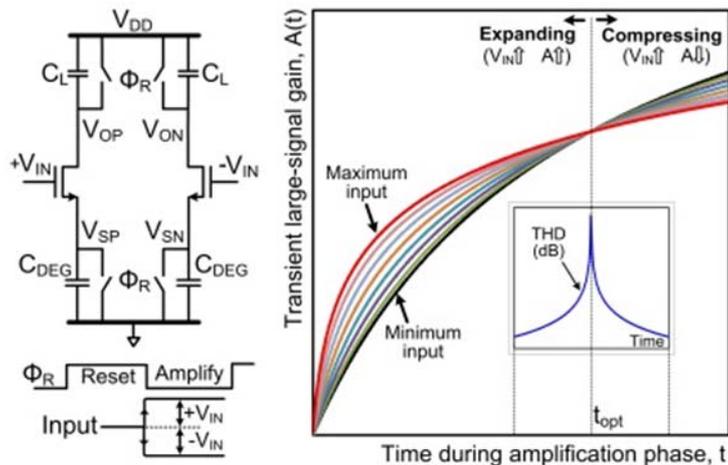


圖 1

在此項設計在  $t_{opt}$  時間之外，晶片外部偵測因取樣造成的放大器輸出的非線性部分，因此偏壓電流  $I_B$  可以依據製程，電壓，環境溫度而改變，提供簡單的非線性校正。

## <<轉換器>>

### 具備電容參考穩定機制的 16nm 69dB SNDR 300MSps 類比數位轉換器 (ADC)

校際微電子中心 (Imec) 將展示一款 16nm 69dB SNDR 300MSps 管線式 SAR ADC，這款 ADC 具備獨特的機制，可消除內部 DAC 切換所產生的參考電壓漣波。電容式 DAC 的切換在每次連續漸近式 (SAR) 轉換過程中會從參考電壓引出訊號相關的電荷並導致較大的諧波失真，這是 ADC 重要的效能指標之一。因此，SAR ADC 需要阻隔電容或再加緩衝器，這會增加功率消耗與面積。透過 Imec 所提出的穩定機制，根據 DAC 代碼為輔助電容 (Caux) 選擇適當的值，可以決定由參考電壓流出多少電荷。如此，參考電壓中的所有訊號相關的漣波，只需耗用些微的電力和空間即可消除。

(論文 C8-1, 「具備電容參考穩定機制的 16nm 69dB SNDR 300MSps 類比數位轉換器」, IMEC 等)

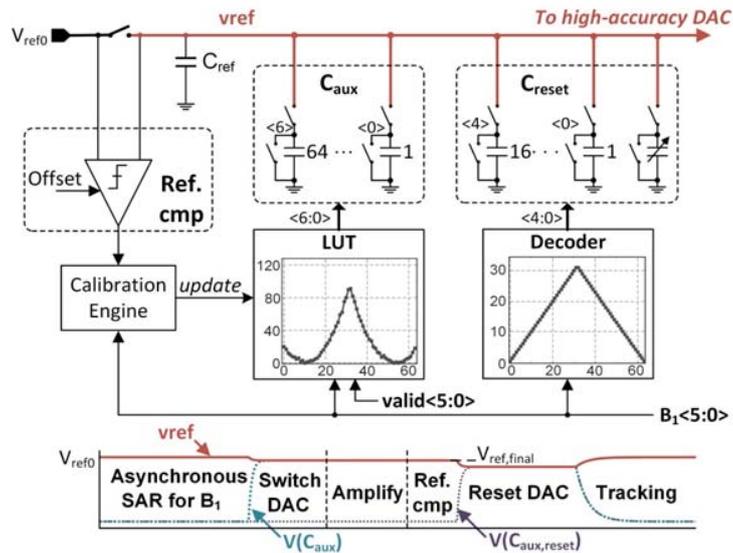


圖 2

此圖顯示參考穩定機制的實作與時序圖。查找表 (LUT) 會對應各 DAC 代碼，以修正 Caux 的設定。校正機制會監控比較器的輸出 (參考 cmp)，並更新 LUT。

## <<無線通訊及其時脈的產生>>

### 100mW 3.0 Gb/s 頻譜效率 60 GHz 二元相位 OOK CMOS 收發器

東京工業大學 (Tokyo Institute of Technology) 與三星電子 (Samsung Electronics) 發表了一款高資料速率的頻譜效率 60 GHz 無線收發器，適合室內的短距離物聯網應用。相較於傳統的開關鍵控 (OOK) 或二元相位位移鍵控 (BPSK)，新提出的二元相位開關鍵控 (BPOOK) 技術提升了頻譜效率，因此能在同樣的頻譜頻寬內讓資料速率倍增。即使是在不理想的通道環境中，這款收發器也可達成 3.0 Gb/s 的資料速率，同時符合 IEEE 802.11ad(WiGig) 標準的頻譜遮罩，802.11ad 的單載波 BPSK 模式 (1.76Gb/s) 也支援此收發器。此處所提出的調變機制，可在低功率運作的情境下，於收發器中使用簡單的非同步(incoherent demodulator)解調變器。收發器的總功耗可減少至 100mW，相較於傳統型收發器，功減少 60%。

(論文 C23-1, 「100mW 3.0 Gb/s 頻譜效率 60 GHz 二元相位 OOK CMOS 收發器」, 作者: 三星電子、東京工業大學和三星電子有限公司等)

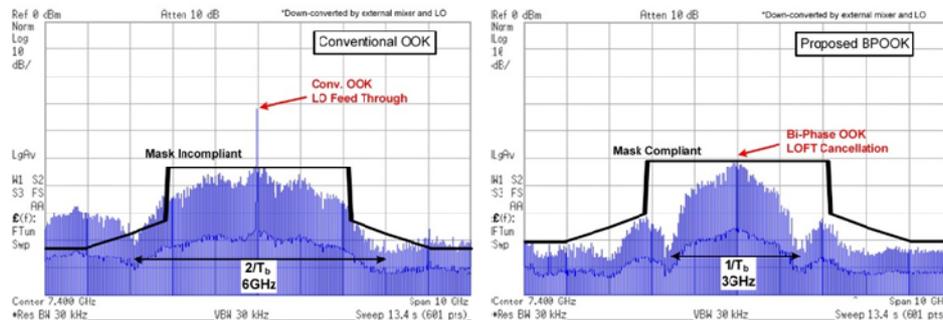


圖 5 (a) 和 (b)

這兩張圖分別是 (a)傳統開關鍵控與(b)新提出的二元相位開關鍵控所測量到的發送器頻譜。此處所提出 BPOOK 的頻譜頻寬約為傳統 OOK 的一半且有相同的資料速率，在 IEEE 802.11ad/WiGig 的頻譜遮罩中達成 3.0 Gb/s 的速率。

### 以 28nm CMOS 製程製造、適用於藍牙 LE 的 0.5V 1.6mW 2.4GHz 非整數式 (Fractional-N) 全數位 PLL，具備採用開關電容倍壓器的 PVT 低敏感性 TDC

在由能量擷取器或小型電池供電的物聯網應用中，系統單晶片(SoC)操作在單一低供應電壓是必要的。符合藍牙低功耗(BLE)的頻率並操作在 1V 以下(sub-1V)是長期的目標。來自台積電 (TSMC) 與都柏林大學學院 (University College Dublin) 的一組研究人員，驗證鎖相迴路在超低電壓，單一 0.5V 的供應電源適用於藍牙低能量需求。0.5V 類比區塊和內部倍壓器給數位區塊使用使更穩定，可減少受到製程、電壓、溫度變異的影響。使用 28nm CMOS 製程完成 0.82ps RMS 抖動與 1.6mW 的運作，PLL 的 FoM 值為-239.2dB。

(論文 C14-1, 「以 28nm CMOS 製程製造、適用於藍牙 LE 的 0.5V 1.6mW 2.4GHz 非整數式 (Fractional-N) 全數位 PLL，具備採用開關電容倍壓器的 PVT 低敏感性 TDC」，作者：台積電與都柏林大學學院)

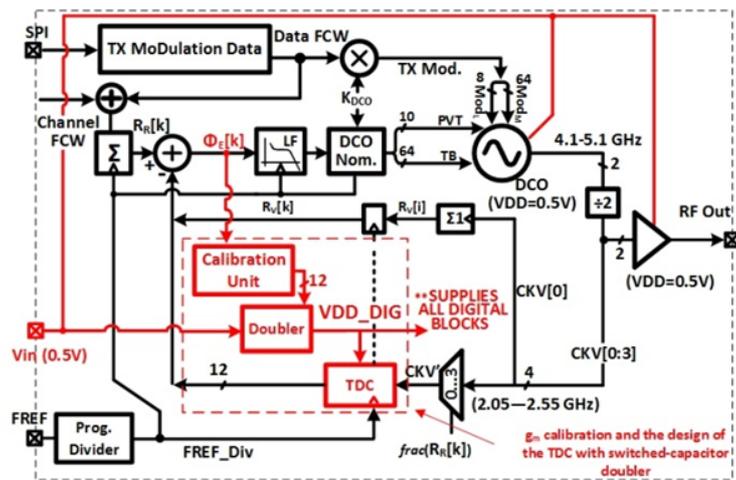


圖 3

上圖顯示全數位鎖相迴路操作在 0.5V 應用於藍牙低功耗的收發器。

### <<有線通訊>>

採用 14nm FinFET CMOS 技術，具有 -11.7dBm 的靈敏度的 32Gb/s、4.7pJ/bit 光纖連線

高頻寬與雲端運算的快速成長以及低成本通訊在資料中心可達到 50 公尺的傳輸距離。對於延伸 10 公尺的距離，如果使用低成本的銅線互連方式，由於媒介的損耗與符碼間干擾(ISI) (資料相關衰減)，想要達成 25Gb/s 以上的資料速率變得極為困難。另一方面，由於高頻率雜訊的緣故，採用低損耗光纖的連線，也難以提高資料速率。IBM 刻意地限制接收器前端的頻寬，以抑制高頻雜訊，並導入決策回饋等化器 (DFE) 來還原非線性資料，進而克服了前述的問題。發送器與接收器的晶片是以 14nm FinFET CMOS 製程建置，成功地達成了 32Gb/s 的光學資料傳輸率，實際的 OMA 靈敏度達到 -11.7-dBm 且具有 1.4-pJ/s 的頂尖效率。

(論文 C25-1, 「採用 14nm FinFET CMOS 技術，具有 -11.7dBm 的靈敏度的 32Gb/s、4.7pJ/bit 光纖連線」，作者：IBM 公司等)

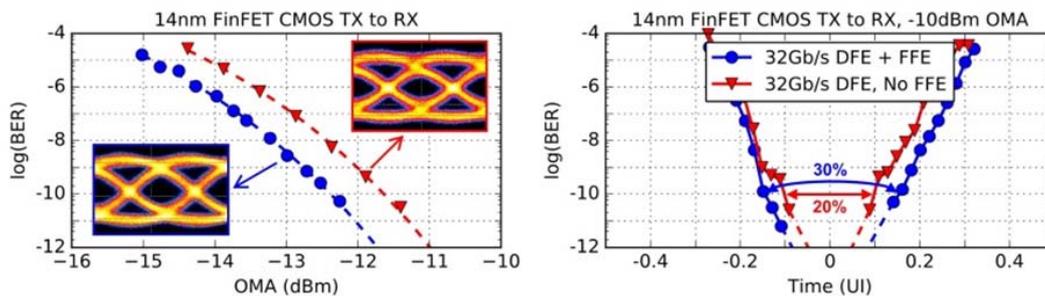


圖 8

此圖顯示 BER 相對 OMA 和 BER 相對取樣時間以及 TX 眼圖。在 BER =  $1e-12$  時的 32Gb/s 靈敏度為 -11.7dBm 使用於 FFE 和 DFE。

### 採用 14nm CMOS FinFET 技術的 60 Gb/s、1.9 pJ/bit 具有非零格式與低延遲數位時脈資料恢復光接收器

另外，IBM 和洛桑聯邦理工學院 (EPFL) 發表了新的光纖連線接收器，其速度比先前論文所寫的還要快上一倍。在 2017 年的國際固態電路研討會 (ISSCC) 中，這組研究人員已經先行發表了 64Gb/s 的資料接收技術。而在本篇論文中，這組團隊針對先前報告過的接收器架構，新增了時脈與資料還原 (CDR) 功能，提高了其光纖連線接收器的完成度。此處所提出的 CDR 在 80MHz 頻率 (frequency corner) 時利用 128 階的八邊形相位旋轉來達到高線性度與 0.16UIpp 的抖動容忍度。此晶片是以 14nm FinFET CMOS 製程製造，可達成 63Gb/s、7m 的光學資料接收率，以及 1.9pJ/bit 的頂尖效率，同時達成 -5dBm 的 OMA 靈敏度。

(論文 C25-2, 「採用 14nm CMOS FinFET 技術的 60 Gb/s、1.9 pJ/bit 具有非零格式與低延遲數位時脈資料恢復光接收器」, 作者: IBM 公司與洛桑聯邦理工學院 EPFL 等)

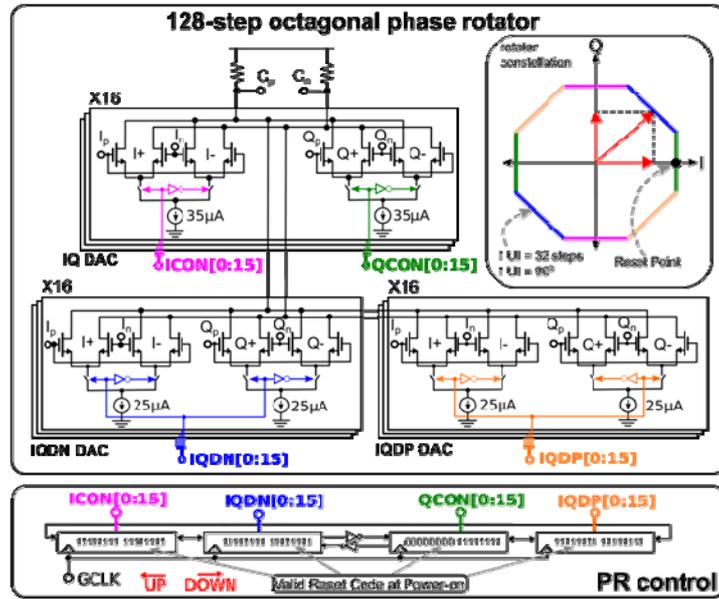


圖 3

上圖是具備 128 階八邊型控制功能的相位旋轉電路。