

2019 年度 VLSI 技术与电路研讨会的技术亮点

计划于 2019 年 6 月 9 日至 14 日在日本京都举行 2019 年度 VLSI 技术与电路研讨会是一个顶级国际会议。会议旨在明确微电子行业的发展步伐、进展和演变。这两个研讨会完全重叠的技术议程包括多场联席分会。在本次研讨会开始之前，将于 6 月 9 日举办“周日研讨会”，6 月 10 日举办全天的短训班。研讨会之后，6 月 14 日将举办“周五论坛”，讨论自动驾驶的使能技术。

本次研讨会围绕“**挑战半导体极限，构筑统一互联世界**”为主题展开，综合探讨先进的技术开发和创新的电路设计，以及能够促使全球社会采用智能互联设备和系统，改变人与设备和系统的交互方式的应用。

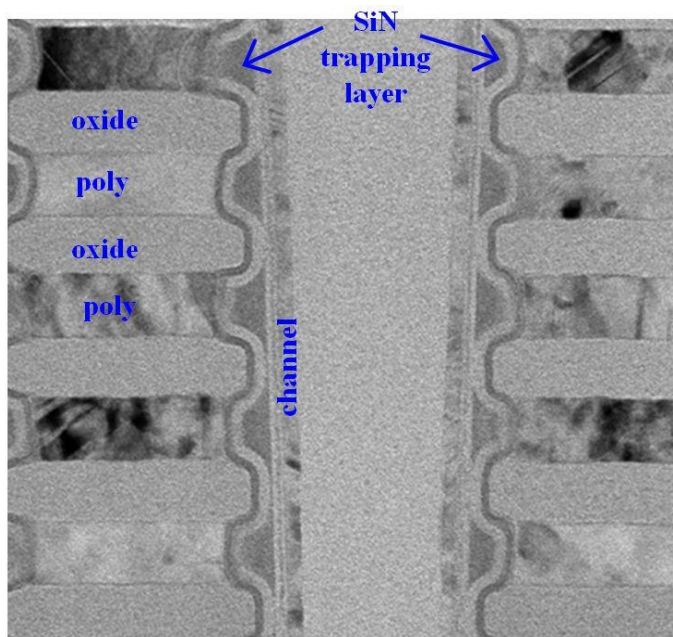
以下是与该主题相关的一些代表性的论文：

先进的存储器

采用约束氮化物阻止层的 3D NAND，可实现长期数据保存

数据保存是一个关键挑战，特别是对于氮化物阻止层类型的 3D NAND 闪存。Macronix International Co., Ltd. 将展示采用约束氮化物 (SiN) 阻止层的 3D NAND 闪存。这种结构具备良好的保存能力，对于超过 1K 的循环设备，在经过 125 °C 高温烘烤一周后，电荷损失位移仅在 600 mV 左右（窗口初始电荷为 7 V）。与不采用约束 SiN 结构的控制样本相比，它拥有明显优异的性能。

论文 T16-2, “一种面向 3D NAND 闪存、采用约束氮化物阻止层的器件, 具备可靠的保持特性”, C.-H. Fu 等, Macronix International Co., Ltd.



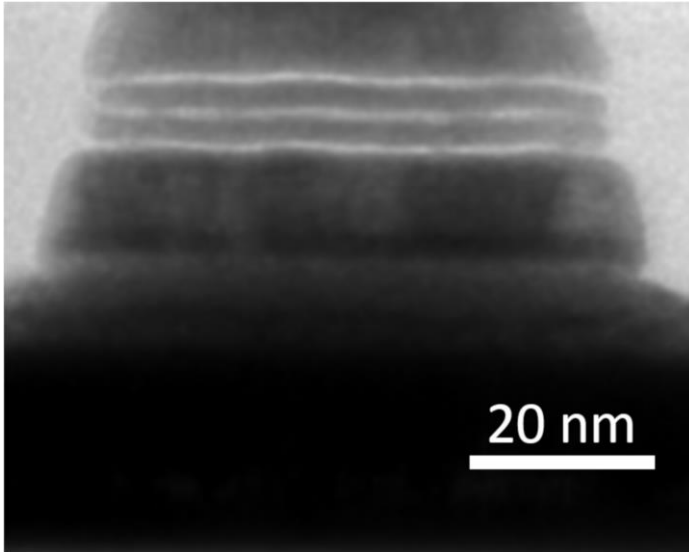
T16-2 采用约束 SiN 阻止层的 3D NAND 闪存结构的截面 TEM 图

超过 20nm 的 STT-MRAM 技术

为了将 STT-MRAM 微缩到 20nm 以下，日本东北大学提出一种基于新型低损伤集成工艺，采用 300mm 工艺的新型四接口磁性隧道结 (MTJ) 技术。该技术被视为后双接口 MTJ 技术，与传统的双接口 MTJ 技术相比，热稳定系数 $\Delta E/kT$ 和开关效率 $\Delta E/IC_0$ 均提高了 1.5-2 倍。

论文 T11-4, “新型四接口 MTJ 技术与其高热稳定性和开关效率的首次展示, 适用于 2Xnm 以下的 STT-MRAM”,

K. Nishioka 等, 日本东北大学



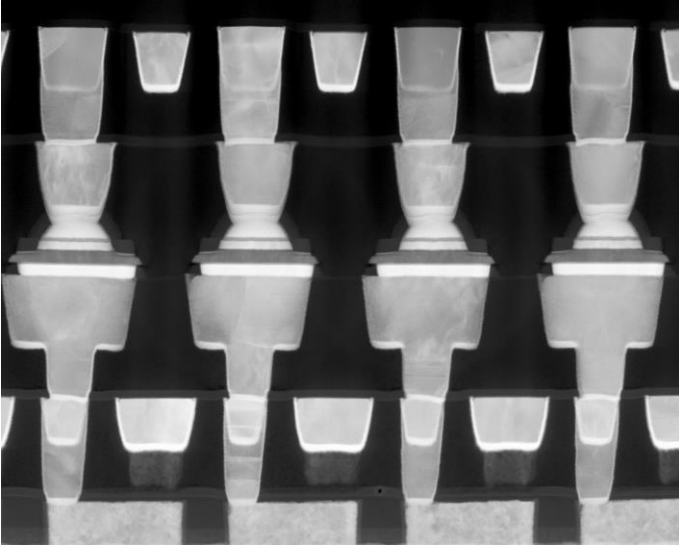
T11-4 制造的四接口 MTJ 的截面 TEM 图。

基于 22FFL FinFET 技术的嵌入式 RRAM

市场需要采用逻辑友好工艺、具备良好保存能力和耐久特性的嵌入式存储技术。RRAM 是非常符合这一要求的技术。Intel Corp. 将在 22FFL FinFET 上展示嵌入式 RRAM 技术。在 7.2Mbit 阵列上实现了 10^4 的耐擦写次数和 85°C 10 年的保持特性。

论文 T18-1 “非易失性 RRAM 嵌入 22FFL FinFET 技术”,

O. Golonzka 等, 英特尔公司

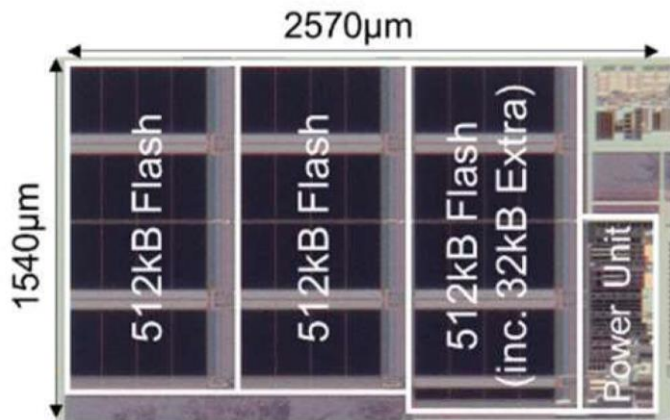


T18-1 嵌入 22FFL 逻辑金属互连的 RRAM 阵列的截面 TEM 图。

适用于物联网应用的低功耗嵌入式闪存

为了扩大物联网的应用范围，超低功耗运行成为许多边缘器件的关键要求。特别是在能量收集 (EH) 产生的有限能源下进行实时感测，嵌入式闪存 (eFlash) 要求有极低的读取能耗。瑞萨电子将展示一个 1.5MB 2T-MONOS eFlash 宏单元，其制造采用了 65nm 薄氧化埋层上覆硅 (Silicon-on-Thin-Box, SOTB) 技术，使用了低功耗传感放大器和数据传输电路技术，进一步增强了 SOTB 器件的优点。所提出的 eFlash 在 64Mhz 读取频率下，读取能耗达到 0.22pJ/bit，这一水平足以使用 EH 技术作为能量源。

论文 C17-1, “一种基于 65nm 薄氧化埋层上覆硅 (Silicon-on-Thin-Box, SOTB) 工艺的嵌入式 2T-MONOS 闪存 64Mhz 读取频率下可达到 0.22 pJ/bit 的读取能耗, 适用于物联网应用”, K. Matsubara 等, 瑞萨电子公司



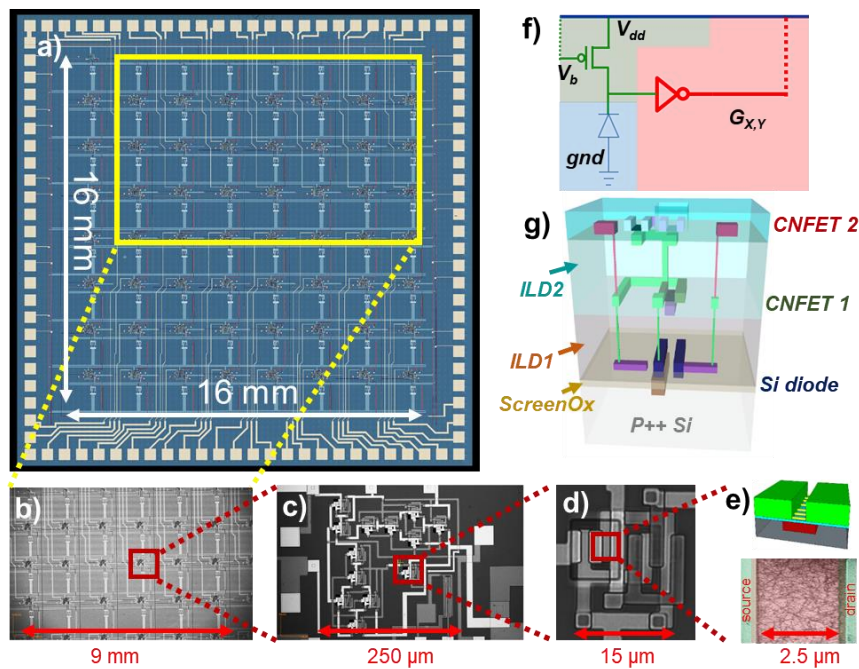
C17-1 2T-MONOS eFlash 宏单元的显微照片。

传感器、射频、物联网以及生物医学

使用碳纳米管电路的 3D 成像系统

麻省理工学院将展示一个单片式 3D 成像系统的硬件原型，该系统直接在传统硅成像仪的后段制程 (BEOL) 中集成了计算层。该系统可以将成像仪输出从原始像素数据转化为经过高度处理的信息。他们制造了垂直排列的 3 个电路层：以硅像素作为底层，上面是两层 CMOS 碳纳米管 FET (CNFET)，负责实时执行原位边缘检测，然后再将数据存储到存储器。该方法有望改善图像分类系统的处理延迟性能。

论文 T2-5, “单片式三维成像系统: 直接在硅成像仪上集成碳纳米管计算电路”,
T. Srimani 等, 麻省理工学院

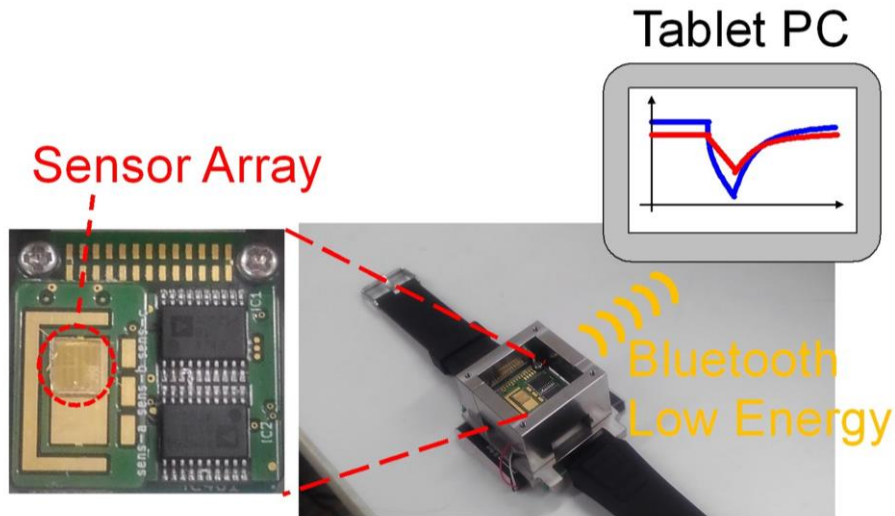


论文 T2-5, 由硅光电二极管 (第 1 层) 和 CNFET (第 2 层和第 3 层) 组成的 3D 成像仪的示意图。

采用催化金属纳米片的低功耗气体传感器

对于物联网应用，低功耗气体传感器非常有用。庆应义塾大学将展示由催化金属纳米片组成、用于检测氢和氨的集成传感器。催化反应所需的热能由片上焦耳加热装置提供，而不是由此应用传统采用的片外加热器提供。这是实现低功耗 (0.14 mW) 的关键。

论文 JFS2-3, “利用集成金属纳米片, 实施低功耗和 ppm 级气体分子检测”,
T. Tanaka 等, 庆应义塾大学



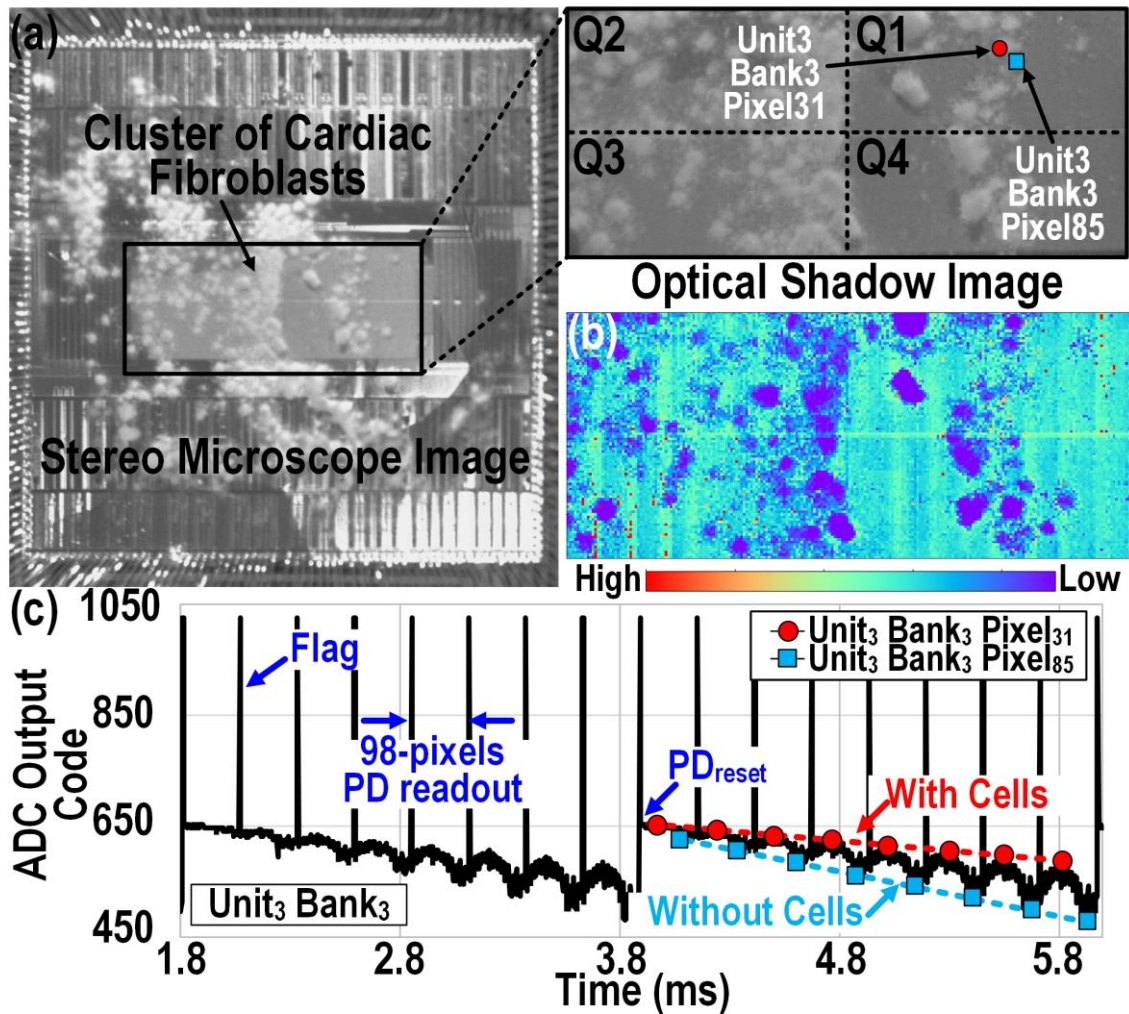
JFS2-3 集成在手表式外壳中的气体传感器。

CMOS 多模式细胞传感器/刺激器阵列

乔治亚理工学院展示了具备多模式传感功能的片上细胞图像传感器。该传感器可以捕捉直接放在传感器上/在传感器上培养的细胞的光学/电位/四点阻抗图像。它还可以对细胞系统进行电刺激。该芯片采用 130 纳米标准 CMOS 工艺制造。传感器配有 21952 个可重新配置的像素，其中 1568 像素可并行使用。像素间距为 $16\ \mu\text{m} \times 16\ \mu\text{m}$ ，每个像素都有一个 $8\ \mu\text{m} \times 8\ \mu\text{m}$ 的金电极和 $6\ \mu\text{m} \times 6\ \mu\text{m}$ 的光电二极管。电极可灵活用于各种电流注入和阻抗测量。传感器的所有功能已表征。传感器在活体细胞体外实验中展示了电位传感、光学和阻抗成像能力。

论文 C6-3, “一种 21952 像素的多模式 CMOS 细胞传感器阵列, 具有 1568 像素并行记录和 4 点阻抗检测”,

D. Jung 等, 乔治亚理工学院。

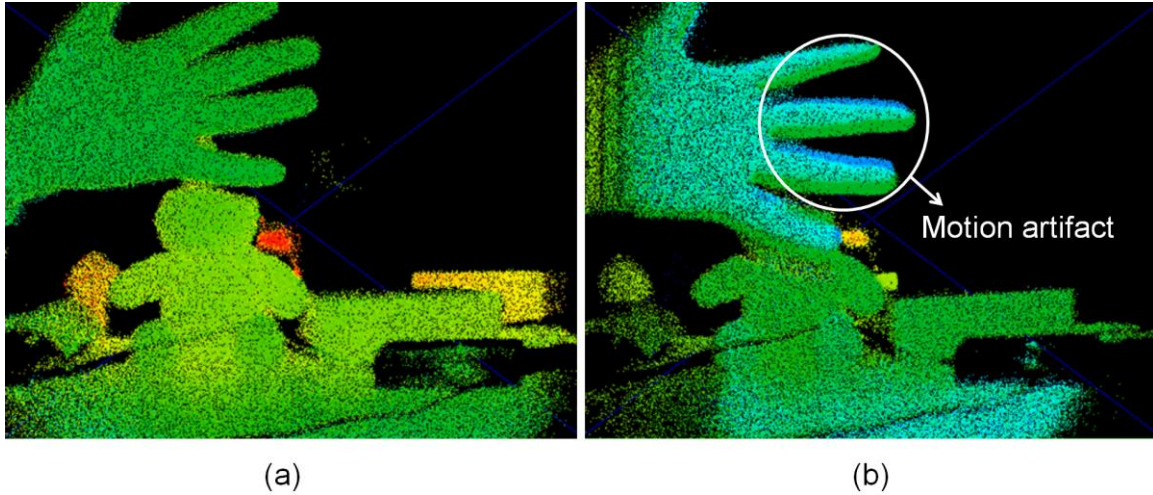


C6-3 (a) 立体显微镜图像, (b) 片上培养的成纤维细胞的实测光学图像和 (c) 光学时间分隔多路复用 98 通道 ADC 输出。

飞行时间 CMOS 图像传感器

飞行时间 (ToF) 测距系统是一种很有前景的新应用, 近年来在高速、高灵敏度的全局快门 CMOS 图像传感器 (CIS) 的发展推动下, 逐渐应用于汽车、人体监测和机器视觉相机等领域。三星电子展示一种基于 65nm 背面照明工艺、640x480 7 μ m 像素的新型间接式 ToF CMOS 图像传感器。与基于 2-tap 像素的传统传感器相比, 这种新型传感器通过同时驱动 4-tap 和采用新型时钟延迟控制电路实现无运动伪影操作, 显著降低了列固定图案相位噪声 (FPPN)。该传感器的工作范围可达 400 cm, 功耗仅为 0.64 pW/像素。

论文 C21-3, “一种 640x480 像素间接飞行时间 CMOS 图像传感器, 具有 4-tap 7- μ m 全局快门像素和固定图案相位噪声自补偿”,
M.-S. Keel 等, 三星电子。



C21-3, 挥手的深度图像(a) 4-tap 和 (b) 2-tap 模式。

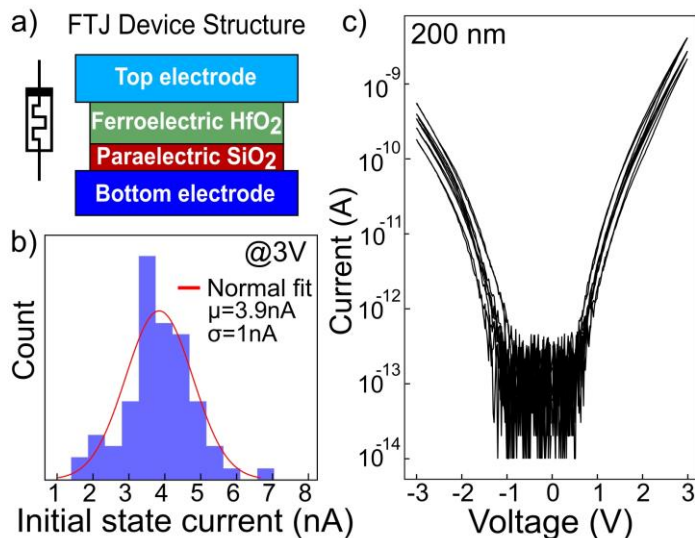
人工智能和量子计算

用于内存强化学习系统的铁电隧道结

东芝利用纳米级铁电隧道结 (FTJ) 忆阻器（无选通器的电导随机连续分布的忆阻器交叉阵列）演示内存内强化学习 (RL) 系统，该系统能够通过一个硬件友好的算法来学习行为策略。作者将表明，实际上，通常不受欢迎的随机电导在一定程度上对该系统是有益的，可以通过类似于随机搜索的过程来促进查找。他们通过实验证明了基于强化的路径搜索，并通过仿真解决了平衡电极这样的标准控制问题，性能优于类似的确定性 RL 系统。

论文 T2-4, “内存内强化学习系统与节制型随机电导铁电隧道结。”

R. Berdan 等, 东芝集团



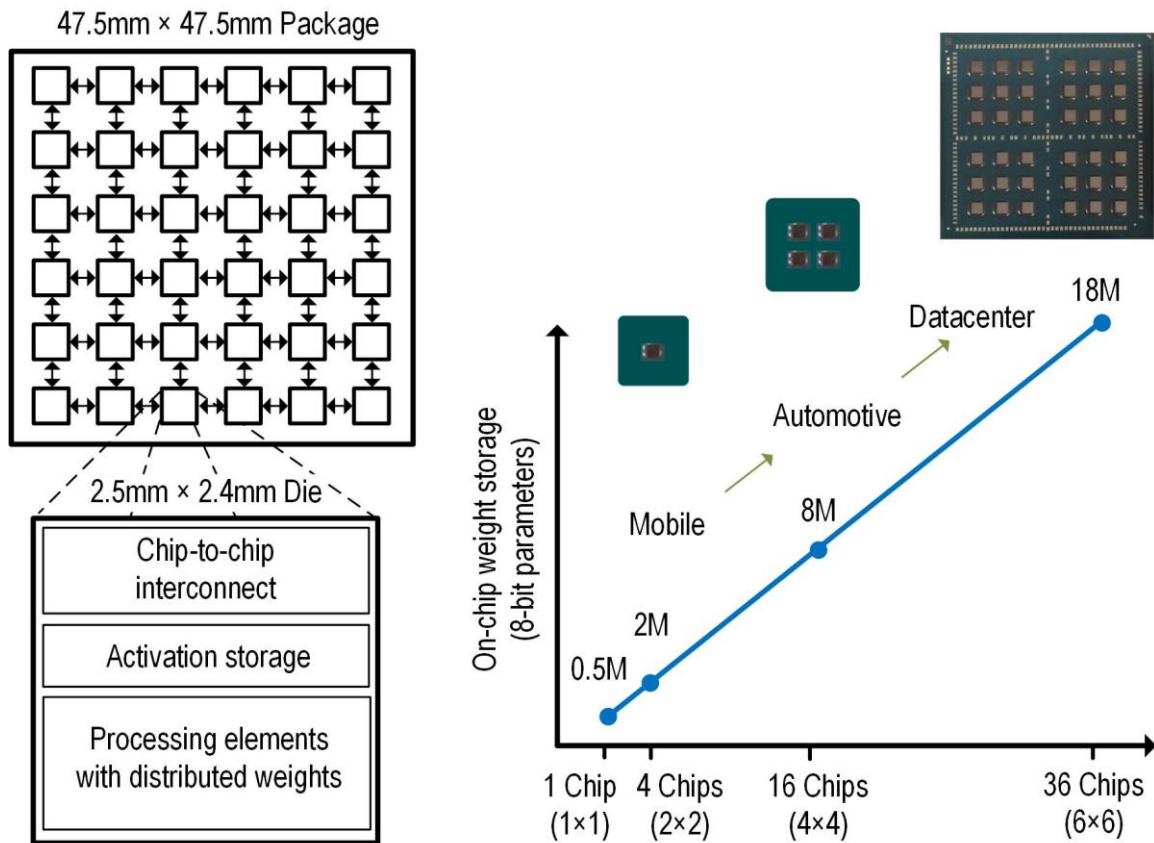
T2-4 FTJ 器件结构及初始状态电流分布

可扩展、基于多芯片模块的深度神经网络加速器

深度神经网络 (DNN) 具有多样化性能、精度和功率目标。由于设计和制造成本高，为每个目标打造专用加速器通常是不可行的。英伟达公司将展示一款可扩展的 DNN 加速器，它由 36 个芯片组成，通过有接地参考信号在多芯片模块 (MCM) 的网状网络中连接而成。虽然以前基于单个单片制作的加速器仅适用于特定的网络大小，但这里所提出的架构能够灵活扩展，在从移动到数据中心域这样广泛的 DNN 上进行有效推理。16nm 的加速器原型能让单芯片系统达到 1.29 TOPS/mm²，0.11pJ/op，4.01TOPS 峰值性能，让 36 芯片系统达到 127.8 峰值 TOPS 和 2615 图像/秒 ResNet-50 推理。

论文 C24-1, “一种 0.11 pJ/Op, 0.32-128 TOPS, 可扩展、16nm, 基于多芯片模块, 和使用接地参考信号的深度神经网络加速器, ”

B. Zimmer 等, 英伟达公司。



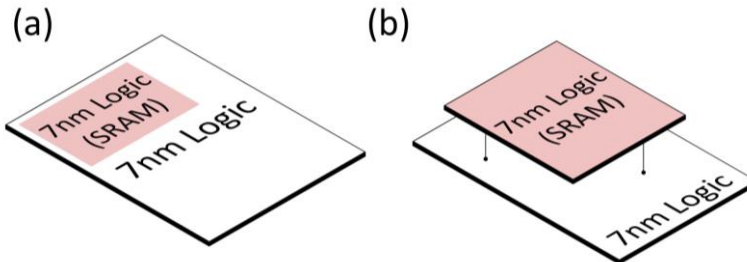
C24-1 所提出的基于 MCM 的 DNN 加速器系统概述。

2.5D/3D 集成

集成芯片系统 (SoIC™)

TSMC 将展示集成芯片系统 (SoICTM)，这是一种创新的 3D 异构集成技术，采用合格裸片在前段制程制造而成。与 2.5D 和带微凸块/TSV 的传统 3D-IC 相比，器件与 SoIC™ 的小芯片集成具有显著的高带宽密度和高功率效率优势。

论文 T2-3, “3D 多芯片与集成芯片系统 (SoICTM) 的集成”,
C. C. Hu 等, TSMC。

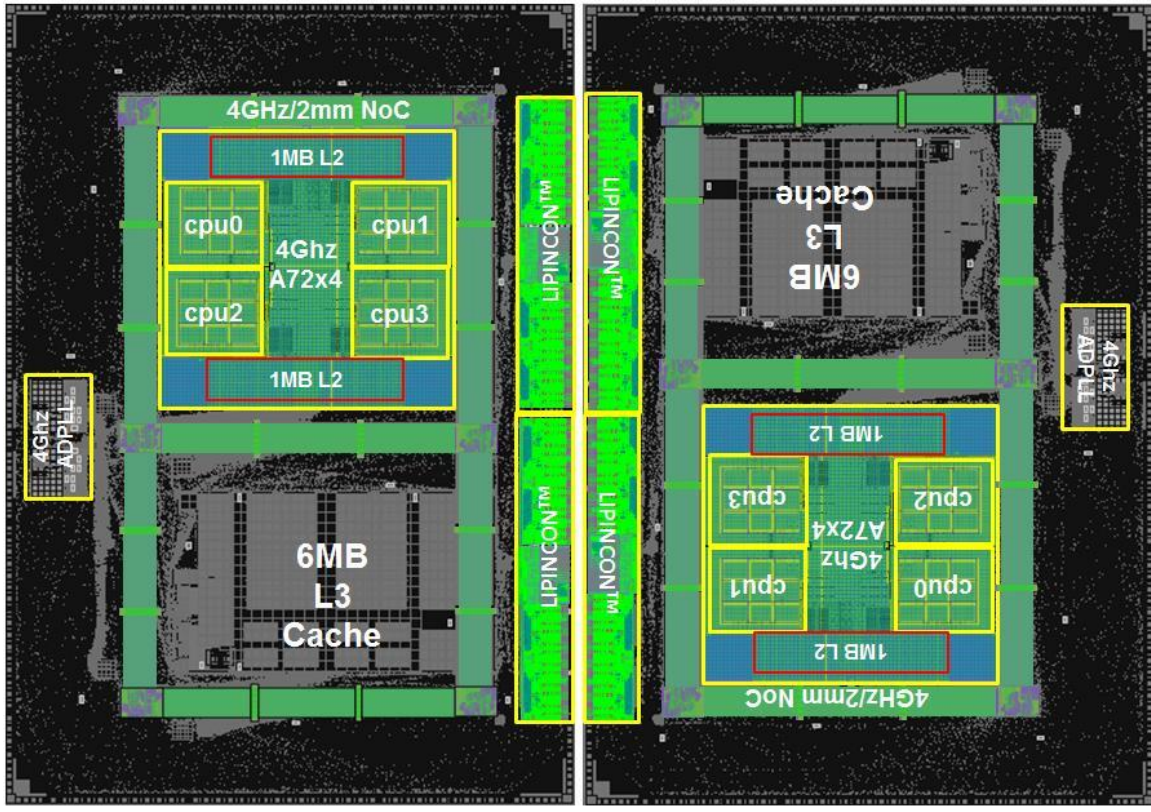


T2-3 SoIC 互联与典型的 2.5D 或 3D-IC 之间的比较。

一种采用 7nm 工艺的双小芯片的高性能计算处理器

为了实现大规模高性能处理器，并且提高成品率，降低产品成本，基于小芯片的设计变得越来越重要。今年，TSMC 将展示一款双小芯片高性能计算 (HPC) 处理器，它采用 CoWoS® 技术、7nm 工艺实现。每个芯片有 4 个 ARM Cortex®-A72 核，在涡轮电压条件下以 4Ghz 运行，片上核间网状互联则以高于 4Ghz 运行。小芯片间的连接接口称为 Low-Voltage-In-Package-INterCONnect (LIPINCON™)，提供 0.56pJ/bit 功率效率，1.6Tb/s/mm² 带宽密度和 320Gb/s 带宽。这一成果表明，基于小芯片的大规模高性能处理器正是现代高性能计算时代所需的产品。

论文 C3-1, “一种用于高性能计算的，基于 7nm，4Ghz Arm 内核的 CoWoS 小芯片设计”，
M.-S. Lin 等, TSMC。



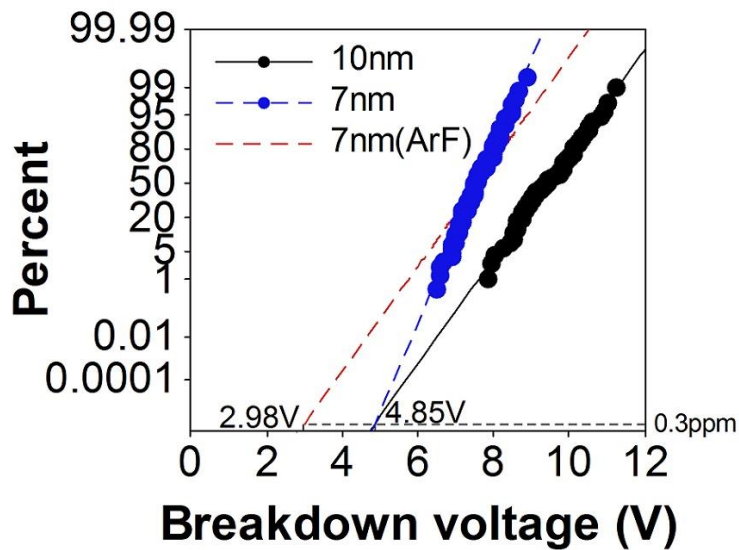
C3-1 双小芯片平面图。

先进的平台和 SOC

利用 EUV 提高 7nm 技术的可靠性

三星电子将报告用 EUV 制造的 7nm FinFET 技术的可靠性特性。与以前采用多种图案成形技术的节点相比，MOL 和 BEOL 的单一 EUV 图案成形有效改善了可靠性分布。它们成功展示了产品的可靠性，包括 SRAM、Logic HTOL 和 SER。这些结果表明，采用 EUV 的 7nm 技术已经可以用于大批量生产。

论文 T2-1, “利用 EUV 提升 7nm 工艺技术可靠性”,
K. Choi 等, 三星电子。

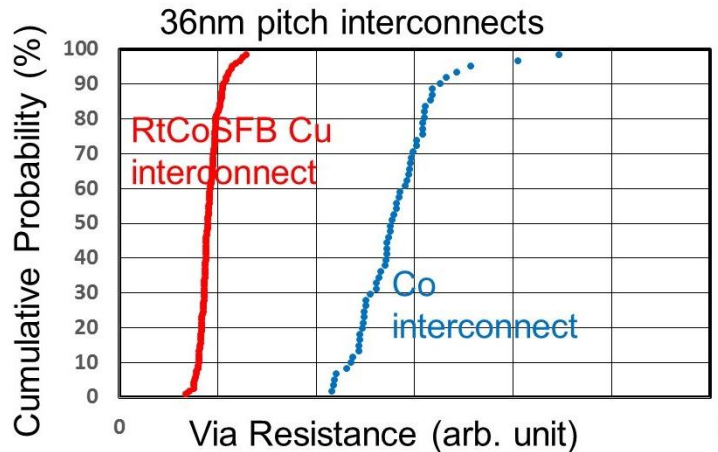


T2-1 栅极接触 Vramp 的 VBD 斜坡分布显示出 EUV 工艺的显著改善。

用于 7nm 及以上采用 RtCoSFB 工艺的 Cu 互联

IBM 将展示 Cu 互联的 EM 和 TDDDB 可靠性，Cu 包含薄至 2 nm 的阻挡/浸润层，采用了 PVD 回流通过 Co 自形成阻挡 (RtCoSFB)。与具备标准扩展阻挡/浸润层的 Cu 互联相比，采用 RtCoSFB 的 Cu EM 的寿命延长 2000 倍，与纯 Co 互联相当。虽然相比 Co 互联，采用 RtCoSFB 的 Cu 互联支持更低的线路电阻和通孔电阻，但 RtCoSFB 的退火过程会导致 Cu 在双嵌入式线端通孔处聚集，导致通孔链产率较低。他们认为解决这一几何敏感的通孔填充问题是将 Cu 的可制造性扩展到 7nm 及以上的关键。

*论文 T2-2, “将 Cu 金属化扩展到超过 7 nm 节点的技术挑战和有利因素”,
T. Nogami 等, IBM Research。*

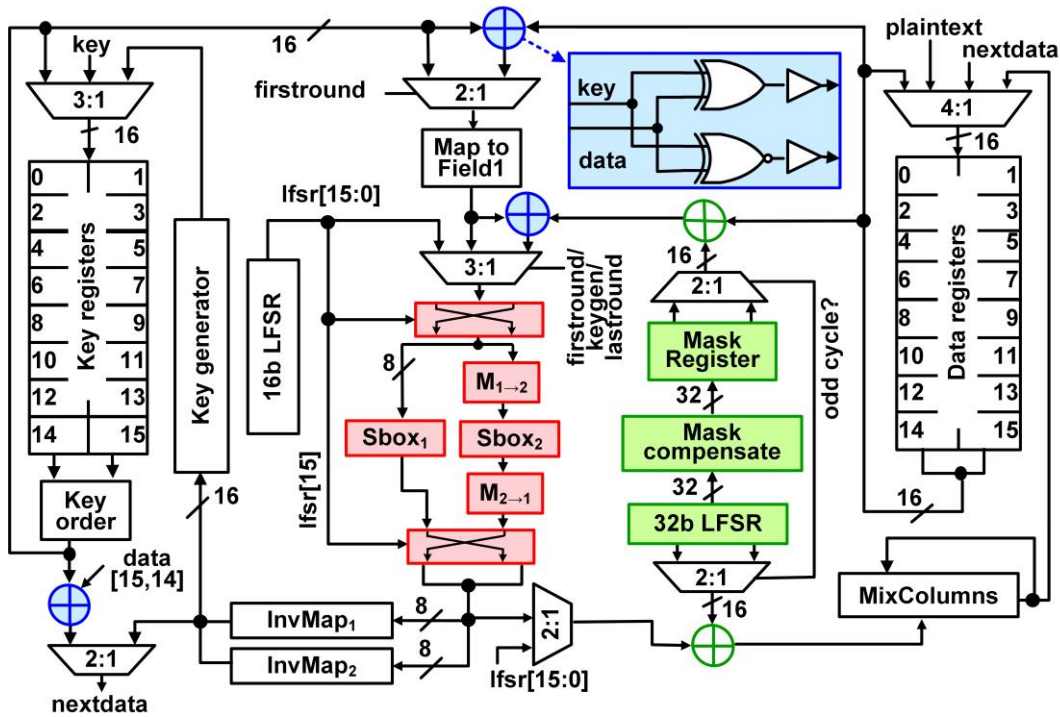


T2-2 带有RtCoSFB的Cu互连通孔电阻为Co互连通孔电阻的1/3。

14nm CMOS 轻量级安全 AES 加速器

对于物联网，硬件安全性是最关键的问题之一，在物联网中，恶意攻击者利用加密加速器的物理安全漏洞窃取在 SoC 中处理的有价值的信息。边信道攻击是一种基于加速器功耗统计分析的物理攻击。今年，英特尔将展示一款用 14nm CMOS 制作的轻量级安全 AES 加速器。该加速器展示了对功率分析边信道攻击高达 1200 倍的抗攻击性。该设计采用随机异构 SBoxes 洗牌算法、线性掩码 MixColumns 和双轨密钥添加，在不会牺牲太多硬件资源的情况下，显著抑制了功耗与密钥之间的相关性。测量结果展示了在超过 12M 倍加密痕迹上的抗攻击操作。硬件的功率、面积和性能开销分别为 23%、28% 和 0.7%。

论文 C20-1, “一种 4900um² 839Mbps 抗侧信道攻击的 AES-128, 采用 14nm CMOS 工艺、异构 SBox 洗牌算法、线性掩码 MixColumns 和双轨密钥加法”,
R. Kumar 等, 英特尔



C20-1 抗边信道攻击的AES-128 组织。

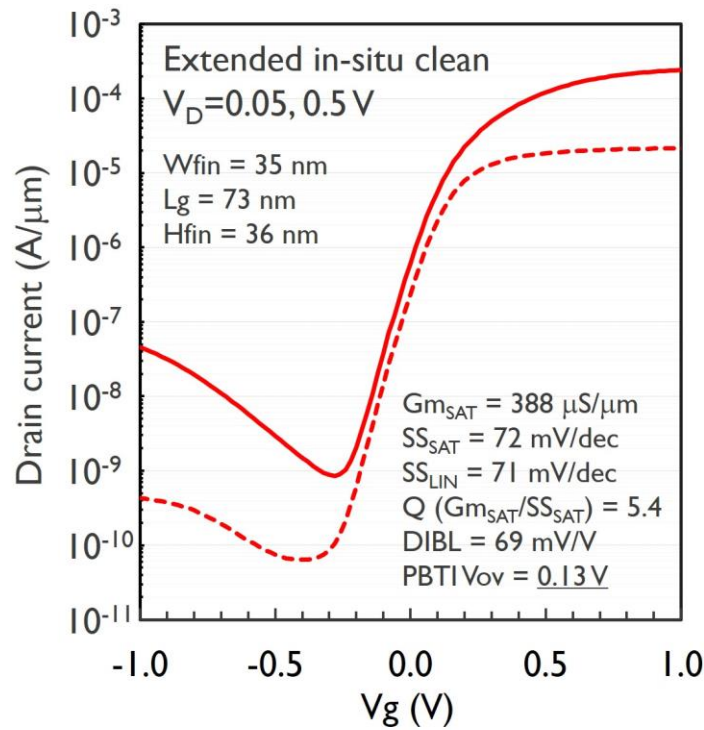
先进的晶体管技术

Ge nFinFET 的器件性能和可靠性达到历史新高

imec 展示 SiO₂ 假栅极氧化层 (DGO) 沉积和去除工艺是改善 Ge nFinFET 特性的两个重要环节。在 DGO 沉积过程中，通过抑制 Ge 沟道表面氧化，可以提高迁移率并缩小鳍栅，而通过延长 DGO 去除工艺，可以提高 PBTI 的可靠性、扩展鳍片的 D_{it} 以及高场迁移率，在 73 nm L_g 下，G_m/SS 达到 5.4 的历史新高。

论文 T9-1, “通过改进栅极堆叠表面处理，使 G_{msat}/SS_{sat} 和 PBTI 在硅钝化 Ge nFinFET 中的可靠性达到了新的水平”

H. Arimura 等, imec。

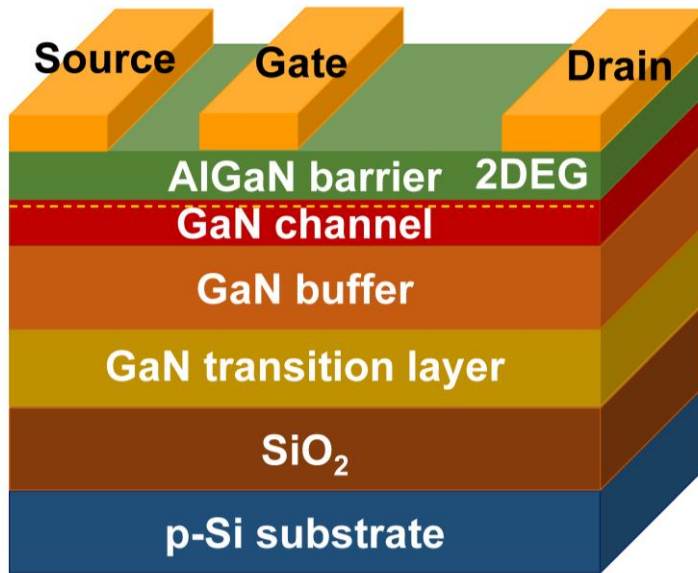


T9-1 源自 35 nm 宽的 Ge nFinFET 的 ID-VG 曲线。

通过 GaN-on-Insulator(GNOI)-on-Si 晶圆实现的高击穿电压 GaN HEMT

GaN-on-Si 技术是面向下一代电力电子学应用最有潜力的技术之一。新加坡麻省理工学院研究与技术联盟 (SMART) 将利用外延层转移技术，展示 200 毫米 GaN-on-Insulator (GNOI)-on-Si 晶圆。制造的 HEMT 的关态击穿电压达到历史新高 2200 V，品质因数高达 BV_{off2}/R_{on} ，sp 高达 1.87 GW/cm²。

论文 T19-1, “击穿电压高达 2200 V 的 GaN HEMT 基于 200 mm GaN-on-Insulator(GNOI)-on-Si 晶圆实现”,
 Z. Liu 等, 新加坡麻省理工学院研究与技术联盟 (SMART)。

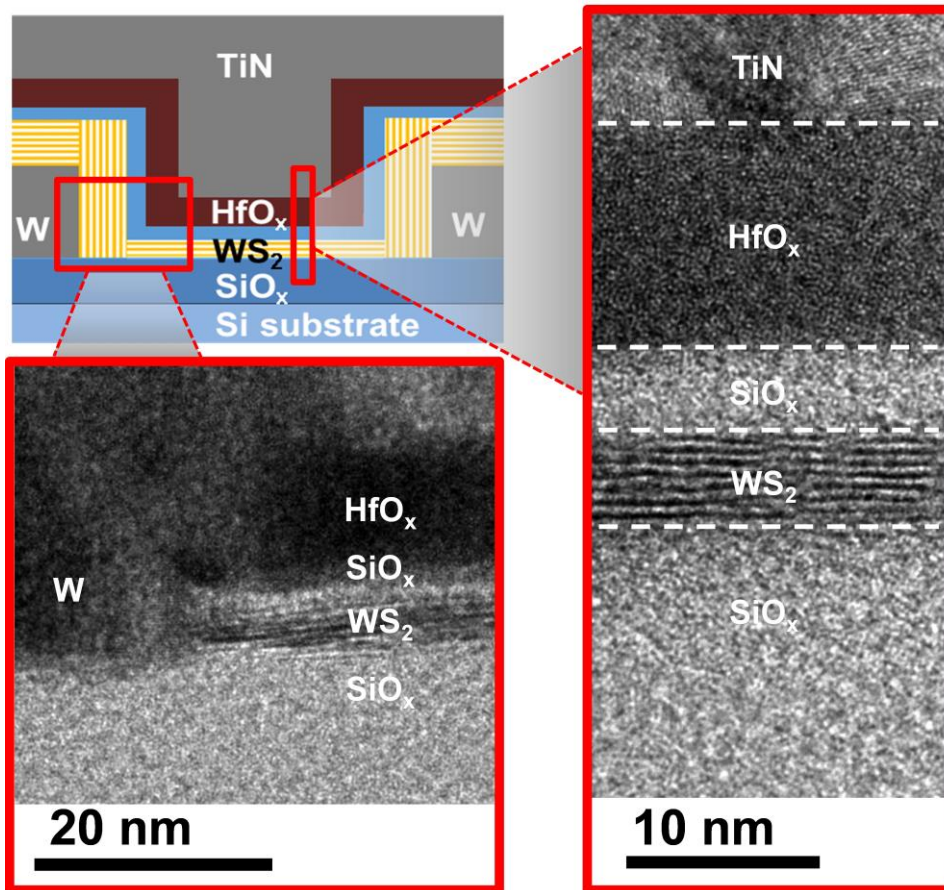


T19-1 提出的 GaN HEMT 结构。

直接在 SiO_x/Si 衬底上进行通道区域选择性 CVD 生长的 WS₂ 通道 pFET 演示

2D 材料的选择区域生长是批量生产具备抑制短通道效应的 2D 通道晶体管的关键技术。台湾半导体研究中心 (TSMC) 将展示首款采用选择区域 CVD 生长在 SiO_x/Si 衬底上制造的顶栅极 WS₂ P 通道 FET。制造的 40 纳米栅极长度的 WS₂ FET 展示的开/关比为 10⁶，亚阈斜率为 97 mV/dec，DIBL 接近于 0。

*论文 T19-2, “直接在 SiO_x/Si 衬底上使用通道区域选择 CVD 生长的 40 纳米通道长度顶栅极 WS₂ pFET 的首次演示”,
C.-C. Cheng 等, TSMC。*



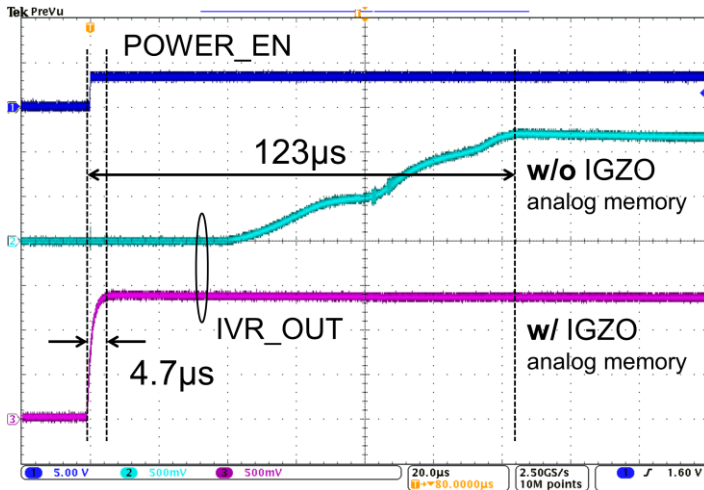
T19-2 提出的 WS₂ pFET 的截面图。

用于常关闭计算，基于 IGZO 的 MCU

今年展示的创新低功耗技术之一是为常闭计算而设计的基于 IGZO 的 MCU。该 MCU 采用 60 纳米 IGZO 工艺，在处理单元和存储器的电源门控过程中均能保存数据，实现了仅需 1 个时钟 (21ns) 周期的备份时间和 4.49us 的快速恢复。通过 IGZO 的低泄漏电流能实现了 880nW 超低待机功率。这一成果证明，IGZO 技术可以作为一项重要的备用技术，推动和加快需要低功耗和快速唤醒功能的物联网和边缘人工智能应用推广。

论文 C5-1, “一种 48 MHz, 880-nW 待机功耗, 常闭 MCU, 采用 60-nm 晶体 In-Ga-Zn 氧化物”工艺, 实现了 1 个时钟周期的完全备份和 4.69-us 唤醒时间 “

T. Ishizu 等, Semiconductor Energy Laboratory Co., Ltd.



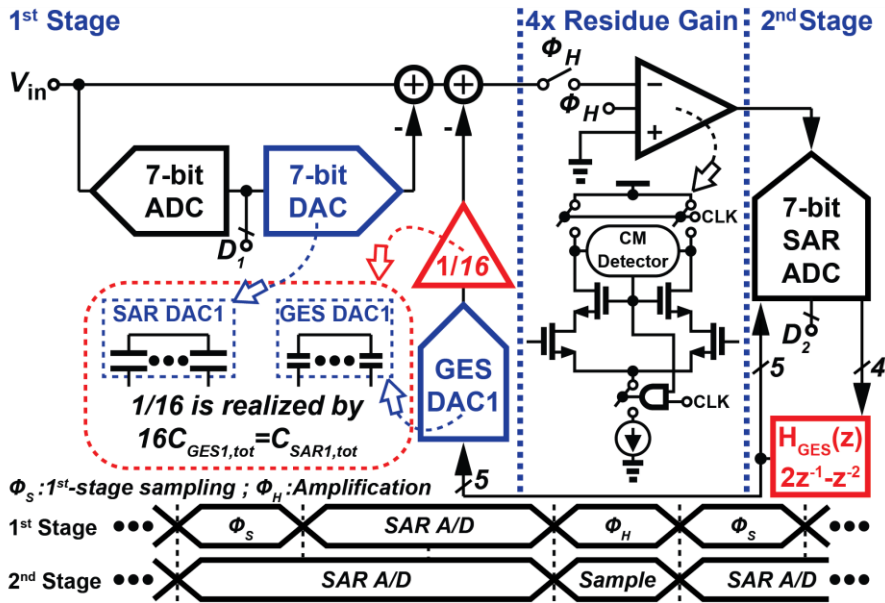
C5-1 有/没有IGZO 模拟存储器的集成稳压器的稳定时间。

数据转换器电路和高速接口

具有二阶级间增益误差整形的 75.8dB-SNDR 流水线 SAR ADC

广泛应用于高速数据转换的流水线 SAR ADC 对级间增益误差非常敏感。德克萨斯州大学奥斯汀分校的一篇论文提出了一种低成本增益误差整形 (GES) 技术。该技术可以抑制流水线 SAR ADC 的带内级间增益误差, 适用于闭环和开环级间放大。采用所提出的二阶 GES 技术和 40nm CMOS 工艺制造的流水线 SAR ADC 在 12.5MHz BW 内达到 75.8dB SNDR, 以 100MS/s 运行时仅消耗 1.54mW。与 GES 相关的硬件只占不到 2% 的核心芯片面积

论文 C7-1, “一种具有二阶级间增益误差整形的 75.8dB-SNDR 流水线 SAR ADC”,
C-K. Hsu 等, 德克萨斯州大学奥斯汀分校

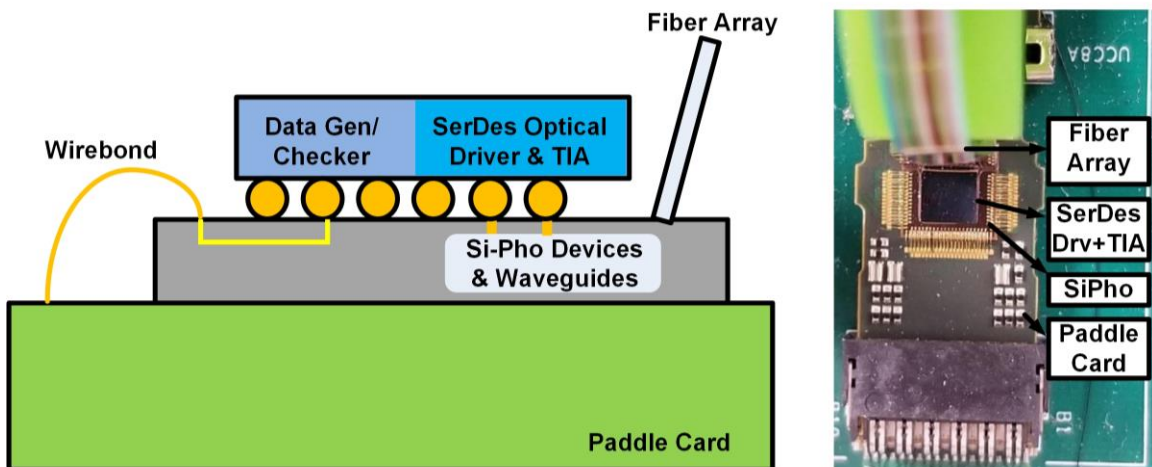


C7-1 采用二阶 GES 的 ADC 的方框图和时序图。

50Gb/s 混合集成硅光子光学链路

硅光子是优于电信号、实现高带宽密度和高能效的一项关键技术。今年，Xilinx 将展示 50Gb/s 混合集成硅光子光学链路。采用 16nm CMOS 工艺制作的 Tx 和 Rx 采用 T 形线圈来提高电吸收型调制器的调制效率，降低转阻放大器的噪声。在 BER<10⁻¹² 时，链路灵敏度为 -10.9dBm 光调制幅度，在 50Gb/s 时，包括激光的能量消耗为 4.31pJ/bit。

论文 C16-1, “采用 16nm FinFET 工艺的 50Gb/s 混合集成硅光子光学链路”, M. Raj 等, Xilinx, Inc.

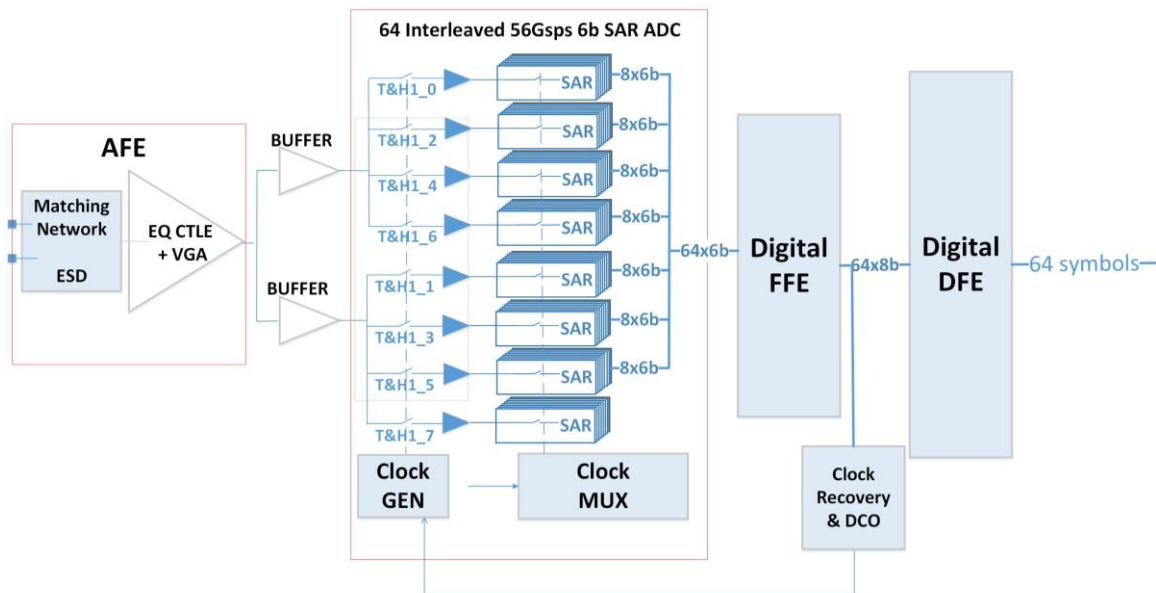


C16-1 硅光子光学收发器（驱动器和 TIA）：方框图（左侧）和照片（右侧）。

采用 10nm 工艺，适用于远程通道的 112Gb/s PAM4 接收机

上一届 VLSI 电路研讨会报告了世界上第一个集成 112Gb/s PAM4 接收机。在今年的研讨会上，英特尔在此基础上进行了进一步的提高，将展示一个范围更大、面积更小的 112Gb/s PAM4 接收机。除了决策模块中的 64 路时间交织 SAR-ADC 和 2 步级联采样电路结构外，它还在模拟前端采用了基于 LC 无源元件的 Q 整形均衡器技术，使之能够实现低噪声和强劲的均衡性能。该成果采用 10nm 工艺实现，并使用 112Gb/s PAM4 PRBS-31 输入数据模式进行评估。这个包含 16tap FFE 和 1tap DFE 片上 DSP 的接收机在单通道上实现了 Pre-FEC 原始 BER $<10^{-6}$ ，通道损耗为 35dB，有效面积为 0.281mm²。

论文 C22-1 “一种适用于远程通道的，112Gb/s PAM4 ADC、采用 10nm 工艺的 SERDES 接收机”，Y. Krupnik 等，英特尔

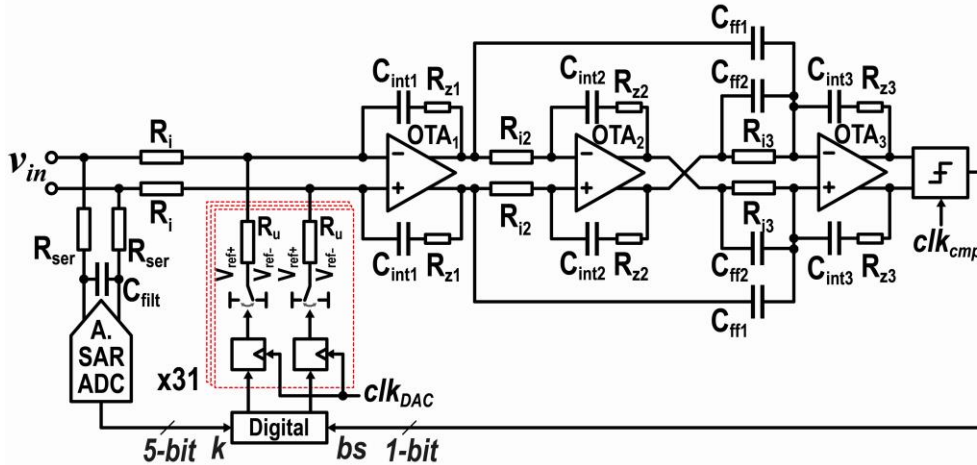


C22-1 所提出的接收机的方框图。

适用于音频应用的低功率连续时间缩放式 ADC

代尔夫特理工大学将展示一种采用缩放结构的连续时间 (CT) A/D 转换器。在移动音频应用领域，数据转换系统必须实现低功耗和高分辨率。传统的高精度 A/D 转换器因为电容负载和采样，给输入和参考驱动器带来了沉重的负担。所提出的连续时间缩放式 A/D 转换器具有电阻性输入阻抗，因此可以降低这种对外围驱动器的要求。该 A/D 转换器实现了 108.5 dB 动态范围、106.4 dB SNDR 的高精度转换，功耗仅为 618 μ W。

论文 C19-1, “一种适用于音频应用的低功率连续时间缩放式 ADC”，B. Gönen 等，代尔夫特理工大学。



C19-1 所提出的 CT 缩放式 ADC 的简化原理图。

电源管理电路

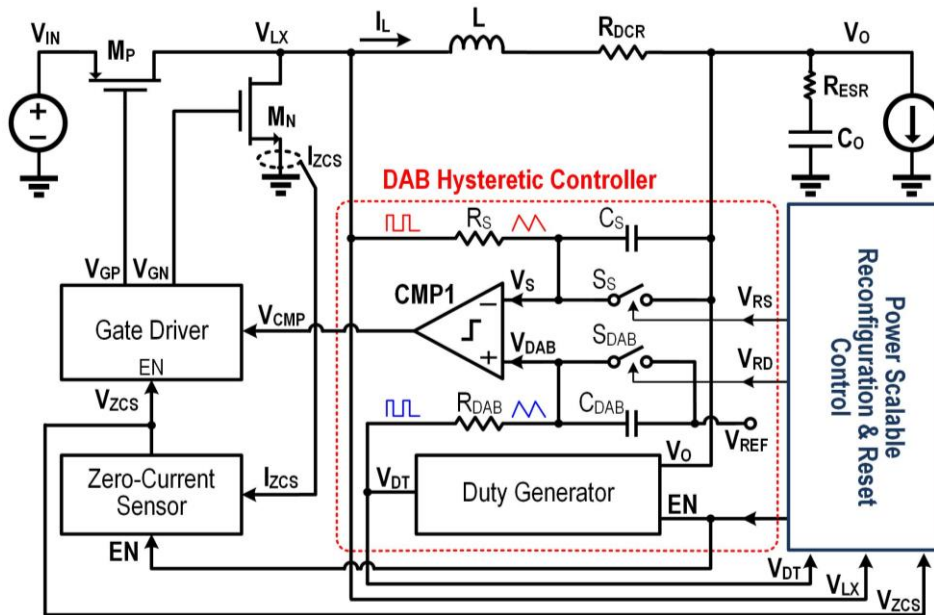
C0173

适用于 5G 物联网的直流-直流转换器

5G 物联网中的功率转换器要求能够以超快瞬态响应去完成零到最大功率之间的功率切换，同时提供高效和大的功率范围，并保持低系统配置和高功率密度。德克萨斯州大学达拉斯分校将展示一款适用于 5G 物联网的双重自适应约束 (DAB) 滞后控制功率转换器。得益于 DAB 控制，在响应 1A/3ns 负载升高/降低时，它只需 1% 的 247ns/387ns 建立时间 (t_{settle})。这比之前报道的 0.18 μm CMOS 中最快的速度快了 6 倍。在 99.9% 的 2.5W 全功率范围内，其效率都达到 80% 以上。因为高效的设计，转换器实现了目前报道的最高芯片功率密度 14.3W/mm²。

论文 C15-3, “一种适用于 5G 物联网的, 10-MHz 14.3W/mm² DAB 滞后控制功率转换器, 达到 2.5W/247ns 全负载功率切换和在 99.9% 功率范围超过 80% 的效率”,

K. Wei 等, 德克萨斯州大学达拉斯分校



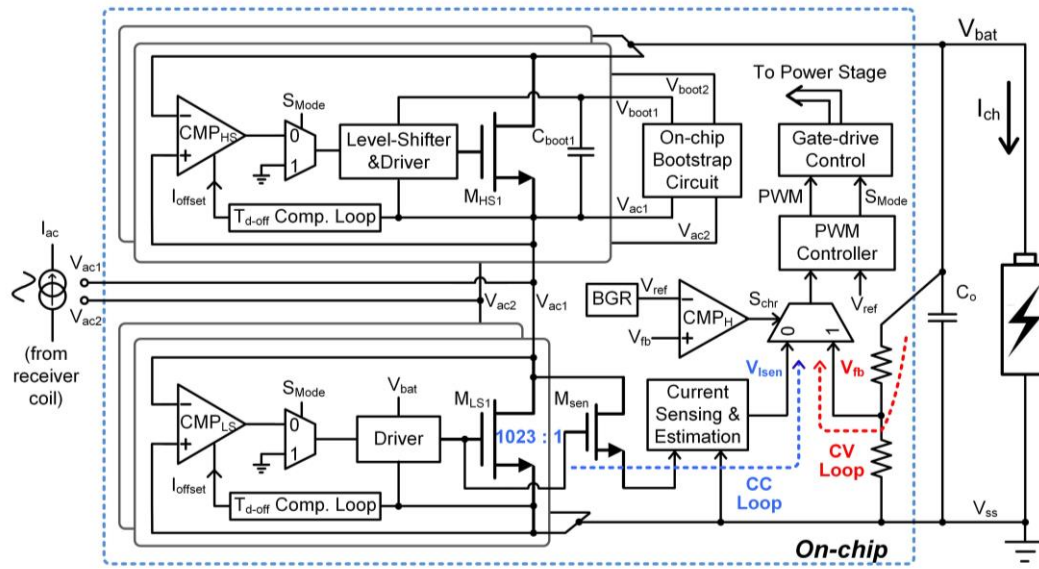
C15-3 所提出的直流-直流转换器的方框图。

高效、紧凑的单级无线充电器

恒流和恒压 (CC-CV) 电池充电已得到广泛应用，但在 1A 级应用中实现小面积、低功耗的无线 CC-CV 仍然是一个挑战。USTC 和 HKUST 成功在其紧凑的单级功率转换器中实现了电压整流、稳压和 CC-CV 充电三大功能，并在 0.35um CMOS 工艺 8mm²IC 上集成了自举电容。当充电电流分别为 1A 和 1.5A 时，所测的峰值效率分别为 92.3% 和 91.4%。

论文 C26-1, “一种采用 CC-CV 充电和片上自举技术的 6.78MHz 92.3% 峰值效率单级无线充电器”，

L. Cheng 等, 中国科学技术大学。



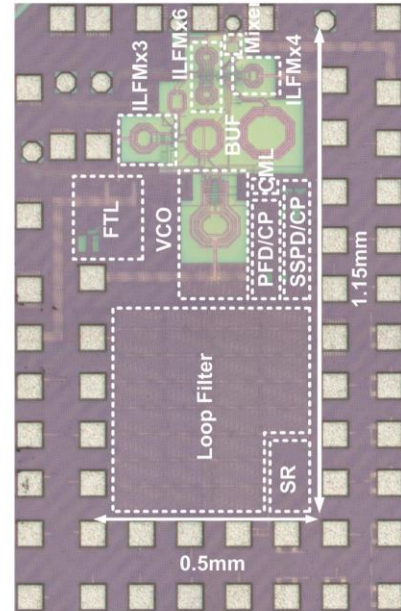
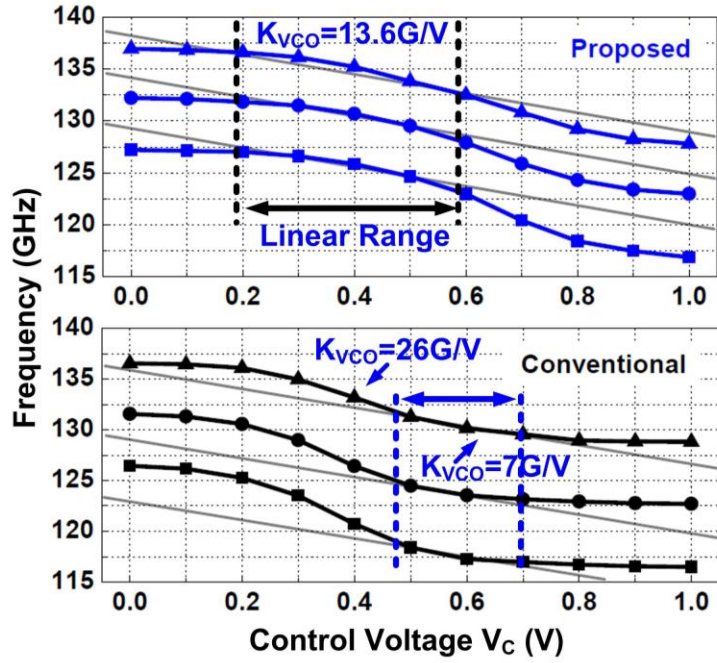
C16-1 所提出的充电器的方框图。

频率产生

采用 65nm CMOS 工艺的 270-GHz 完全整合频率合成器

宽带、低相位噪声、精确的 sub-THz 频率发生器对于相干旋转光谱系统以及太赫兹无线通信至关重要。HKUST 将展出一款采用成本经济的 65nm CMOS 工艺的 sub-THz 频率合成器。它可以通过采用级联式注入锁相倍频器 (ILFM) 链，产生 61.2 至 100.8GHz、122.4 至 136.8GHz 及 198.5 至 273.6GHz 频率。在 211GHz 载波下，实现了 -11dBm 的输出功率和 0.16% 的直流到射频转换效率。

论文 C4-2, “一种采用 65nm CMOS 工艺的 270-GHz 完全集成的频率合成器,”
X. Liu 等, 香港科技大学



C4-2 测量的注入锁相倍频器的频率调谐范围和所提出的频率合成器的芯片显微照片。