

## 2019年 VLSI テクノロジー／回路シンポジウムの技術ハイライト

2019年 VLSI テクノロジー／回路シンポジウムは、半導体集積回路技術の進歩の速さや進展や変革を定義するといっても過言ではない国際会議であり、6月9日から14日にかけて京都にて本会議が行われます。2つのシンポジウムの日程は完全に一致しており、多くのジョイントセッションが企画されています。シンポジウム本会議の前の6月9日にはサンデーワークショップが、6月10日にはショートコースが開催され、本会議後の6月14日には、自動運転関連技術をテーマにしたフライデーフォーラムが開催されます。

シンポジウム全体のテーマは、“**Pushing the Limits of Semiconductors for United and Connected World**” (半導体の限りなき挑戦で、より強く結びついた世界を実現)です。スマートなデバイスとシステムが人々のコミュニケーションのかたちを変え、世の中を変えていく。それを可能にする先端テクノロジーと革新的な回路設計と応用システムが披露され、議論される場であるということです。

以下は、このテーマに沿ったハイライト論文です。

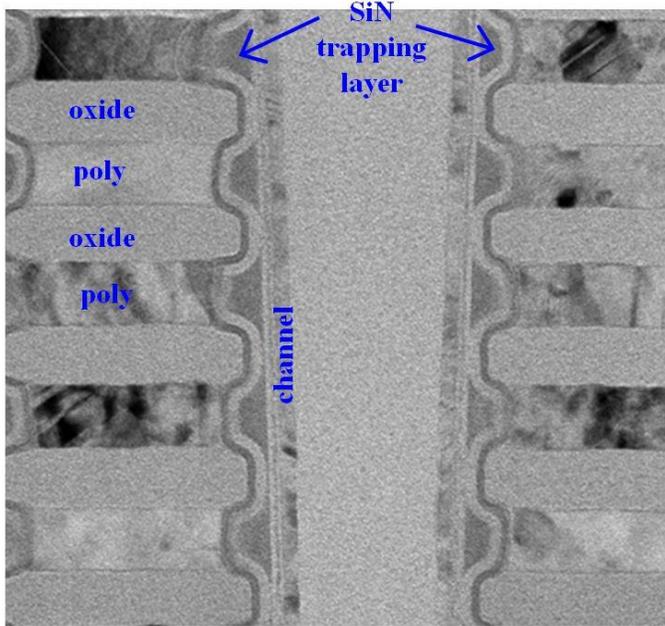
## ADVANCED MEMORIES

### 独立型窒化膜電荷トラップ層を備えた 3D NAND によるリテンション改善

データ保持特性改善は、窒化膜電荷トラップ型 3D NAND Flash の重要課題です。Macronix International Co., Ltd. は、独立型窒化膜電荷トラップ層を備えた 3D NAND Flash を発表します。1000 回書き換え消去を行った後に 125°C で 1 週間保持したところ、独立型窒化膜電荷トラップ層を適用した事により、しきい値のシフト量を 600 mV 程度に抑えることが出来ました (125°C での保持前のメモリウィンドウ幅は 7 V)。これは従来の独立型ではない窒化膜電荷トラップ層を備えた素子では到達できない値です。

*Paper T16-2 “A Novel Confined Nitride-Trapping Layer Device for 3D NAND Flash with Robust Retention Performances,”*

*C.-H. Fu et al., Macronix International Co., Ltd.*



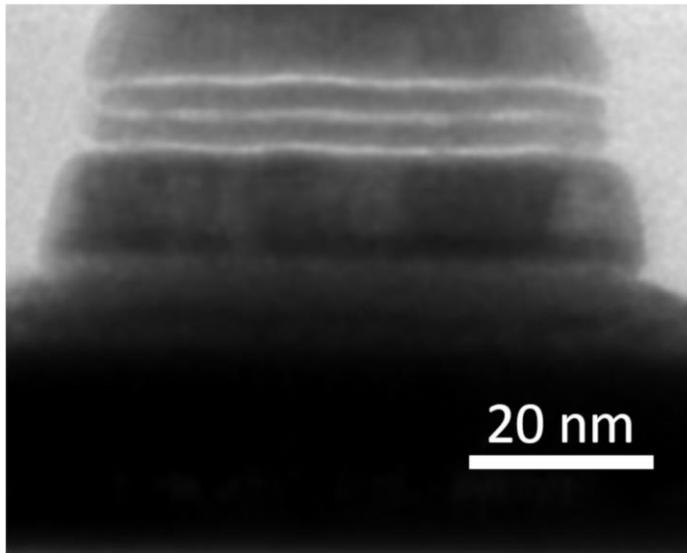
T16-2 独立型窒化膜電荷トラップ層を備えた 3D NAND の断面TEM 像。

### 20nm 世代以降の STT-MRAM 技術

20nm 世代以降の STT-MRAM 技術として、東北大学は 4 重界面磁気トンネル接合 (MTJ) 技術を発表します。この技術は 300mm の新しい低ダメージインテグレーションプロセスで作製されています。この技術はポスト 2 重界面 MTJ 技術として考えられており、熱安定性とスイッチング効率 ( $\Delta I_{C0}$ ) の両方を従来の 2 重界面 MTJ 技術に比べて 1.5~2 倍改善します。

*Paper T11-4 “Novel Quad interface MTJ technology and its first demonstration with high thermal stability and switching efficiency for STT-MRAM beyond 2Xnm,”*

*K. Nishioka et al., Tohoku Univ.*

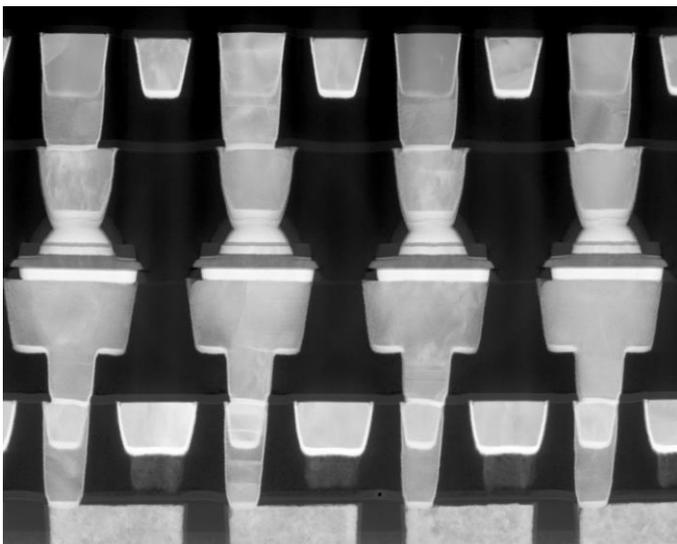


*T11-4 4重界面MTJ構造の断面TEM写真.*

#### **22FFL FinFET に搭載された混載 RRAM**

ロジックプロセスと親和性が良く、データ保持特性と書き換え耐性が良好である混載メモリ技術が求められています。RRAM はこれらの要求を満たす有望な候補です。INTEL 社は、22FFL FinFET 上に混載する RRAM 技術を発表します。7.2Mbit アレイで  $10^4$  回の書き換え耐性と  $85^\circ\text{C}$  において 10 年のデータ保持特性を達成しました。

*Paper T18-1 “Non-Volatile RRAM Embedded into 22FFL FinFET Technology,”  
O. Golonzka et al., Intel Corp.*

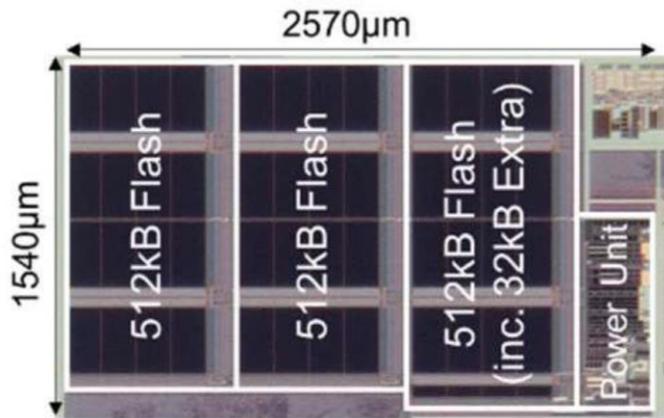


T18-1 22FFL の金属配線層間に形成された混載RRAM の断面TEM 像

### IoT 応用向け低電力組込みフラッシュメモリ

IoT の幅広い用途に使うために、エッジデバイスには超低消費電力での動作が期待されています。特に混載フラッシュでは、エネルギーハーベスティングのわずかなエネルギーによるリアルタイムセンサーのために、読み出し電力の削減が強く求められています。ルネサスエレクトロニクスは、65nm SOTB プロセスによる 1.5M バイトの 2T-MONOS フラッシュマクロを発表します。SOTB プロセスの特徴を引き出した低エネルギーのセンスアンプとデータ伝送回路技術を採用しています。この混載フラッシュは 64MHz で動作し、エネルギーハーベスティングを十分に適用できる 0.22pJ/ビットの低い読み出し電力を達成しました。

*Paper C17-1 “A 65nm Silicon-on-Thin-Box (SOTB) Embedded 2T-MONOS Flash Achieving 0.22 pJ/bit Read Energy with 64 MHz Access for IoT Applications,”  
K. Matsubara, et al., Renesas Electronics Corp.*



C17-1 2T-MONOS 組込みフラッシュマクロのチップ写真

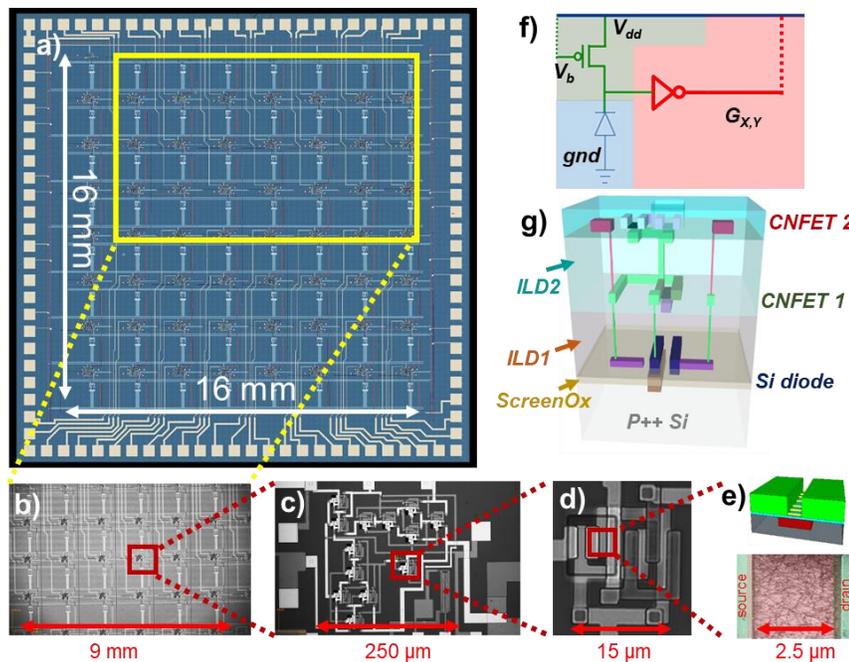
## SENSORS, RF, IoT & BIOMEDICAL

### カーボンナノチューブ回路を用いた 3D イメージング システム

単一の 3D イメージングシステムのハードウェア試作品を MIT が発表します。伝統的なシリコン イメージャの BEOL プロセスの中に演算層を集積しています。本システムでは、ローピクセル・データから出たイメージャ出力を高度に演算された情報に変換することができます。構造的には、シリコンピクセルの下層に続いて、2層の CMOS カーボンナノチューブ FET (CNFET) という、3つの回路層が垂直に存在しています。メモリにデータ蓄積する前に、CNFET で、リアルタイムで同時エッジ検出を行なっています。この方法により、改善された演算レイテンシーを持つイメージ分析システムが実現できます。

*Paper T2-5 “Monolithic Three-Dimensional Imaging System: Carbon Nanotube Computing Circuitry Integrated Directly Over Silicon Imager,”*

*T. Srimani et al., Massachusetts Institute of Technology.*



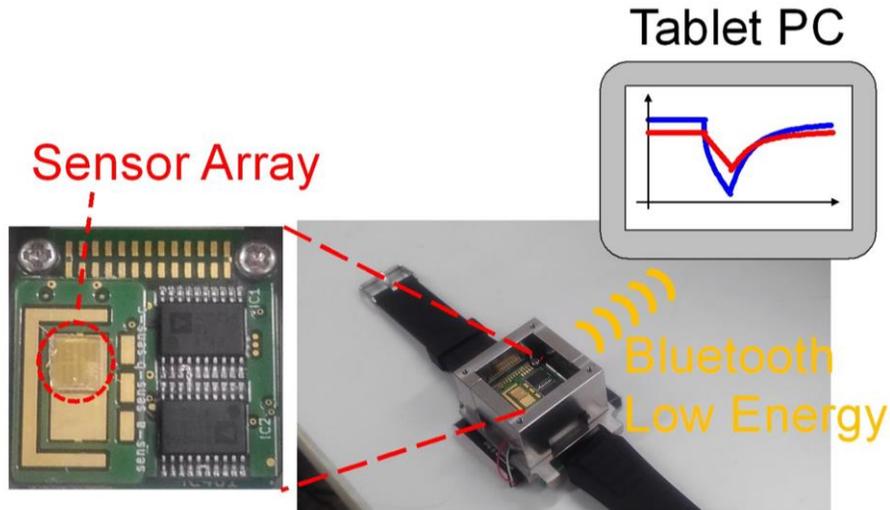
*Paper T2-5 シリコンフォトダイオード(第一層)とCNFET(第二層・第三層)を持つ 3D イメージャの概念図.*

### ナノシート状触媒金属を用いた低消費電力ガスセンサー

低消費電力ガスセンサーは、IoT 機器向けに有用な技術です。慶応義塾大学、九州大学、東京大学の共同研究チームは、ナノシート状触媒金属を用いた水素とア

ンモニアのガスセンサーを発表します。動作に必要な熱エネルギーは外部のヒーターからでなく、素子自体のジュール発熱により供給されます。この方式により低消費電力(0.14 mW)での動作を可能にしています。

**Paper JFS2-3 “Low-Power and ppm-Level Detection of Gas Molecules by Integrated Metal nanosheets,”**  
**T. Tanaka et al., Keio Univ.**

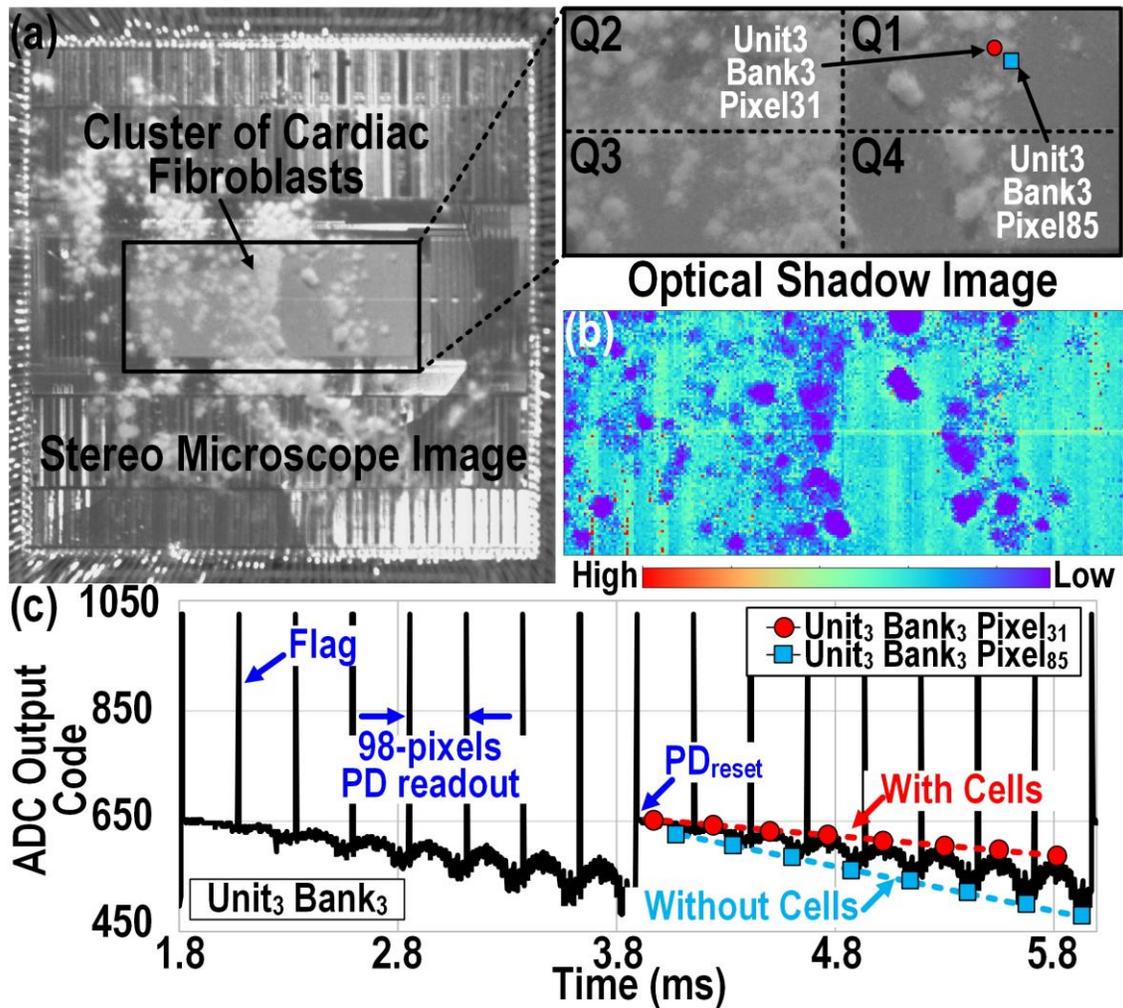


JFS2-3 時計型のケースに格納されたガスセンサー。

#### マルチモード細胞センサ／電気刺激発生器アレイ

ジョージア工科大学より、チップ上に培養した細胞に対して多角的な計測を行うセンサが発表されます。このセンサは 130nm 標準 CMOS プロセスで実現されており、電位・光・4 端子インピーダンスイメージングを行うことができます。また計測以外にも電気刺激の機能を備えています。画素数は 21952 画素あり、同時に 1568 画素を動作させることができます。画素ピッチは  $16\ \mu\text{m} \times 16\ \mu\text{m}$  であり、これは  $8\ \mu\text{m} \times 8\ \mu\text{m}$  の金電極と  $6\ \mu\text{m} \times 6\ \mu\text{m}$  の光センシング用フォトダイオードを含みます。電極は動作モードに応じて柔軟に構成され、複数を協調的に利用します。すべてのセンサ機能が報告されており、特に電位計測・光イメージング、インピーダンスイメージング機能については、実際にチップ上に培養した細胞で実証データが報告されています。

**Paper C6-3 “A 21952-Pixel Multi-Modal CMOS Cellular Sensor Array with 1568-Pixel Parallel Recording and 4-Point Impedance Sensing,”**  
**D. Jung et al., Georgia Institute of Technology.**



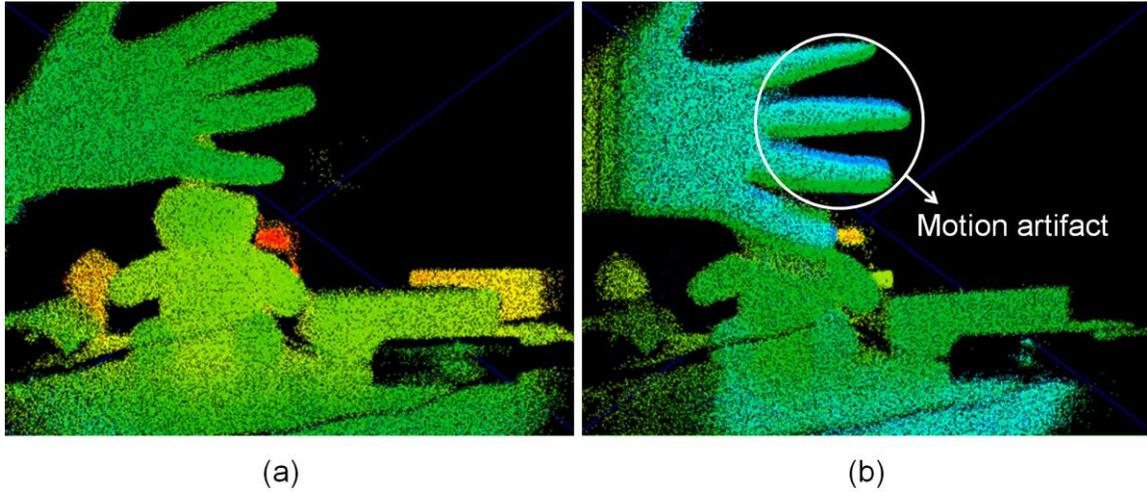
C6-3 (a)立体顕微鏡像, (b) チップ上で培養された線維芽細胞の光学像, (c)時分割多重された98チャンネルのADC光出力。

### 飛行時間 (Time-of-Flight (ToF)) 測距用 CMOS イメージセンサ

飛行時間 (Time-of-Flight (ToF)) 測距システムは自動運転や人モニター、マシンビジョンなどに有用と考えられる、新しい、そして、有望なアプリケーションで、最近の高速グローバルシャッターCMOS イメージセンサ (CIS) の開発によって、その開発はますます加速しています。Samsung Electronics は 65 nm の裏面照射プロセスを用いた 640x480 7 $\mu$ m 画素の間接型 ToF CIS を発表します。本センサは1画素あたり同時にアクセス可能な4つのタップ (ゲート) を用いており、従来の2-tap型に比して偽信号が発生しない距離画像を達成しました。また、新規クロック遅延制御回路により、列固定パターン位相ノイズを劇的に低減しました。本

センサは 400 cm レンジまでの測距をわずか 1 画素あたり 0.64pW の消費電力で動作します。

*Paper C21-3 “A 640x480 Indirect Time-of-Flight CMOS Image Sensor with 4-tap 7-um Global-Shutter Pixel and Fixed-Pattern Phase Noise Self-Compensation Scheme,”  
M.-S. Keel, et al., Samsung Electronics Co., Ltd.*



C21-3 手を振る画像の深度マップ, (a)4 タップモード(b)2 タップモード.

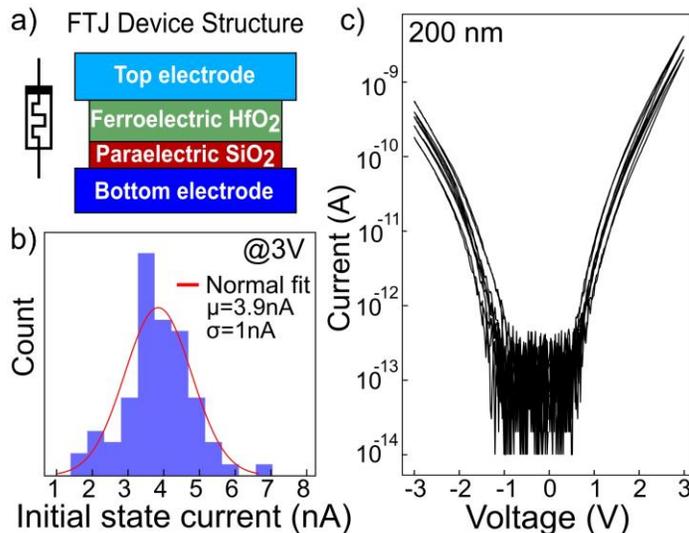
## ARTIFICIAL INTELLIGENCE & QUANTUM COMPUTING

### メモリ内の強化学習システムのための強誘電トンネル接合

東芝は、ナノスケールの強誘電トンネル接合メモリスタを発表します。セレクトアの無いクロスバーに形成された生来のアナログ確率的なスイッチにより、アナログ的なメモリ内強化学習(RL)システムが実現されました。RLシステムでは、ハードウェアに親和性のあるアルゴリズムにより、行動方針の学習が可能になります。一般的に望ましくない確率的に変動するコンダクタンス・スイッチの特性は、ランダムサーチに類似した手法を使うことで、実際には、行動方針の学習に有効な性質です。強化学習をベースにした経路探索を実演し、シミュレーションを用いて、台車上のポールが立ったまま釣り合う為の標準制御問題を解決することで、同様な決定性 RL システムに対する優位性を示します。

*Paper T2-4 “In-memory Reinforcement Learning with Moderately-Stochastic Conductance Switching of Ferroelectric Tunnel Junctions.”*

*R. Berdan et al., Toshiba Corp.*



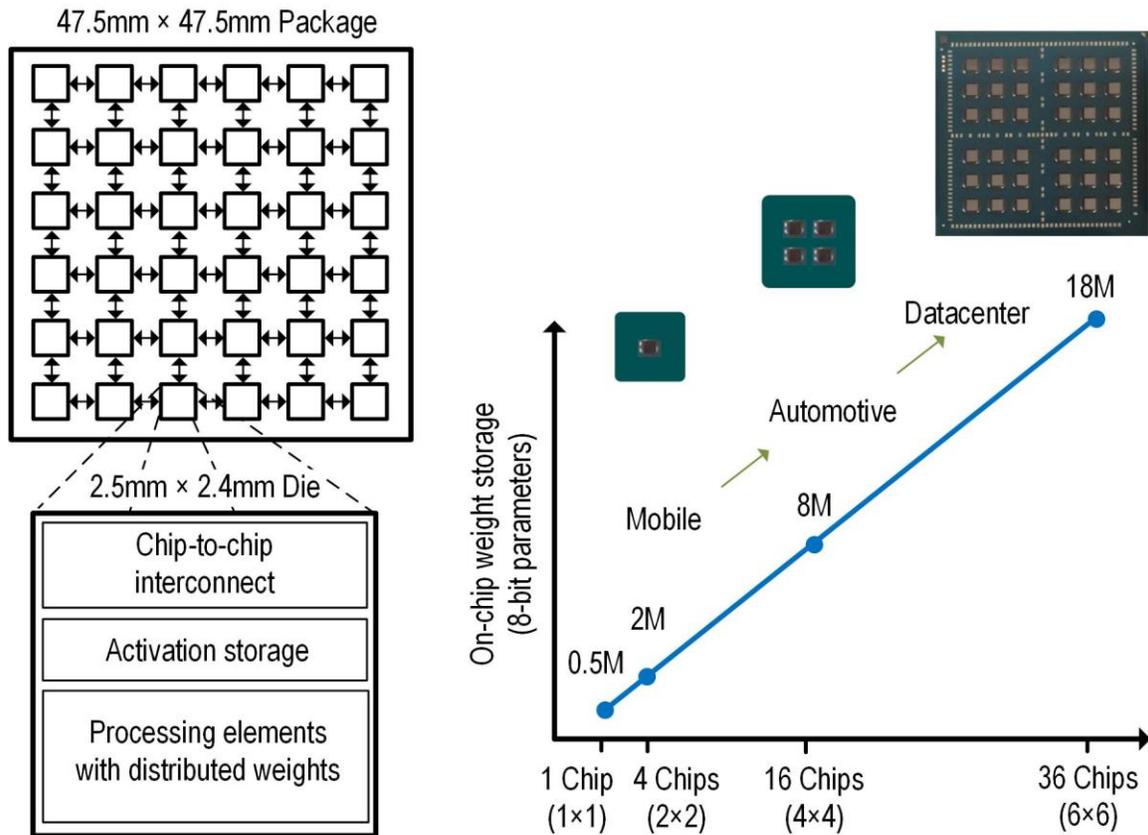
T2-4 FTJ デバイス構造と初期状態の電流分布.

### スケーラブルなマルチチップモジュールベースの DNN アクセラレータ

ディープニューラルネットワーク(DNN)のターゲットとする性能、正確性、消費電力は多岐にわたります。それぞれのターゲットに合う専用アクセラレータを用意することは、設計や製造コストを考えると現実的ではありません。NVIDIA 社は、マルチチップモジュール(MCM)上に 36 チップがメッシュ型ネットワークで結合されたスケーラブルな DNN アクセラレータを発表します。それぞれのチッ

プは、グラウンドを参照電位とする信号で接続されます。過去に開発されたワンチップのアクセラレータが取り扱うことのできるネットワークサイズが特定の値に限定されるのに対して、今回提案するアーキテクチャは、モバイル用途からデータセンタに至る多岐にわたる DNN のサイズ要求に対して、効率よくフレキシブルにスケールすることが可能です。16nm プロセスの試作品は、1.29 TOPS/mm<sup>2</sup>, 0.11pJ/op, 4.01TOPS の 1 チップでのピーク性能を達成するとともに、ピーク時 127.8 TOPS と 2615 イメージ/s の ResNet-50 の推論を 36 チップシステムで可能にしました。

**Paper C24-1 “A 0.11 pJ/Op, 0.32-128 TOPS, Scalable, Multi-Chip-Module-based Deep Neural Network Accelerator with Ground-Reference Signaling in 16nm,”**  
**B. Zimmer, et al., NVIDIA Corp.**



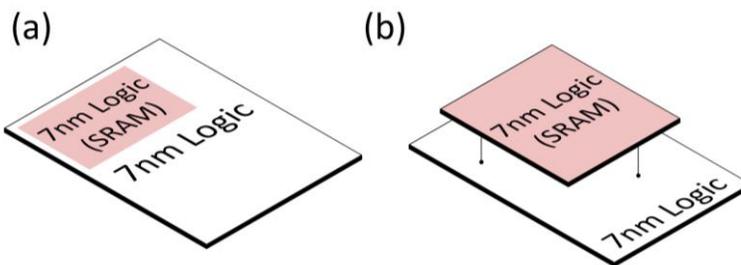
C24-1 提案する MCM ベースの DNN アクセラレータの概要。

## 2.5D/3D Integrations

### チップ集積システム (SoIC™)

TSMC は、異種のチップレットを 3次元集積させた、画期的なチップ集積システム (SoIC™) について明らかにします。各チップレットは FEOL 技術により製造され、Known-good-die として提供されます。この SoIC™ というデバイスのチップレット集積技術は、マイクロバンプと TSV を用いる従来の 2.5D や 3D-IC と比べて、高バンド幅と高いパワー効率という点で優れています。

*Paper T2-3 “3D Multi-chip Integration with System on Integrated Chips (SoIC™),”  
C.-C. Hu et al., TSMC.*

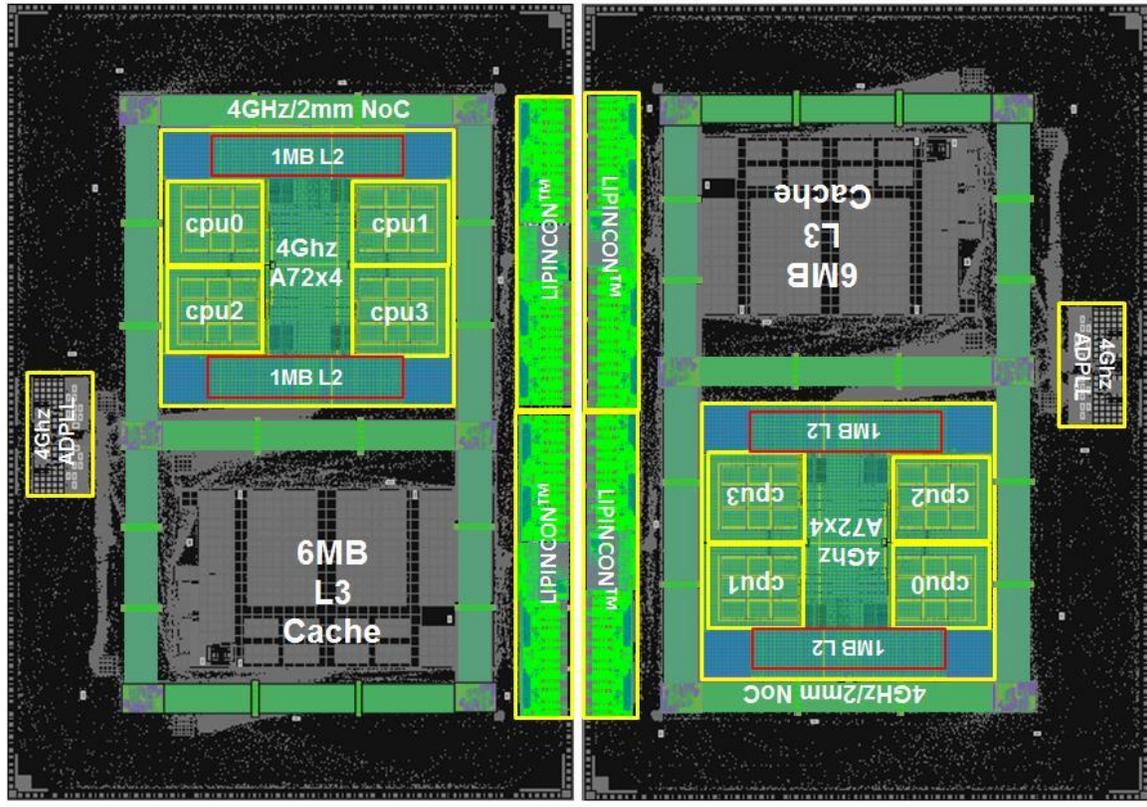


T2-3 (a)従来の 2.5D や 3D-IC と(b)SoIC™ 配線技術との比較

### 7nm プロセスの 2 チップレットを CoWoS 集積したハイパフォーマンスプロセッサ

従来よりも大規模で高性能なプロセッサを実現するために、より小さな Chiplet を高密度に集積する技術が注目を集めています。今年、TSMC が 7nm プロセスと CoWoS®を用いて、4 コアの Arm®プロセッサをもつ Chiplet を 2 枚集積した高性能計算(HPC)向けプロセッサを発表します。各 Arm コアは 4GHz で動作し、ダイ上のコア間メッシュネットワークも 4GHz 以上での動作を実現します。さらに、Low-Voltage-In-Package-INterCONnect (LIPINCON™) と呼ばれる Chiplet 間インタフェースを実装し、電力効率 0.56pJ/bit、伝送密度 1.6Tb/s/mm<sup>2</sup>、バンド幅 320GB/s を達成しました。この結果により、Chiplet ベースで設計された大規模・高性能プロセッサの HPC 分野への適用可能性を示します。

*Paper C3-1 “A 7nm 4GHz Arm-core-based CoWoS Chiplet Design for High Performance Computing,”  
M.-S. Lin, et al., TSMC.*



C3-1 2チップレットのフロアプラン。

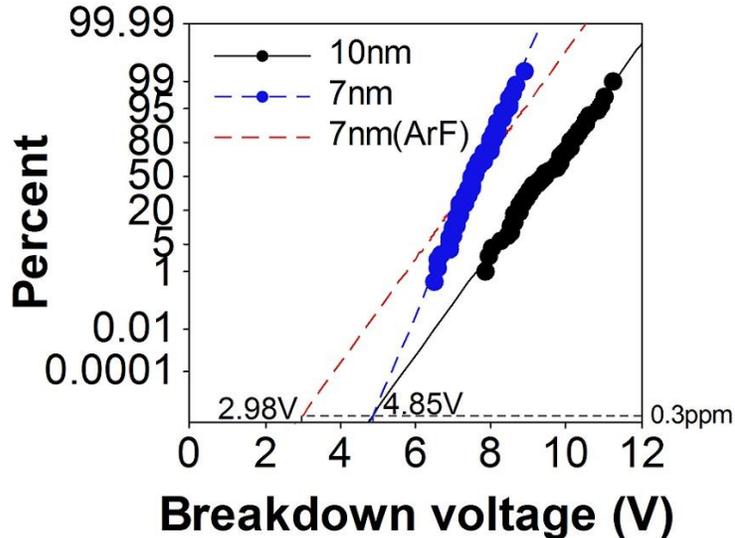
## ADVANCED PLATFORM & SOCs

### 7nm 世代技術の EUV による信頼性改善

サムソン電子は、EUV を用いた 7nm FinFET 技術の信頼性評価について報告します。MOL と FEOL において、EUV 単一露光を適用することにより、多重露光による過去世代と比較した場合、信頼性ばらつきが大幅に改善しました。更に SRAM、Logic HTOL、SER 等の製品信頼性を満たしていることを示します。これらの結果は、EUV を用いた 7nm 技術の大量生産の準備が出来ていることを意味しています。

*Paper T2-1 “Enhanced Reliability of 7nm Process Technology featuring EUV,”*

*K. Choi et al., Samsung Electronics.*



T2-1 EUV プロセスを用いることで、ゲート・コンタクト間の  $V_{ramp}$  分布の VBD 傾きが大幅に改善.

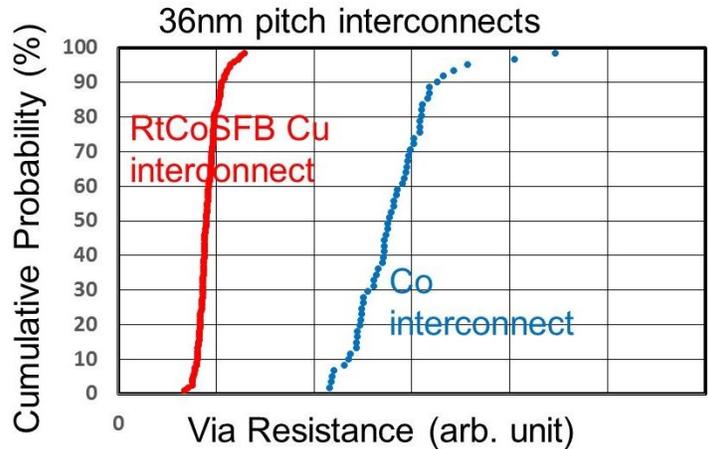
### 自己形成バリア(RtCoSFB)を有する 7nm 以降の Cu 配線技術

PVD とリフローで自己形成された 2nm 厚のバリア層/ぬれ層(RtCoSFB)を有する Cu 配線技術の EM と TDDDB 信頼性について、IBM とサムソン電子が発表します。スケーリングした標準的なバリア層/ぬれ層を用いる Cu 配線と比べて、RtCoSFB を用いる場合の Cu EM 寿命は、2000 倍に延びました。また、RtCoSFB を用いる場合の Cu EM 寿命は Co 配線の場合と同等で、ライン抵抗とビア抵抗は Co 配線に対して低いという利点もあります。一方、RtCoSFB に必

要なアニールプロセスにより、デュアルダマシン配線終端のビアにおいて Cu 凝集がおこり、ビアチェーン歩留が低くなるという問題があります。配線パターンに敏感なビア埋込の問題を解決することが、7nm 以降に Cu 配線技術を延命する鍵になることを示します。

*Paper T2-2 “Technology challenges and enablers to extend Cu metallization to beyond 7 nm node,”*

*T. Nogami et al., IBM Research.*



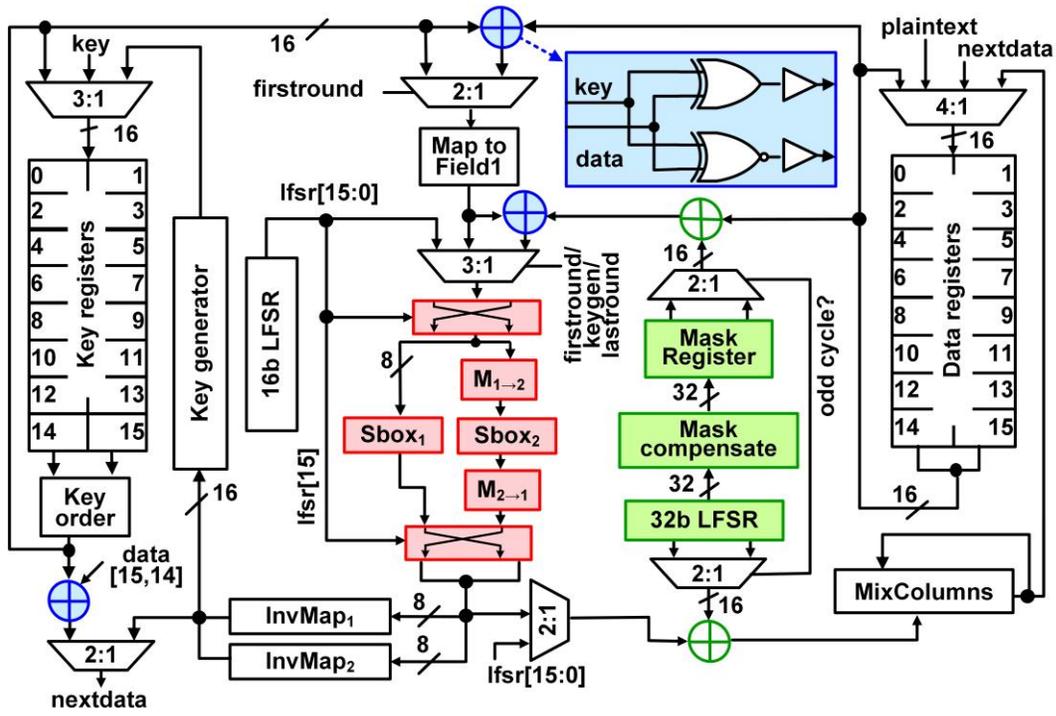
T2-2 Cu 配線に RtCoSFB を用いると、Co 配線のビア抵抗の 1/3 倍になります。

#### 14nm プロセスで製造された小型低電力で堅牢な AEC アクセラレータ

攻撃耐性を有する AES 暗号アクセラレータを発表します。これは、情報の内容保護と認証プロトコルに不可欠な回路コンポーネントです。今回のアクセラレータでは、電力解析攻撃に対して無防備なアクセラレータと比較して、1200 倍の攻撃耐性を有することを実証しました。異種 Sbox ユニットのランダムシャッフル処理、MixColumns ユニットの線形マスキング、二線式鍵加算によって、追加ハードウェアオーバーヘッドを抑えつつ、消費電力と秘密鍵の相関を打ち消すことで攻撃耐性を実現しています。実際の実験では、1200 万回分の暗号処理動作に対する攻撃でも鍵を保護できることを実証しており、この際必要なハードウェアのオーバーヘッドを、わずか消費電力 23%、面積 28%、性能 0.7%に止めています。

*Paper C20-1 “A 4900um<sup>2</sup> 839Mbps Side-Channel Attack Resistant AES-128 in 14nm CMOS with Heterogeneous Sboxes, Linear Masked MixColumns and Dual-Rail Key Addition,”*

*R. Kumar, et al., Intel*



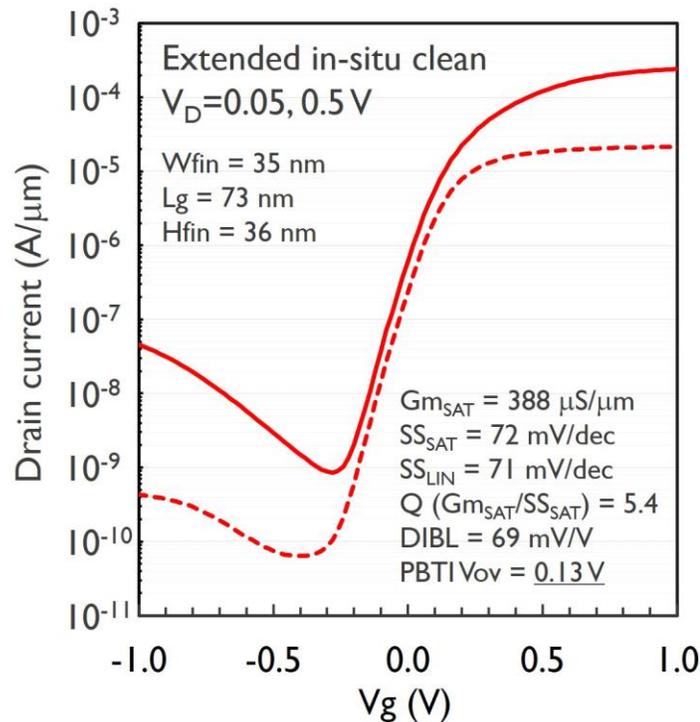
C20-1 サイドチャネル攻撃耐性のある AES-128 の構成.

## ADVANCED TRANSISTOR TECHNOLOGY

ダミー-SiO<sub>2</sub>形成とその除去プロセスによる n 型 Ge-FinFET の性能・信頼性改善  
imec は Ge チャネルの n 型 FinFET において、ダミー-SiO<sub>2</sub>(DGO)形成とその除去プロセスの工夫によりデバイス性能向上が可能であることを明らかにしました。DGO 形成時の Ge 表面酸化を抑制することにより細い Fin における電子移動度向上が可能であることに加え、更に DGO の除去プロセス時間を伸ばすことで信頼性(PBTI)、界面欠陥密度(Dit)、移動度が改善可能です。結果としてゲート長 73 nm のデバイスで Gm/SS 比 5.4 を達成しました。

*Paper T9-1 "A record Gmsat/SSsat and PBTI reliability in Si-passivated Ge nFinFETs by improved gate stack surface preparation,"*

*H. Arimura, et al., imec.*



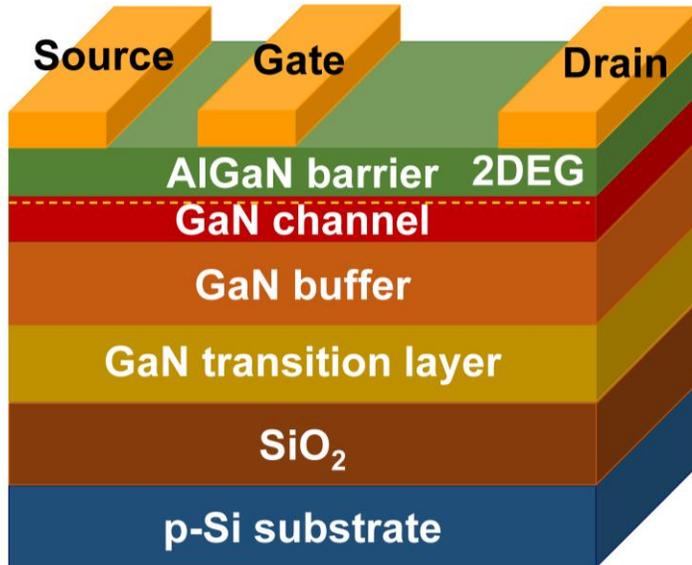
T9-1 Fin 幅 35 nm Ge チャネル n 型 FinFET の  $I_D$ - $V_G$  特性.

### GNOI を用いた絶縁耐圧の高い GaN HEMT

窒化ガリウム (GaN) オンシリコン (Si) 技術は次世代パワーエレクトロニクス応用のための有望な候補の一つです。Singapore-MIT Alliance for Research and Technology (SMART)、南洋理工大学、MIT らのグループは、エピタキシャル結晶層の転写技術を用いた、直径 200 mm の GaN オンインシュレータ (GNOI) オン Si ウェーハについて発表します。試作された高電子移動度トランジスタ (HEMT) は、最高 2200V の記録的なオフ耐圧 ( $BV_{off}$ ) および  $1.87\text{GW}/\text{cm}^2$  の高い性能指数 ( $BV_{off}^2/R_{on,sp}$ ) を示しています。

*Paper T19-1 "GaN HEMTs with Breakdown Voltage of 2200 V Realized on a 200 mm GaN-on-Insulator(GNOI)-on-Si Wafer,"*

*Z. Liu, et al., Singapore-MIT Alliance for Research and Technology (SMART).*



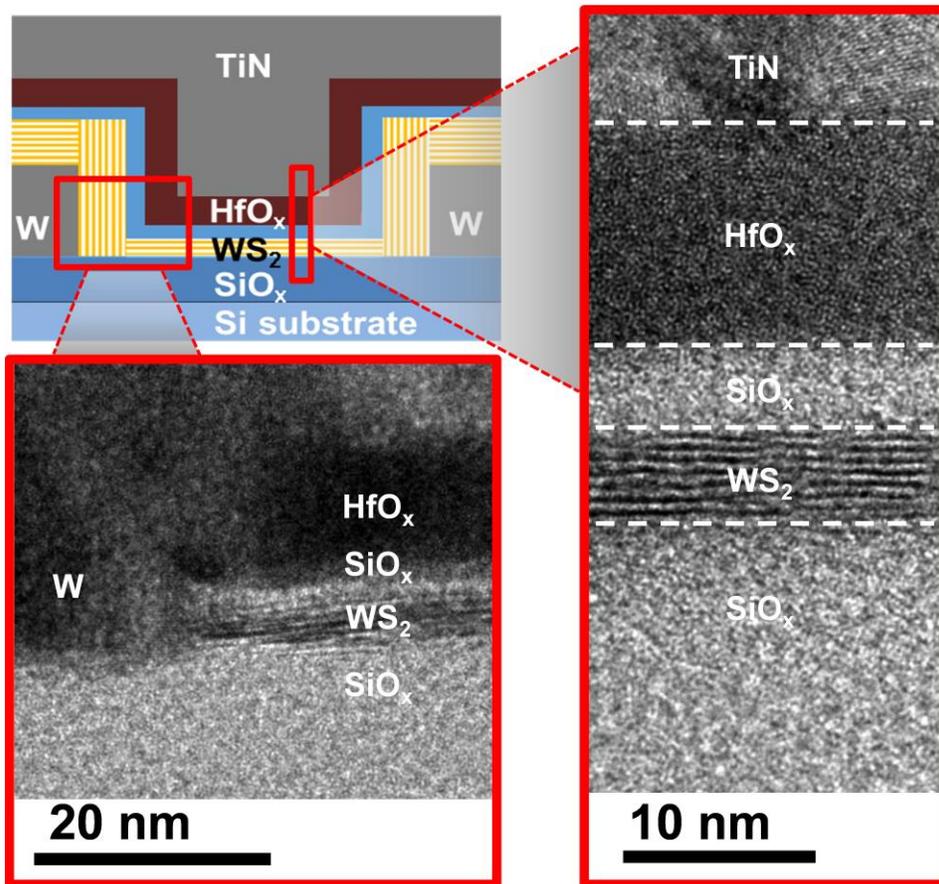
T19-1 GaN HEMT の構造.

### 選択 CVD 成膜により形成した $WS_2$ チャンネルを用いた p 型トランジスタ

2次元材料の選択成長は、短チャンネル効果の抑制が期待される2次元チャンネルトランジスタを量産する上で重要な技術です。TSMC、台湾半導体研究中心、国立交通大学のグループは、チャンネル領域だけに選択的に化学気相成長（CVD）する技術を用いた、 $SiO_x/Si$  基板上にトップゲートを有する p 型硫化タンゲステン（ $WS_2$ ）チャンネル電界効果トランジスタ（FET）について発表します。試作したゲート長 40 nm の  $WS_2$  チャンネル FET は、 $10^6$  のオン/オフ比、97 mV/dec のサブスレッショルドスロープ、および、ほぼゼロのドレイン誘起障壁低下（DIBL）という良好な特性を示しています。

*Paper T19-2 “First demonstration of 40-nm channel length top-gate  $WS_2$  pFET using channel area-selective CVD growth directly on  $SiO_x/Si$  substrate,”*

*C.-C. Cheng, et al., TSMC.*

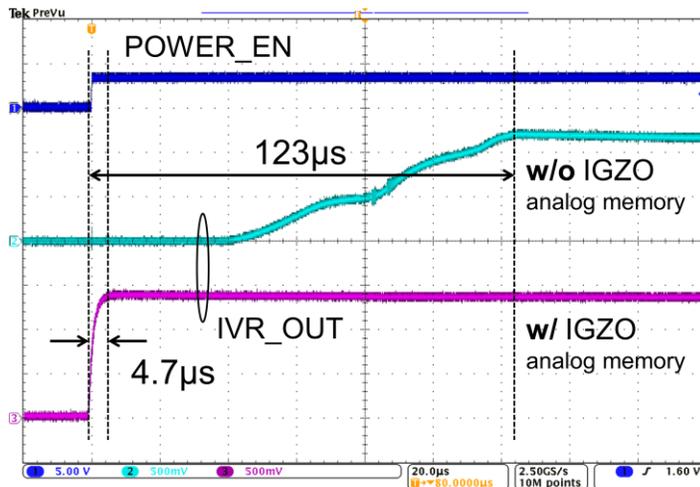


T19-2 本研究で提案された  $WS_2$  pFET の断面構造.

### ノーマリオフコンピューティングのため IGZO を用いた MCU

IGZO を利用した normally-off コンピューティング向けの MCU が、低消費電力化技術の一つとして紹介されます。この MCU は 60nm の IGZO プロセスを利用して実装され、電源遮断中に演算ユニットとメモリの双方にデータを保持することを可能とします。これによって 1 クロック (21ns) での退避処理を実現しつつ、4.49us という高速な復帰処理を実現します。また低リーク電流特性に優れた IGZO の利用により、880nW という非常に僅かな待機電力を実現します。この結果により、IGZO 技術が、低消費電力性と高速な復帰時間を必要とする IoT やエッジ AI アプリケーションの利用拡大を促進するキーとなる可能性を示します。

*Paper C5-1 "A 48 MHz 880-nW Standby Power Normally-Off MCU with 1 Clock Full Backup and 4.69-us Wakeup Featuring 60-nm Crystalline In-Ga-Zn Oxide,"*  
*T. Ishizu, et al., Semiconductor Energy Laboratory Co., Ltd.*



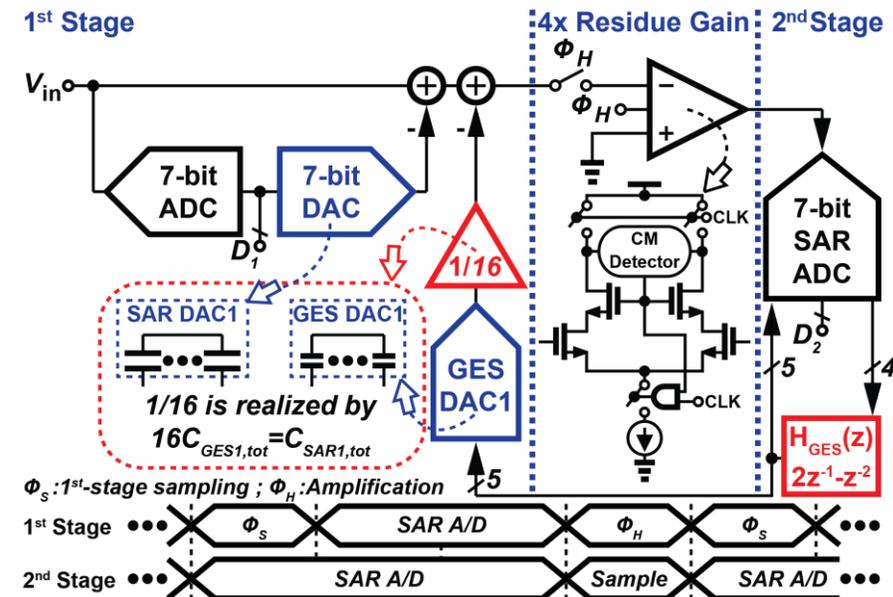
C5-1 IGZO アナログメモリの有無による集積された電源回路の安定時間の違い.

## WIRELINE & DATA CONVERTER CIRCUITS

### 2 次のステージ間利得誤差シェーピングにより 75.8dB の SNDR 達成したパイプライン ADC

高速用途で広く用いられているパイプライン型 SAR ADC には、ステージ間ゲイン誤差の影響を受けやすいという課題があります。テキサス大学オースティン校は、パイプライン型 SAR ADC において帯域内に発生するステージ間ゲイン誤差の影響を低コストに低減するゲイン誤差シェーピング(GES)技術を発表します。この技術は、ステージ間の増幅器が閉ループならびに開ループのいずれでも機能します。40nm CMOS プロセスで試作された 2 次 GES 技術を用いたパイプライン型 SAR ADC は、100MS/s のサンプリング周波数において、12.5MHz 以上の帯域幅と 75.8dB の SNDR を実現し、消費電力は 1.54mW です。GES を実現するためのハードウェアが占める面積はコア全体の 2% です。

*Paper C7-1 "A 75.8dB-SNDR Pipeline SAR ADC with 2<sup>nd</sup>-order Interstage Gain Error Shaping,"*  
*C-K. Hsu, et al., The University of Texas at Austin*

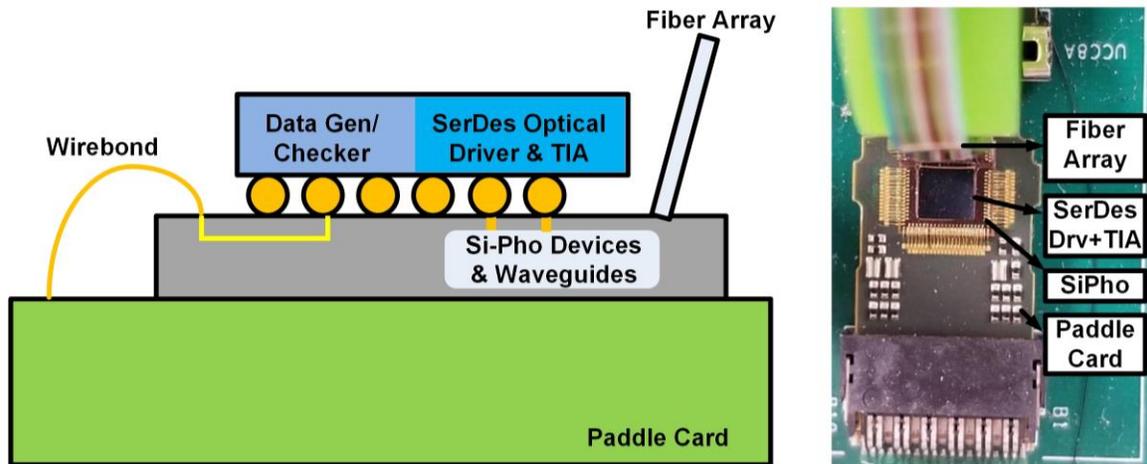


C7-1 2 次の GES を組み込んだ AD 変換器のブロック図とタイミングダイアグラム。

### ハイブリッド集積 50Gbps シリコンフォトニック光リンク

シリコンフォトニクスは高い伝送帯域密度と低消費電力が求められるデータセンタ内などの伝送において、電気配線でのデータ伝送の限界を超える可能性をもった技術です。今年 Xilinx 社が、ハイブリッド集積した 50Gb/s の光リンクを発表します。16nm CMOS プロセスで製造した、送受信回路では、T-coil を用いることで、電界吸収型変調器(EAM) ドライバの変調効率を向上させ、トランスインピーダンスアンプ(TIA)の雑音を低下させます。その結果、ビットエラーレート  $10^{-12}$  での受信感度(OMA) -10.9dBm を達成しました。レーザも含めた消費電力は1ビットあたりわずか 4.31pJ です。

*Paper C16-1 “A 50Gb/s Hybrid Integrated Si-Photonic Optical Link in 16nm FinFET,”  
M. Raj, et al., Xilinx, Inc.*



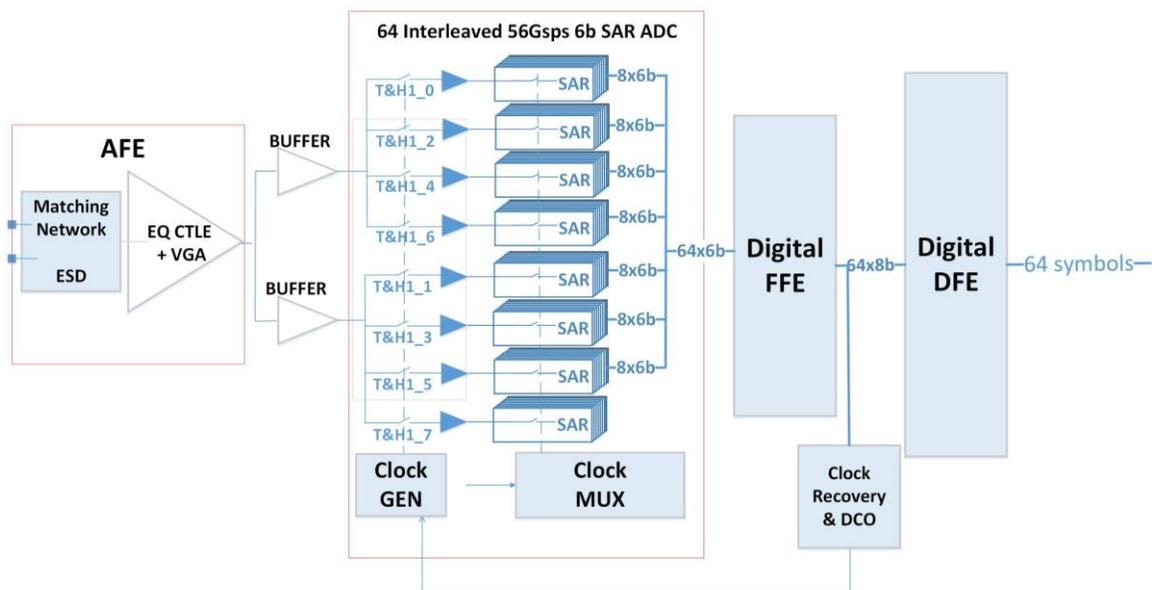
C16-1 Si フォトニクス光送受信器(ドライバと TIA : ブロック図(左), 写真(右))

### 10nm プロセスで製造された長距離伝送用 112Gb/s PAM4 レシーバ

昨年世界最速の 112Gb/s の 4 値受信回路が報告された有線通信分野では、今年は実用化に向け性能向上を遂げた 112Gb/s の 4 値受信回路が Intel から報告されます。受信器内部の信号判定部は今年の Xilinx と同様、64 並列の時間インターリーブ型の SAR-ADC と 2 段階サンプリング方式を用いていますが、それを駆動するアナログフロントエンド部にインダクタとキャパシタの受動素子ベースの Q-shping イコライザ技術を用いる事で低ノイズかつ強い波形等化機能を実現しました。10nm プロセスで実装した受信回路を、112Gb/s、4 値、PRBS-31 パターンの入力信号で評価した結果、オンチップ DSP での 16tap FFE と 1tap DFE 処理と合わせ、ナイキスト周波数 28GHz で従来 20dB までだった伝送路損失の波形劣化補正を 35dB まで延ばしビットエラーレート  $1 \times 10^{-6}$  で受信する事に成功しました。

*Paper C22-1 “112Gb/s PAM4 ADC Based SERDES Receiver for Long-Reach Channels in 10nm Process,”*

*Y. Krupnik, et al., Intel*

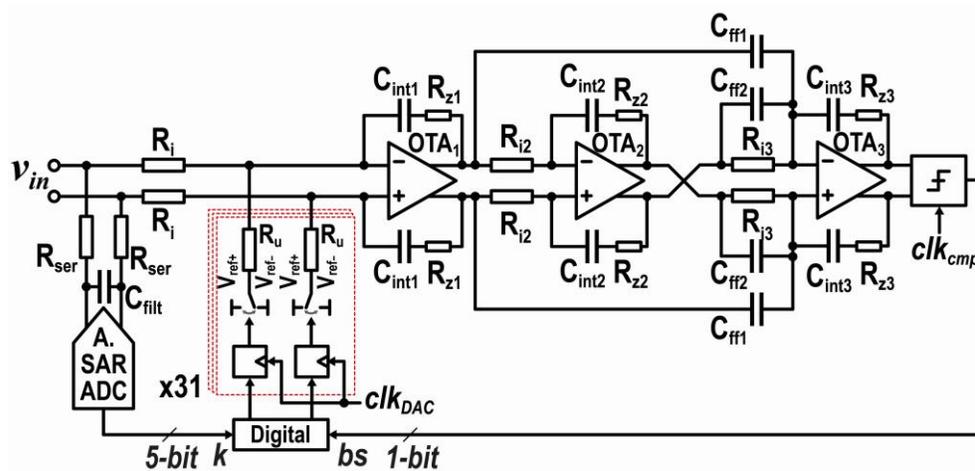


C22-1 提案した受信回路のブロック図.

### オーディオ向け低電力連続時間型ズーム AD 変換器

モバイルオーディオアプリケーション等の分野では低電力と高分解能を両立したデータコンバータが必須となっています。一般的な高精度 AD 変換器は容量性負荷のため、AD 変換器を駆動するバッファへの負担が大きいものでした。デルフト工科大学から発表されるズームアーキテクチャを用いた連続時間型 AD 変換器は入力インピーダンスが抵抗性のため、周辺回路への要求を緩和することが可能となり、システム全体の低電力化に貢献できます。この AD 変換器は連続時間型でありながら 108.5 dB の Dynamic Range や 106.4 dB の SNDR といった高い精度変換を達成しつつ、618uW の低電力性も実現しています。

*Paper C19-1 "A Low Power Continuous-Time Zoom ADC for Audio Applications,"  
B. Gönen, et al., Delft University of Technology.*



C19-1 提案した連続時間型ズーム AD 変換器の簡略図。

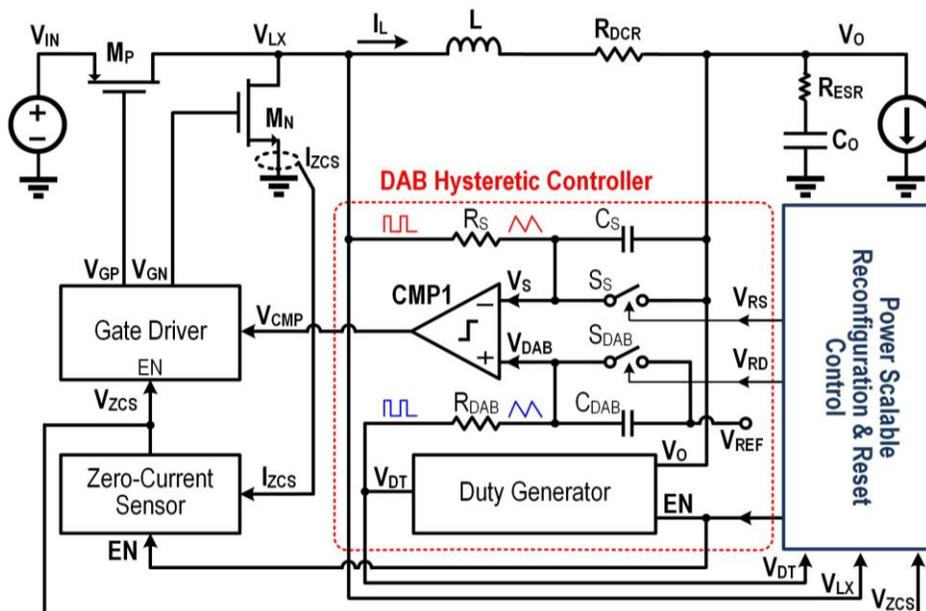
## POWER MANAGEMENT CIRCUITS

### 5G IoT 向け DC-DC コンバータ

5G IoT に用いられる電源回路は、ゼロから最大負荷への急峻な変動に対する超高速応答と広い負荷範囲に対する高い変換効率が求められるとともに、小型且つ高い電力密度を達成することが求められます。テキサス大ダラス校は、5G IoT 向けの二重適応型ヒステリシス制御電源回路を提案します。本提案の制御方式を用いることで、 $1A/3ns$  という傾きで変化する負荷に対して、負荷増加時/負荷減少時それぞれで  $247ns/387ns$  という短時間で目標電圧に対して 1% 以内に出力電圧が収束します。これは、 $0.18\mu m$  CMOS プロセスを用いた電源回路の最も良いものよりも 6 倍高速です。また  $2.5W$  の最大負荷レンジのうち 99.9% の範囲で、80% 以上の変換効率を達成するとともに、チップ電力密度も  $14.3W/mm^2$  と、過去最高の値を達成しています。

*Paper C15-3 "A 10-MHz 14.3W/mm<sup>2</sup> DAB Hysteretic Control Power Converter Achieving 2.5W/247ns Full Load Power Flipping and above 80% Efficiency in 99.9% Power Range for 5G IoTs,"*

*K. Wei, et al., The University of Texas at Dallas*



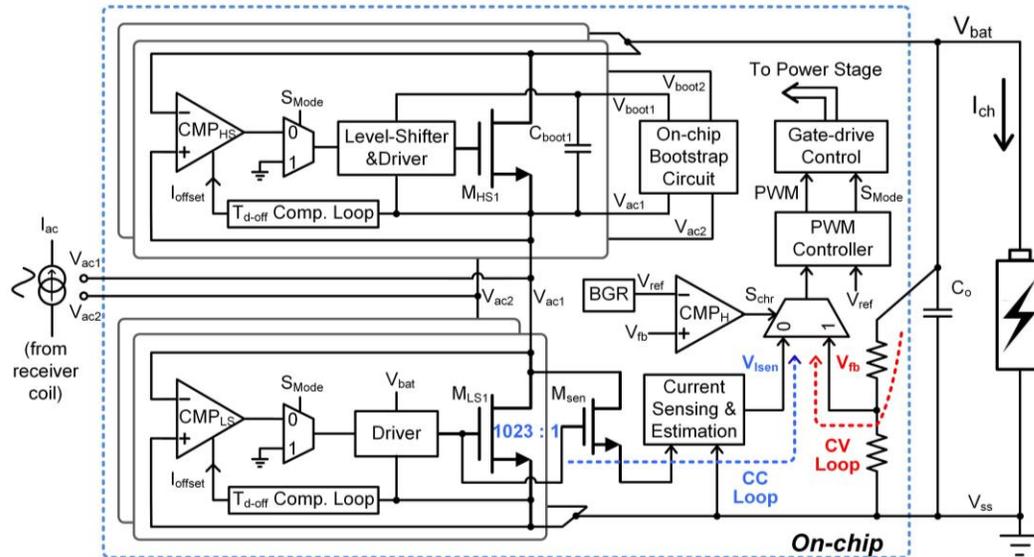
C15-3 提案した DC-DC コンバータのブロック図。

### 高い面積効率と電力変換効率を持つシングルステージ無線給電回路

近年、無線給電は様々な電子機器の充電を簡易にする方法として期待を集めています。しかしながら、リチウムイオン電池などで求められる CCCV 充電に対応し、かつコンパクトな無線給電用電力変換回路を実現することは今まで困難でした。その理由は整流、電圧変換、および CCCV 充電という三つの機能が別々の回路で構成されてきたからです。中国科学技術大学はこれを単一回路で実現すると共に、昇圧用のオフチップ容量も集積化することで、オフチップ素子を従来の4個から1個に削減し、 $8\text{mm}^2$  という小チップ面積を実現しました。1A および 1.5A でのバッテリー駆動におけるピーク効率は其々92.3%および 91.4%と業界最高レベルを達成しています。

*Paper C26-1 "A 6.78MHz 92.3%-Peak-Efficiency Single-Stage Wireless Charger with CC-CV Charging and On-Chip Bootstrapping Techniques,"*

*L. Cheng, et al., University of Science and Technology of China.*



C26-1 提案した無線給電回路のブロック図.

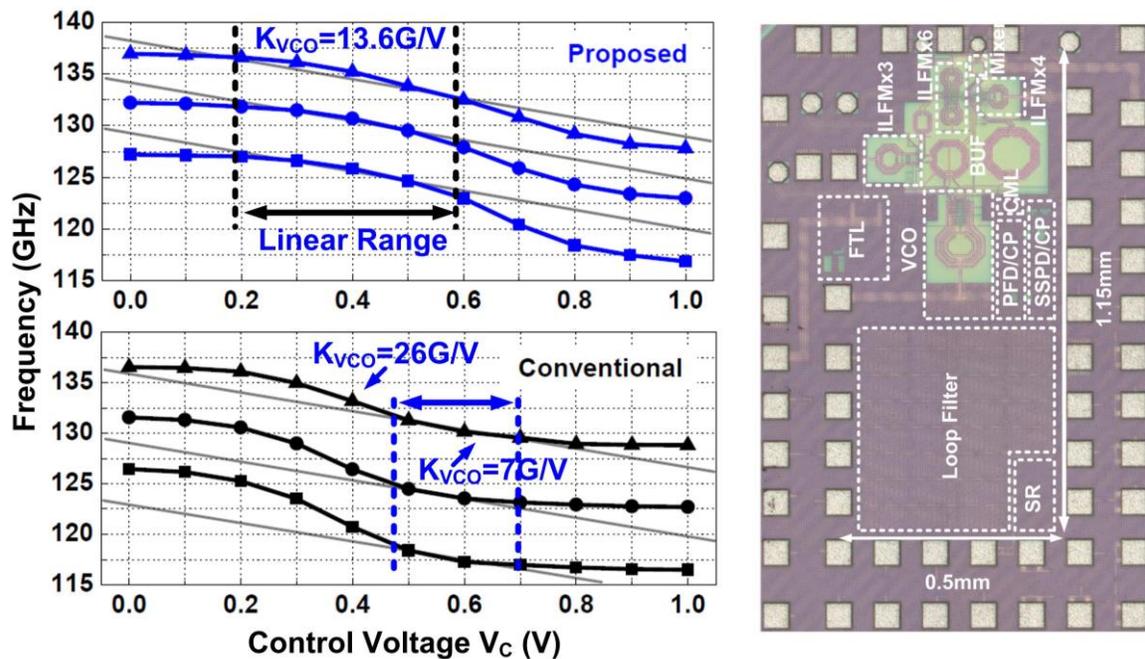
## FREQUENCY GENERATION

### 65nm プロセスで製造された 270-GHz 集積型周波数シンセサイザ

サブテラヘルツ帯は無線通信のみならず分光分析にも用いられ、周波数範囲が広く位相雑音の低い信号源が求められています。香港科学技術大学が報告するサブテラヘルツ帯の周波数シンセサイザは、安価な 65nm CMOS プロセスでの作製が可能であり、61.2 から 100.8GHz, 122.4 から 136.8GHz, 198.5 から 273.6GHz の 3つの周波数帯の生成ができるものです。211GHz の周波数発生時の出力電力は-11dBm で、0.16%のこの周波数帯としては非常に高い電力効率を実現しています。

*Paper C4-2 "A 270-GHz Fully-Integrated Frequency Synthesizer in 65nm CMOS,"*

*X. Liu, et al., Hong Kong University of Science and Technology*



C4-2 注入同期型逡倍器のチューニングレンジの測定結果と提案した周波数シンセサイザのチップ写真.