

VLSI 기술 & 회로 2019 심포지엄 기술적 하이라이트

VLSI 기술 & 회로 2019 심포지엄은 마이크로 일렉트로닉스의 속도, 발전 및 그 진화를 정의하는 대표적인 국제 회의로, 2019년 6월 9일 ~ 14일 일본 교토에서 개최될 예정이다. 두 심포지엄은 많은 합동 세션을 포함하는 종합적인 기술 프로그램으로 구성된다. 심포지엄은 6월 9일 일요일 워크샵과 6월 10일 종일 단기 교육 과정으로 시작하여 6월 14일 자유행 기술을 주제로 하는 금요일 포럼으로 마무리된다.

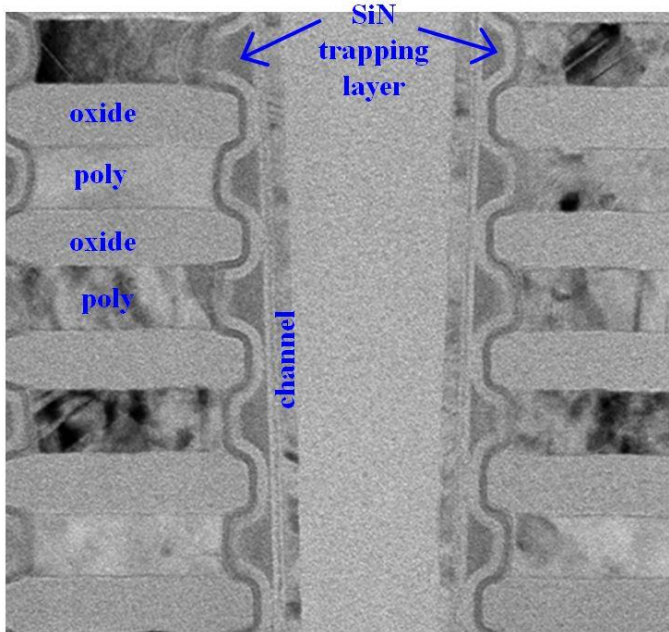
"하나로 연결된 세계를 위한 반도체의 한계 밀어올리기"를 주제로 진행되는 심포지엄 프로그램에는 인간의 소통 방식을 변화시킬 수 있는 스마트, 연결 장치 및 시스템이 글로벌 사회에 적용되는 것을 가능하게 하는 첨단 기술 개발, 혁신적인 회로 설계 및 응용 분야가 포함된다.

이러한 주제를 다룬 주요 논문들을 간단히 소개한다.

첨단 메모리

3D NAND Flash의 강인한 데이터 유지 성능을 위한 질화막 트래핑 레이어 장치
데이터 유지는 질화막 트래핑 레이어 유형 3D NAND 플래시의 주요 도전 과제이다. Macronix International Co., Ltd.는 질화막(SiN) 트래핑 레이어의 3D NAND 플래시를 발표할 예정이다. 이 구조는 포스트 1K 사이클 장치에 대해 1주일간 125°C 고온 베이킹 후 ~600 mV에 불과한 전하 이동 손실(초기 7 V 윈도우)을 보여주는 우수한 데이터 유지 성능을 보여준다. 이것은 SiN 구조가 없는 제어 샘플을 훨씬 능가하는 성능이다.

논문 T16-2 "3D NAND Flash의 강인한 데이터 유지 성능을 위한 질화막 트래핑 레이어 장치",
C.-H. Fu 외, Macronix International Co., Ltd.

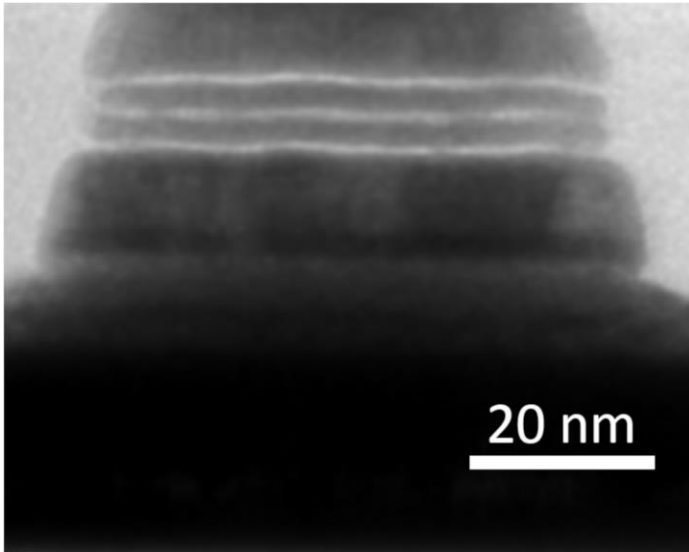


T16-2 SiN 트래핑 레이어 3D NAND 플래시 구조의 단면 TEM 이미지.

20nm 를 증가하는 STT-MRAM 기술

20nm 을 증가하는 STT-MRAM 스케일링을 위해 도호쿠 대학은 새로운 저손상 집적 공정에 기반한 300mm 공정을 사용하는 새로운 쿼드 인터페이스 자기터널접합(MTJ) 기술을 제안한다. 이 기술은 포스트 더블 인터페이스 MTJ 기술로 여겨지며, 열 안정성 계수 델타와 스위칭 효율 델타/IC0 모두 기존 더블 인터페이스 MTJ 기술보다 1.5~2 배 향상된 것을 보여준다.

논문 T11-4 "2Xnm 를 증가하는 STT-MRAM 에 대한 높은 열 안정성 및 스위칭 효율을 위한 새로운 쿼드 인터페이스 MTJ 기술 및 그것의 첫 번째 시연",
K. Nishioka 외, 도호쿠 대학.

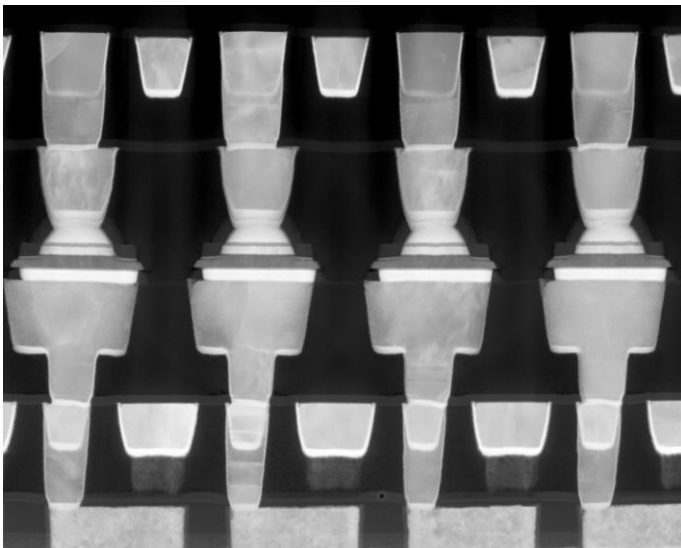


T11-4 쿼드 인터페이스 MTJ 의 단면 TEM 이미지.

22FFL FinFET 기술로 내장된 비휘발성 RRAM

현재 시장에서는 로직 친화적 공정, 우수한 데이터 유지 및 내구성을 가진 임베디드 메모리 기술을 요구하고 있다. RRAM은 이러한 요구를 충족시킬 수 있는 유망한 후보자이다. 인텔은 22FFL FinFET에 기반한 임베디드 RRAM 기술을 발표한다. 이 기술을 통해 7.2Mbit 어레이에서 85°C 10년 데이터 유지 성능과 함께 10^4 사이클의 내구성이 구현된다.

*논문 T18-1 "22FFL FinFET 기술로 내장된 비휘발성 RRAM",
O. Golonzka 외, 인텔*



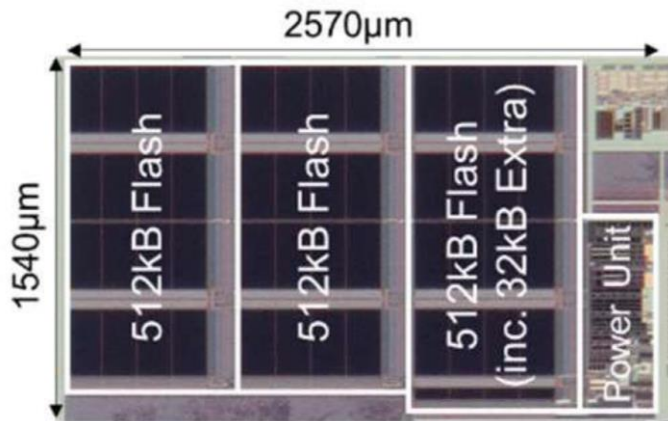
T18-1 22FFL 로직의 메탈 인터커넥트에 내장된 RRAM 어레이의 단면 TEM.

IoT 용 저전력 임베디드 플래시 메모리

IoT 응용 범위를 확대시키기 위해서는 많은 첨단 기기의 초저전력 작동이 필수적이다. 특히, 에너지 수확(EH)을 통한 제한된 에너지 발생으로 실시간 센싱을 가능하게 하려면 임베디드 플래시(eFlash)의 읽기 에너지 감소가 반드시 요구된다. Renesas Electronics 는 SOTB 장치의 장점을 향상시키기 위한 데이터 전송 회로 기법과 에너지 감지 증폭기를 사용하는, 65nm SOTB(Silicon-on-Thin-Box) 기술로 제작된 1.5MB 2T-MONOS eFlash 매크로를 발표한다. 이 eFlash 는 64MHz 읽기 액세스에 0.22pJ/bit 읽기 에너지를 달성하며, 이는 EH 기술을 에너지원으로 사용하기에 충분히 낮은 에너지이다.

논문 C17-1 "IoT 응용을 위해 64 MHz 액세스에 0.22 pJ/bit 를 달성하는 65nm SOTB(Silicon-on-Thin-Box) 임베디드 2T-MONOS 플래시",

K. Matsubara 외, Renesas Electronics Corp.



C17-1 2T-MONOS eFlash 매크로의 현미경 사진.

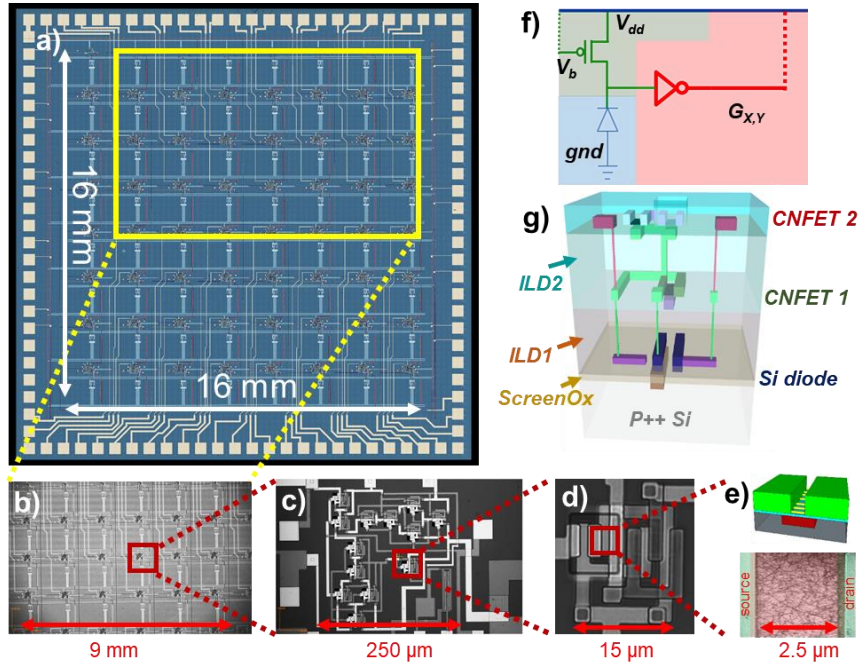
센서, RF, IoT & 생체의학

탄소 나노튜브 회로를 사용한 3D 이미징 시스템

MIT 는 기존 실리콘 이미저의 BEOL(back-end-of-line)에 컴퓨팅 계층을 직접 통합하는 모놀리식 3D 이미징 시스템의 하드웨어 프로토타입을 시연한다. 이러한 시스템은 이미지 출력을 원시 픽셀 데이터에서 고도로 처리된 정보로 변환시킬 수 있다. 3개의 수직 회로 계층, 즉 가장 하단에 있는 실리콘 픽셀 층, 그 위의 CMOS 탄소 나노튜브 FET(CNFET) 2 개 층으로 구성된 이 수직 회로 계층은 데이터를 메모리에 저장하기 전에 실시간으로 원위치 에지 검출을 수행한다. 이 방식을 통해 향상된 처리 대기 시간의 이미지 분류 시스템이 실현 가능해진다.

논문 T2-5 "모놀리식 3 차원 이미징 시스템: 실리콘 이미저에 직접 통합된 탄소 나노튜브 컴퓨팅 회로",

T. Srimani 외, 매사추세츠 공과대학.

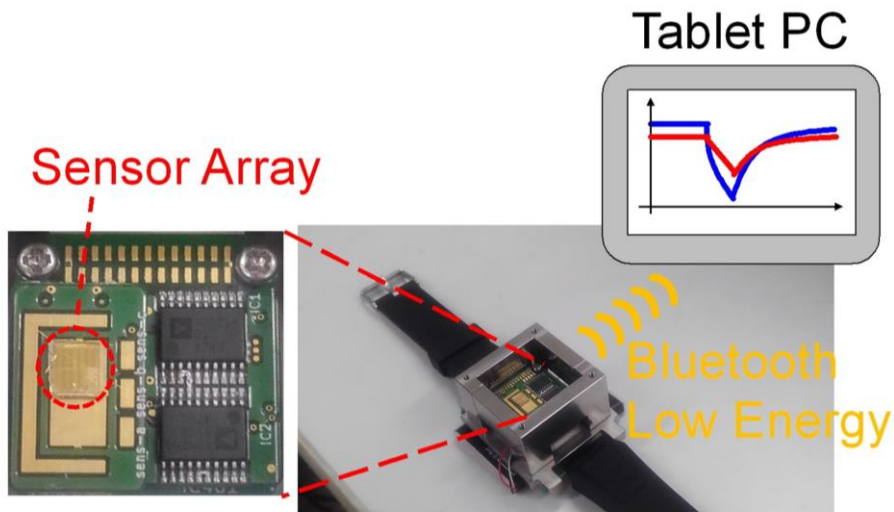


논문 T2-5 실리콘 포토다이오드(계층 1)와 CNFET(계층 2 와 3)로 구성된 3D 이미지 구성도.

촉매 금속 나노시트를 사용한 저전력 가스 센서

저전력 가스 센서는 IoT 응용에 유용하다. 게이오 대학은 수소와 암모니아로 구성된 촉매 금속 나노 시트를 사용한 통합 센서를 발표한다. 이 응용에 전통적으로 사용되던 오프칩 히터 대신 온칩 줄(Joule) 발열을 통해 촉매 반응에 필요한 열 에너지가 제공되며 이를 통해 저전력 소모가 가능해진다(0.14 mW).

논문 JFS2-3 "금속 나노시트를 통합하여 저전력 및 가스 분자의 ppm 레벨 검출", T. Tanaka 외, 게이오 대학.



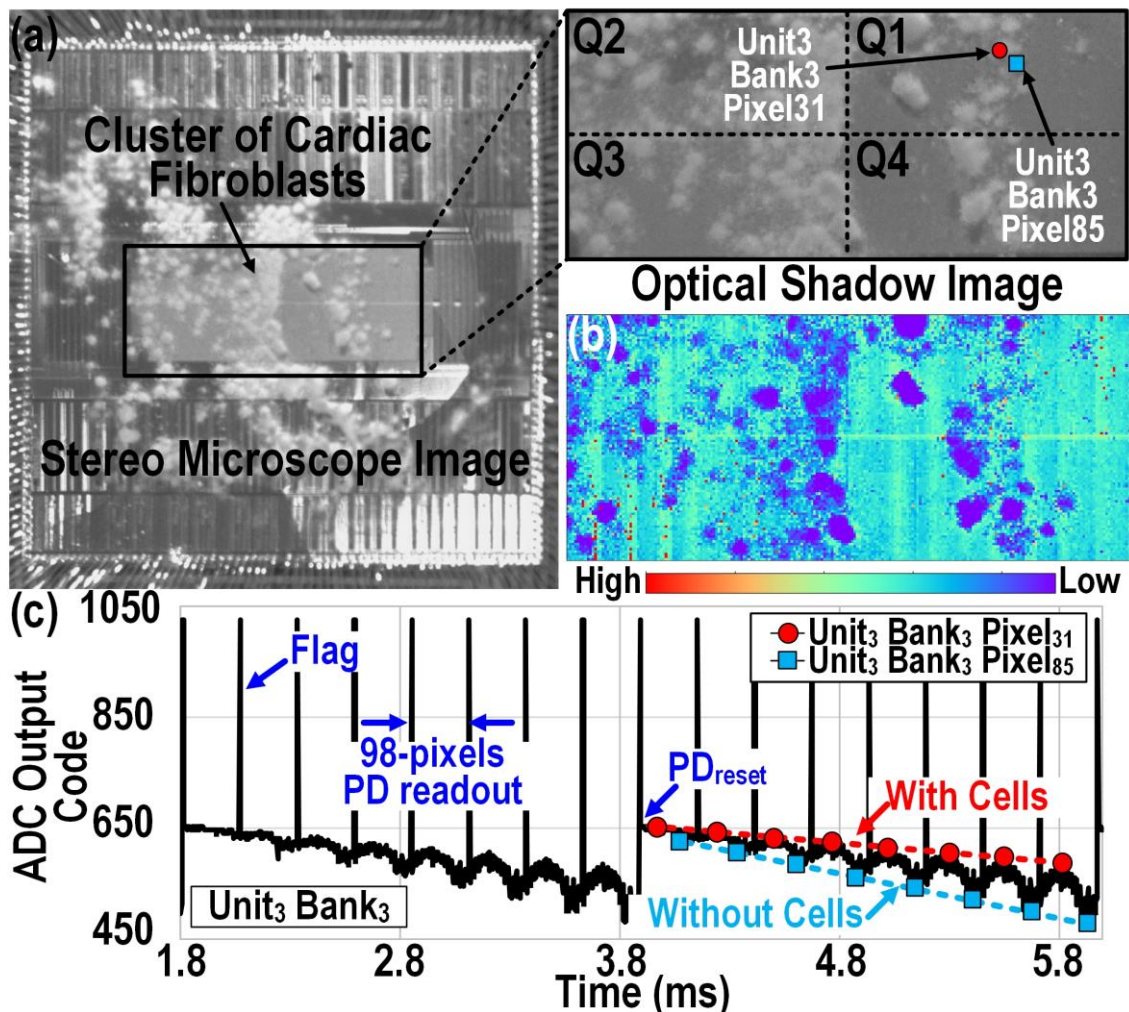
JFS2-3 시계형 케이스에 통합된 가스 센서.

CMOS 멀티모달 세포 센서/자극기 어레이

조지아 공과대학은 멀티모달 센싱 성능을 지닌 온칩 세포 이미지 센서를 발표한다. 이 센서는 센서에 직접 배치/배양된 세포의 광학/전위 /4-포인트 임피던스 이미지를 캡처할 수 있으며, 세포 시스템에 전기 자극을 수행할 수도 있다. 칩은 130nm 표준 CMOS 공정을 사용하여 제작된다. 이 센서는 재구성 가능한 21952 픽셀을 갖추고 있으며 1568 픽셀은 병렬 작동이 가능하다. 픽셀 피치는 $16\ \mu\text{m} \times 16\ \mu\text{m}$ 이고, 각 픽셀은 $8\ \mu\text{m} \times 8\ \mu\text{m}$ 과 $6\ \mu\text{m} \times 6\ \mu\text{m}$ 의 금도금 전극을 가지고 있다. 전극은 다양한 전류 주입 및 임피던스 측정을 위해 유연하게 처리될 수 있다. 전위 센싱, 광학 및 임피던스 이미징 성능은 살아있는 세포의 체외 실험을 통해 입증되었다.

논문 C6-3 "1568-픽셀 병렬 기록 및 4-포인트 임피던스 센싱을 지원하는 21952-픽셀 멀티모달 CMOS 세포 센서 어레이",

D. Jung 외, 조지아 공과대학.

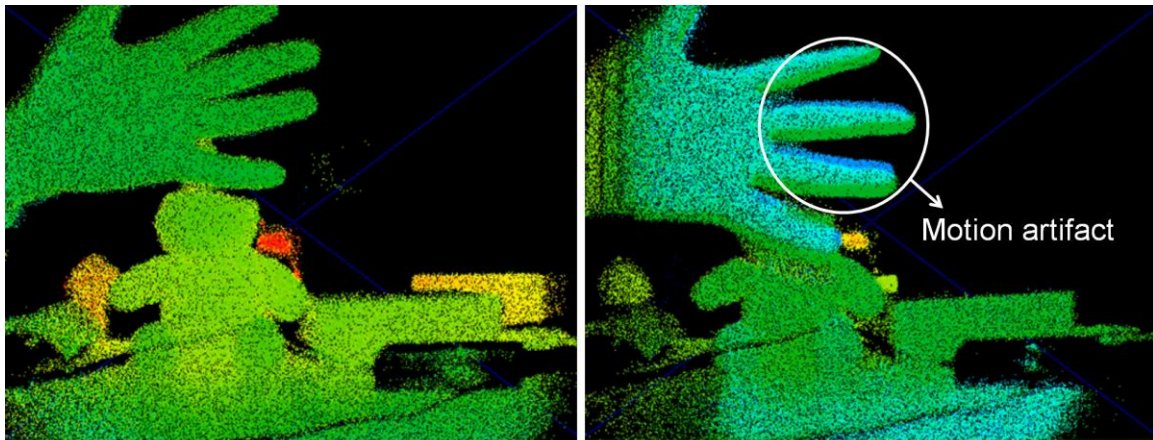


C6-3 (a)스테레오 현미경 이미지, (b)칩에 배양된 섬유아세포의 측정된 광학 이미지, (c)광학 시분할 다중화 98 채널 ADC 출력.

비행시간 거리측정 CMOS 이미지 센서

비행시간 거리측정(ToF) 범위 시스템은 자동 주행, 보행자 모니터링, 머신 비전 카메라에서 사용되는 유망한 어플리케이션 중 하나로써, 고속 및 고감도 글로벌 셔터 CMOS 이미지 센서(CIS)의 발전이 ToF 의 발전을 크게 가속하고 있다. 삼성전자는 65nm back-side illumination (BSI) 공정에 기반한 640x480 7 μ m 픽셀의 새로운 간접 ToF CMOS 이미지 센서를 발표한다. 이 새로운 센서는 동시에 구동하는 4-tap 과, 새로운 클럭 지연 제어 회로를 통해 움직임 잡음에 자유로운 동작을 지원하며, 특히 2-tap 픽셀 기반의 기존 센서 대비 크게 감소된 고정 패턴 위상 잡음(FPPN)을 보여줍니다. 그 밖에도 이 센서는 최대 400 cm 범위에서 작동할 수 있으며 0.64 pW/픽셀에 불과한 전력을 소모한다.

논문 C21-3 "4-tap 7-um 글로벌 셔터 픽셀 및 고정 패턴 위상 잡음 자동 보정을 지원하는 640x480 간접ToF CMOS 이미지 센서",
M.-S. Keel 외, 삼성전자.



(a)

(b)

C21-3 손드는 손의 깊이 맵, (a)4-tap 및 (b)2-tap 모드.

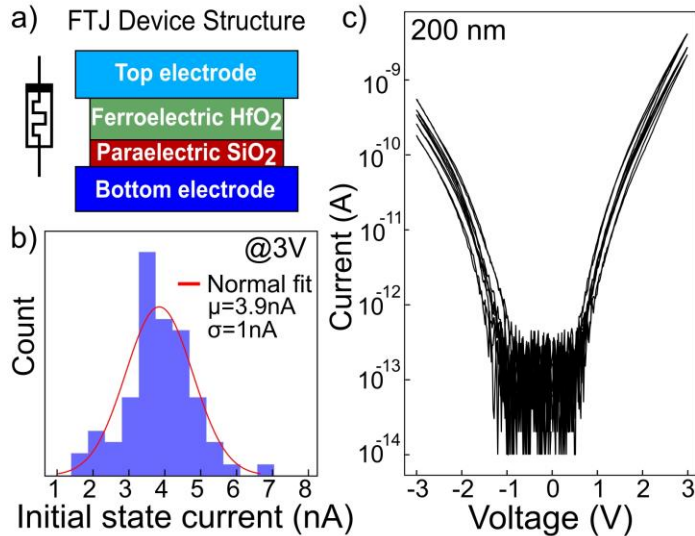
인공지능 & 퀀텀 컴퓨팅

인-메모리 강화 학습 시스템을 위한 강유전체 터널접합

도시바는 선택기 없는 크로스바에 배열된 내재된 아날로그 확률적 스위칭 기법을 사용하는 나노 크기의 강유전체 터널접합(FTJ) 메모리스터를 활용하여, 하드웨어 친화적인 알고리즘을 통해 행동 정책을 학습할 수 있는 아날로그 인-메모리 강화 학습(RL) 시스템을 보여줄 예정이다. 저자들은 일반적으로 바람직하지 않은 확률적 컨덕턴스 스위칭이 사실 적당한 수준에서는 랜덤 검색과 비슷한 프로세스를 통해 정책 탐색을 촉진시키는 유익한 특성이라는 것을 보여줄 것이다.

그들은 실험적으로 강화에 기반한 경로 탐색을 시연하고 시뮬레이션을 통해 기존 결정론적 RL 시스템을 능가하고 카트에서 막대의 균형을 유지하는 표준 제어 문제를 해결한다.

논문 T2-4 "강유전체 터널접합의 적절한 확률적 컨덕턴스 스위칭을 활용하는 인-메모리 강화 학습", R. Berdan 외, 도시바.

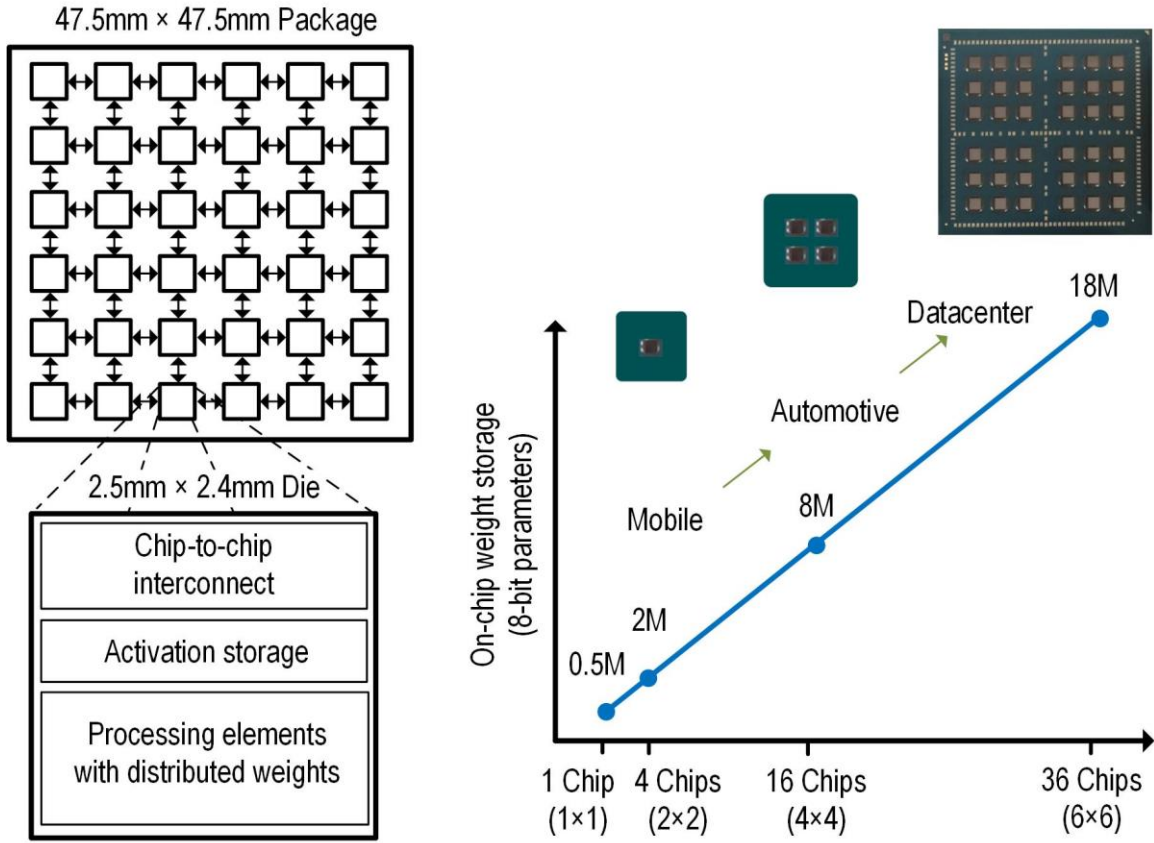


T2-4 FTJ 장치 구조 및 초기 상태 전류 분포.

확장 가능한 멀티 칩 모듈 기반 심층신경망 가속기

심층신경망(DNN)은 용도에 따라 다른 성능, 정확도, 전력 목표를 가진다. 하지만, 각 심층신경망의 목표를 만족시키기 위한 전용 가속기의 구축은 설계 및 제조비용이 높아 불가능하다. NVIDIA는 ground-reference signaling을 사용한 멀티 칩 모듈(MCM)의 메쉬 네트워크에 연결된 36개의 칩으로 구성된 확장 가능한 DNN 가속기를 발표한다. 이전 가속기는 단일칩으로 제작되어 동작시킬 수 있는 네트워크의 크기가 제한되었지만, 이번에 발표되는 아키텍처는 모바일에서 데이터센터에 이르기까지 광범위한 플랫폼에서 효율적인 추론을 지원한다. 이번에 발표되는 프로토타입 가속기는 16nm 공정 단일 칩 시스템에서 1.29 TOPS/mm², 0.11pJ/op, 4.01TOPS의 성능을 보이고, 36 칩 시스템에서 127.8TOPS 및 2615 이미지/s ResNet-50 추론성능을 보인다.

Paper C24-1 "A 0.11 pJ/Op, 0.32-128 TOPS, Scalable, Multi-Chip-Module-based Deep Neural Network Accelerator with Ground-Reference Signaling in 16nm," 10 B. Zimmer, et al., NVIDIA Corp.



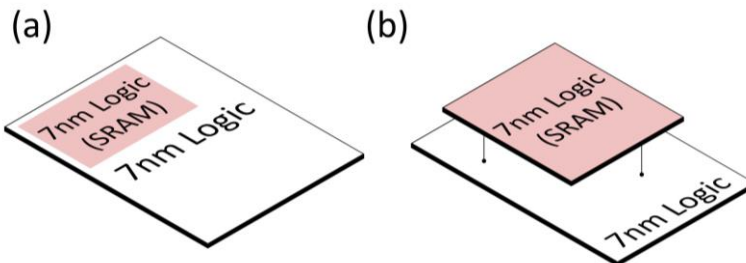
C24-1 제안된 MCM 기반 DNN 가속기의 시스템 개요.

2.5D/3D 통합

SoICTM (System on Integrated Chips)

TSMC 는 기존칩의 FEOL 에 적용될 수 있는 혁신적인 3D 이중 집적 기술인 SoICTM(System on Integrated Chips)을 공개한다. SoICTM 기술을 사용한 칩은 2.5D 나 micro-bump/TSV 를 사용한 기존의 3D-IC 보다 높은 대역폭밀도와 높은 전력 효율을 가진다.

Paper T2-3 "3D Multi-chip Integration with System on Integrated Chips (SoICTM)," C. C. Hu et al., TSMC.

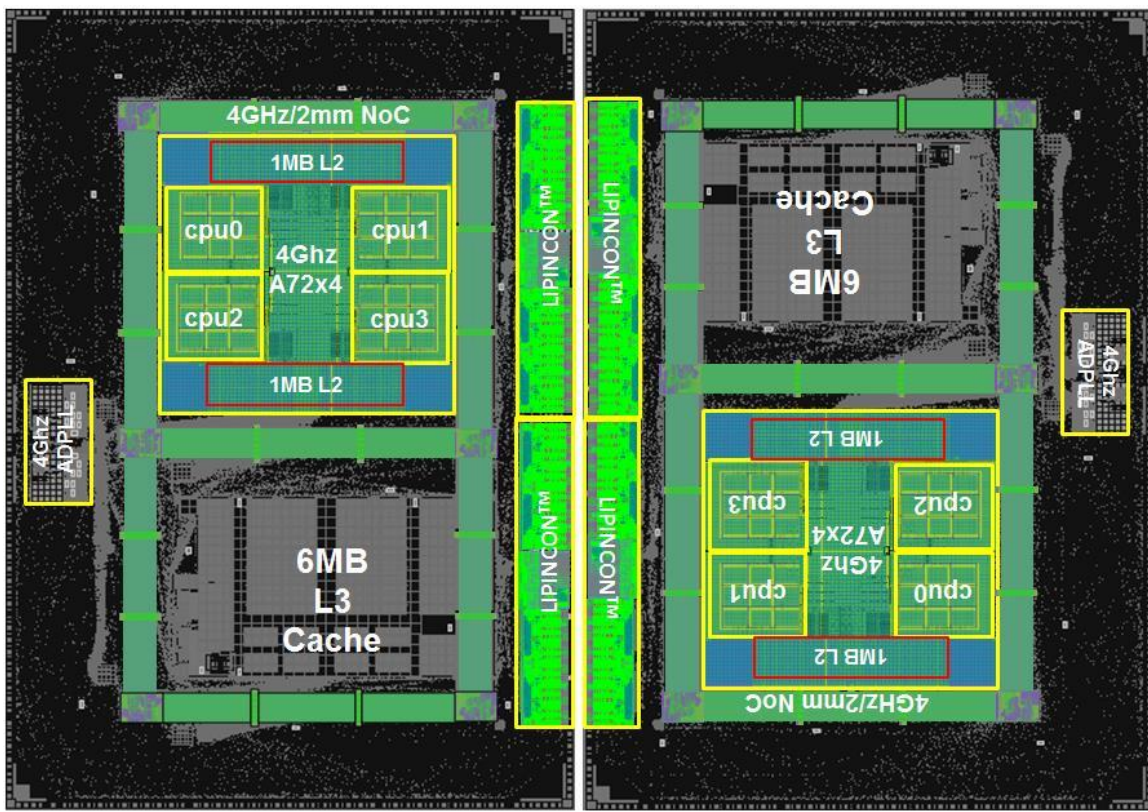


T2-3 SoIC 인터커넥트, 기존 2.5D 또는 3D-IC 와 비교.

7nm 공정의 듀얼 칩렛 고성능 컴퓨팅 프로세서

멀티칩렛 설계를 통해 높은 수율과 저렴한비용으로 대규모 및 고성능 프로세서를 구현하기 용이하다. 올해 TSMC는 CoWoS® 기술을 적용한 7nm 공정기반의 듀얼 칩렛 고성능 컴퓨팅(HPC) 프로세서를 발표한다. 각 칩에는 최대 4GHz로 작동하는 4개의 ARM Cortex®-A72 코어가 탑재되며, 코어간 메쉬 네트워크는 4GHz 이상으로 작동한다. LIPINCON™(Low-Voltage-In-Package-INterCONnect)라고 불리는 칩렛간 연결 인터페이스는 0.56pJ/bit의 전력 효율과 1.6Tb/s/mm²의 대역폭 밀도, 320GB/s의 대역폭을 보인다. 이번 연구를 통해 칩렛 기반 대규모 및 고성능 프로세서를 새로운 고성능 컴퓨팅 시대에 적용할 수 있다는 것을 알 수 있다.

Paper C3-1 “A 7nm 4GHz Arm-core-based CoWoS Chiplet Design for High Performance Computing,” M.-S. Lin, et al., TSMC.



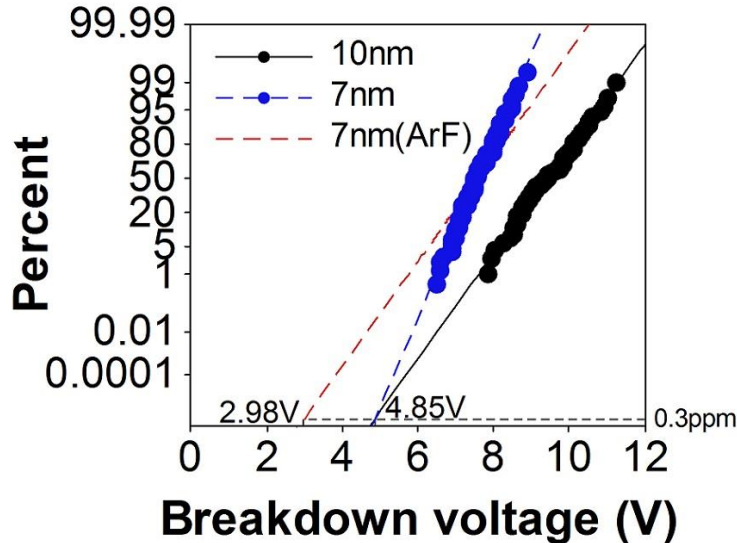
C3-1 듀얼 칩렛 평면도.

고급 플랫폼 & SOC

EUV를 통한 7nm 공정의 신뢰성 향상

삼성전자는 EUV 를 사용한 7nm FinFET 공정의 신뢰성에 대해 발표한다. 삼성은 MOL 및 BEOL 의 EUV 싱글 패터닝 기법을 사용함으로써, 이전에 사용하던 멀티 패터닝 기법에 비해 신뢰성을 크게 향상시켰다. 또한, SRAM, Logic HTOL, SER 등을 통해 제품의 신뢰성 입증에 성공했다. 이러한 결과는 EUV 를 사용한 7nm 기술이 대량 생산에 투입될 준비가 되었음을 나타낸다.

Paper T2-1 "Enhanced Reliability of 7nm Process Technology featuring EUV," K. Choi et al., Samsung Electronics.

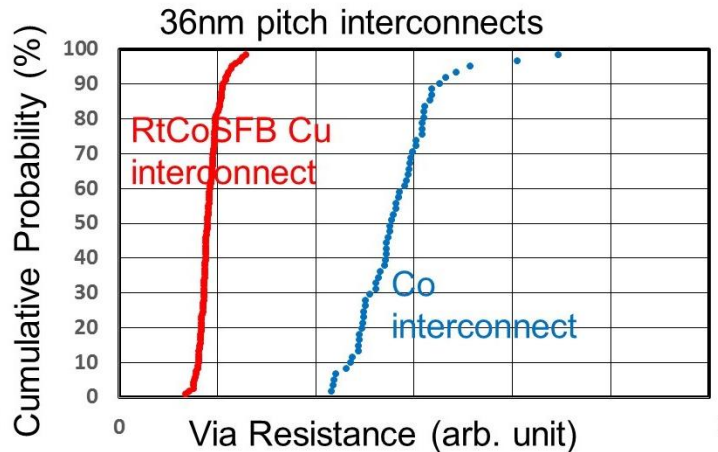


T2-1 케이트 - 접축 Vramp 분포의 VBD 슬로프는 EUV 공정으로 크게 향상된 결과를 보여준다.

7nm 및 그 이후 공정을 위한 RtCoSFB 을 이용한 Cu 인터커넥터

IBM 은 PVD-RtCoSFB(reflowed through-Co self-forming barrier)를 사용한 2nm 의 barrier/wetting 층이 있는 Cu 인터커넥트의 EM 및 TDDB 신뢰성을 보여준다. RtCoSFB 를 사용한 Cu EM 수명은 표준 크기 barrier/wetting 층이 있는 Cu 인터커넥트의 2000 배 길고, 일반 Co 인터커넥트의 수명과 동일하다. RtCoSFB 를 사용한 Cu 인터커넥트를 사용하면 Co 인터커넥트보다 낮은 라인 저항과 via 저항을 구현할 수 있지만, anneal 공정시, dual-damascene line-end via 에 Cu 가 응집되어 via-chain 수율을 낮춘다. Cu 인터커넥트를 7nm 공정 이하기에서 사용하기 위해선, 이 via-fill 문제를

논문 T2-2 "Cu 금속화를 7nm 노드 이상으로 확장하는 기술적 도전 및 가능 요소", T. Nogami 외, IBM 리서치.



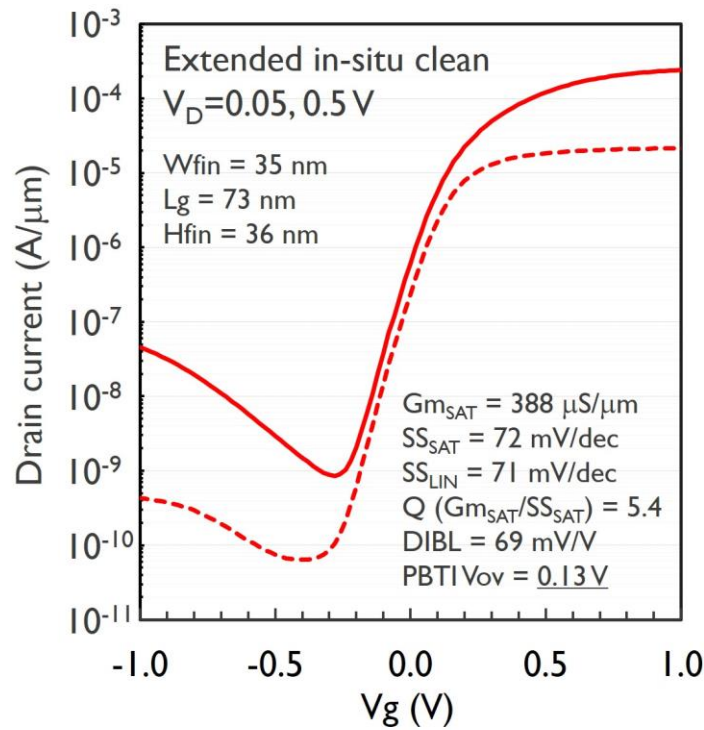
T2-2 RtCoSFB 를 채용한 Cu 의 via-R 은 Co 인터커넥트의 1/3 배를 구현한다.

14nm CMOS 로 제작된 경량형 보안 AES 가속기

IoT 환경에서 해커는 암호화 가속기의 물리적 보안 취약점을 통해 SoC 에서 처리된 정보를 해킹할 수 있다. 따라서, 하드웨어 보안은 IoT 에서 가장 중요한 문제 중 하나이다. Side-effect 공격은 가속기의 전력 소비에 대한 통계 분석을 기반으로 공격하는, 해킹 방법 중 하나이다. 올해 인텔은 이 side-channel 공격을 막을 수 있는 14nm CMOS 로 제작된 보안 AES 가속기를 발표한다. 이 가속기는 side-channel 공격에 대해서 1200 배 강력한 회복력을 보여준다. 이 설계는 random heterogeneous Sboxes shuffling, linear mask MixColumns, dual-rail key addition 를 사용하여 적은 하드웨어 리소스를 사용하면서도 전력 소모와 비밀 키 사이의 상관 관계를 효과적으로 숨긴다. 측정 결과, 1200 만 회의 side-channel 공격에 성공적으로 방어하였다. 하드웨어 오버헤드는 전력, 넓이 및 성능면에서 각 23%, 28%, 0.7%에 불과하다.

논문 C20-1 "이중 Sboxes, 선형 마스크 MixColumns 및 듀얼레일 키 추가를 사용한 14nm CMOS 로 제작된 4900um² 839Mbps 부채널 공격 저항 AES-128",

R. Kumar 외, 인텔



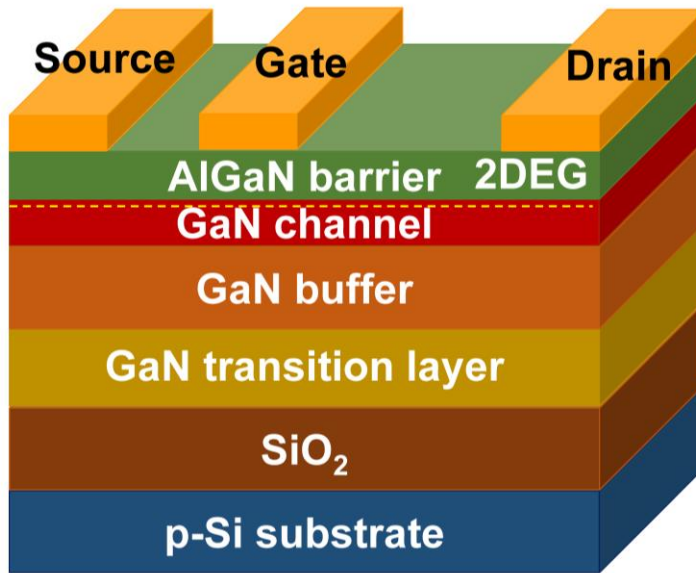
T9-1 35nm 너비 Ge nFinFET 에서 얻은 ID-VG 곡선.

GaN-on-Insulator(GNOI)-on-Si 웨이퍼로 구현된 높은 항복 전압 GaN HEMT

GaN-on-Si 기술은 차세대 전력 전자 응용 분야에 유망한 기술 중 하나이다. SMART(Singapore-MIT Alliance for Research and Technology)는 epitaxial layer transfer 기법을 사용한 200-mm GaN-on-Insulator (GNOI)-on-Si 웨이퍼를 발표한다. 제작된 HEMT는 최대 2200 V의 off-state 항복 전압과 최대 1.87 GW/cm²의 높은 BV_{off2}/Ron,sp 성능을 보여준다.

논문 T19-1 "200 mm GaN-on-Insulator(GNOI)-on-Si 웨이퍼로 구현된 항복 전압 2200 V 의 GaN HEMT",

Z. Liu, 외, SMART(Singapore-MIT Alliance for Research and Technology).

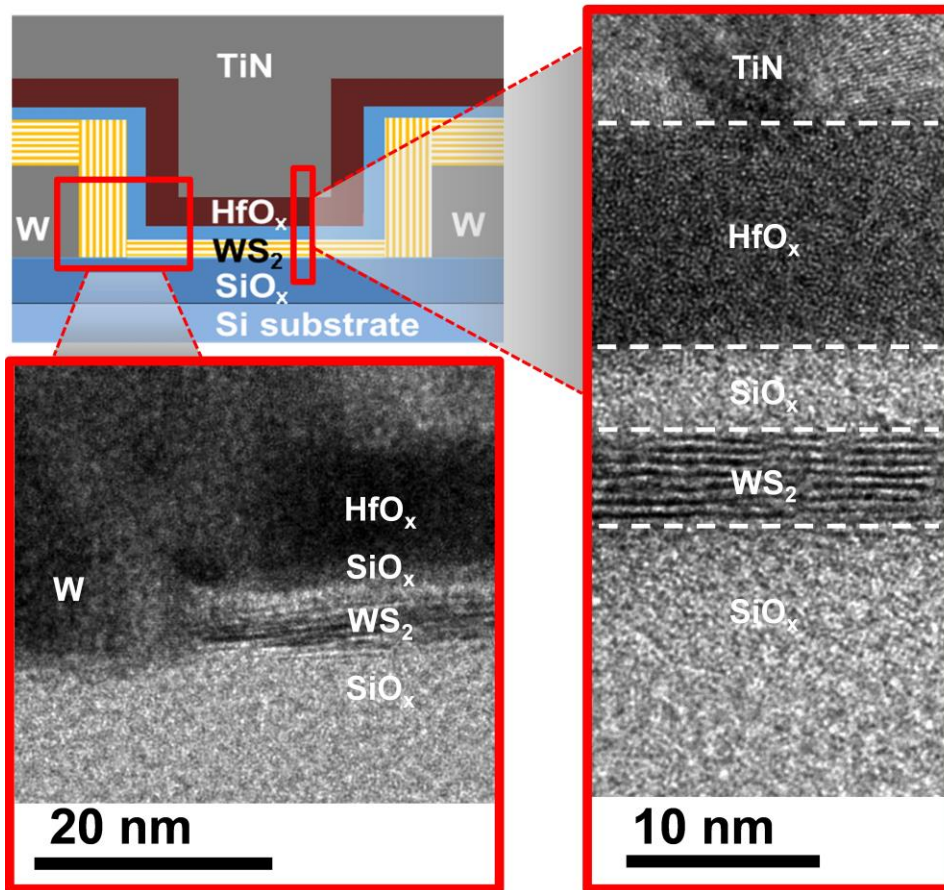


T19-1 제안된 GaN HEMT 구조.

SiO_x/Si 기판에 직접 성장된 Channel Area-Selective CVD 를 사용한 WS₂ Channel pFET

2D 재료의 selective-area growth 기술은 억제된 2D-채널 트랜지스터 short channel effect 감소시키기 위한 중요한 기술이다. TSMC(Taiwan Semiconductor Research Institute)는 selective-area CVD 성장을 사용한 SiO_x/Si 기판에 제작된 첫 번째 top-gate WS₂ p-channel FET 를 발표한다. 이 WS₂ FET 은 40-nm 게이트 길이를 가지고, 10⁶의 on/off 비율, 97 mV/dec 의 subthreshold 기울기, 0 에 가까운 DIBL 을 보인다.

논문 T19-2 "SiO_x/Si 기판에 직접 성장된 채널 영역 선택 CVD 를 사용한 40-nm 채널 길이 top-gate WS₂ pFET 의 첫 번째 시연",
C.-C. Cheng 외, TSMC.

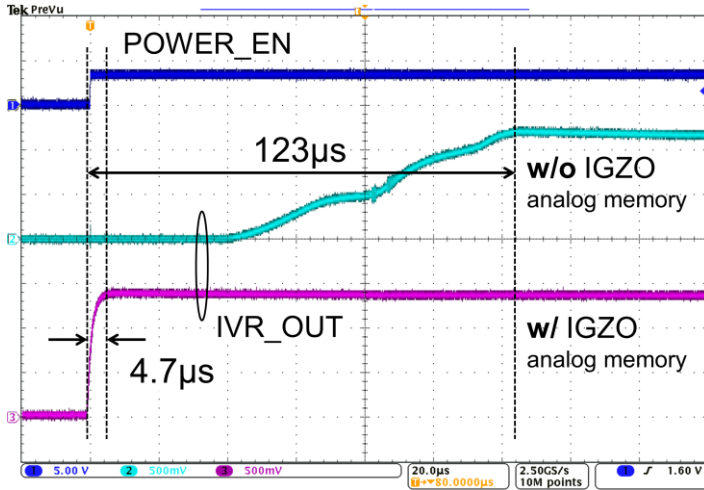


T19-2 제안된 WS₂ pFET 의 단면 이미지.

Normally-Off 컴퓨팅을 위한 IGZO-기반 MCU

Normally-Off 컴퓨팅을 위해 설계된 IGZO-기반 MCU 는 올해 소개된 혁신적인 저전력 기술 중 하나이다. 이 MCU 는 60-nm IGZO 공정에서 구현되었으며, 파워 게이팅이 되더라도 PE 와 메모리에서 데이터를 유지하여 1 클록(21ns) 사이클에 불과한 백업 시간과 4.49us 의 빠른 복원 시간을 갖는다. IGZO 는 누설 전류가 낮아 880nW 의 초저 대기 전력을 가능하게 한다. 이 연구는 저전력 및 빠른 웨이크업이 필요한 IoT 및 edge AI 의 보편화를 앞당기는 데 IGZO 기술이 큰 역할을 할 수 있음을 보여준다.

논문 C5-1 "48 MHz 880-nW 대기 전력과 1 클록 풀 백업 및 4.69-us 웨이크업을 구현하는 60-nm Crystalline In-Ga-Zn Oxide 기반 Normally-Off MCU",
T. Ishizu 외, Semiconductor Energy Laboratory Co., Ltd.

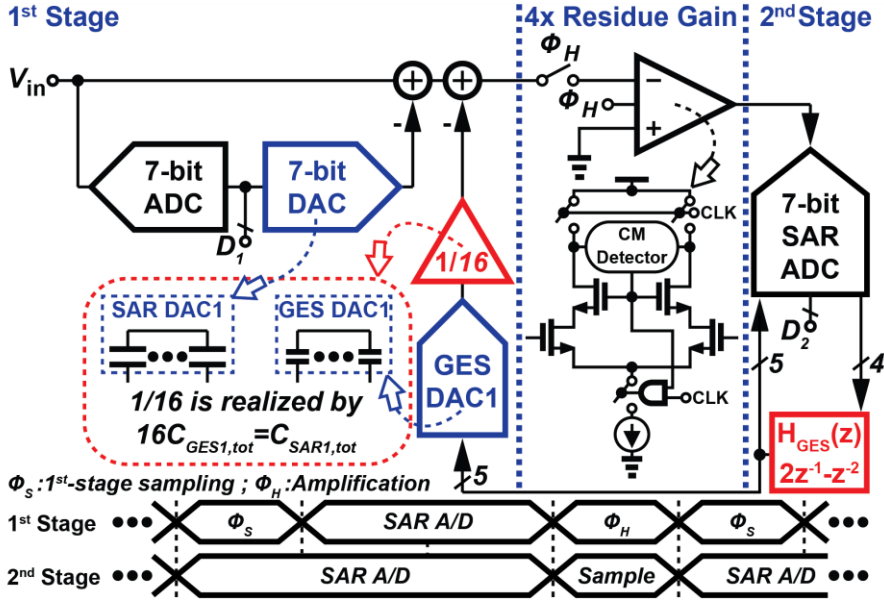


C5-1 IGZO 아날로그 메모리 유무에 따른 통합 전압 조정기의 정착 시간.

와이어라인 & 데이터 컨버터 회로

2차 인터스테이지 게인 오차 셰이핑을 사용한 75.8dB-SNDR 파이프라인 SAR ADC 고속 어플리케이션에 널리 사용되는 파이프라인 SAR ADC는 인터스테이지 게인 오차에 민감하다. 텍사스 대학교 오스틴 캠퍼스는 파이프라인 SAR ADC에서 대역내 인터스테이지 게인 오차를 억제하는 저비용의 게인 오차 셰이핑(GES) 기법을 발표한다. 이 기법은 폐쇄형 루프 및 개방형 루프 인터스테이지 증폭 모두에서 동작한다. 제안된 2nd-order GES 기법을 사용해 40nm CMOS로 제작된 파이프라인 SAR ADC는 12.5MHz 대역폭에서 75.8dB SNDR를 달성하고 100MS/s로 작동하며 1.54mW를 소모한다. GES 관련 하드웨어는 코어 영역의 2% 미만을 차지한다.

논문 C7-1 "2차 인터스테이지 게인 오차 셰이핑을 사용한 75.8dB-SNDR 파이프라인 SAR ADC",
C-K. Hsu 외, 텍사스 대학교 오스틴 캠퍼스

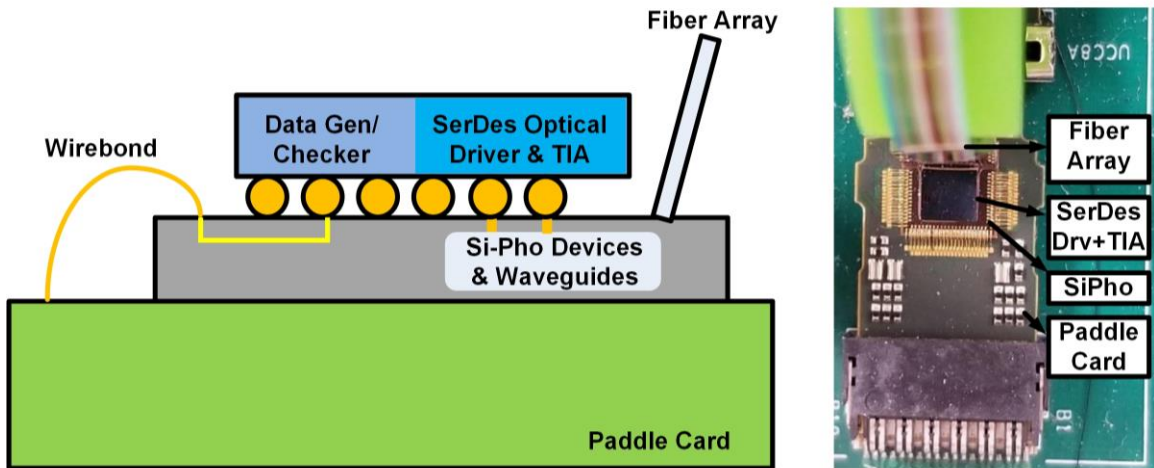


C7-1 2nd-order GES 를 사용한 ADC 의 블록 및 타이밍 다이어그램.

50Gb/s 하이브리드 통합 Si-광자 광 링크

실리콘 광자는 전기 시그널링보다 높은 에너지 효율과 대역폭 밀도를 달성할 수 있는 주요 기술이다. 올해 Xilinx 는 50Gb/s 하이브리드 Si-광자 광 링크를 발표한다. 16nm CMOS 로 제작된 Tx 와 Rx 는 T-코일을 사용하여 전계-흡수 변조기의 효율을 향상시키고 트랜스 임피던스 증폭기의 노이즈를 감소시킨다. 링크 감도는 BER<10⁻¹² 에서 광 변조 진폭이 -10.9dBm 이고, 레이저 사용 시 50Gb/s 에서 4.31pJ/bit 를 소모한다.

논문 C16-1 "16nm FinFET 으로 구현된 50Gb/s 하이브리드 통합 Si-광자 광 링크", M. Raj 외, Xilinx Inc.

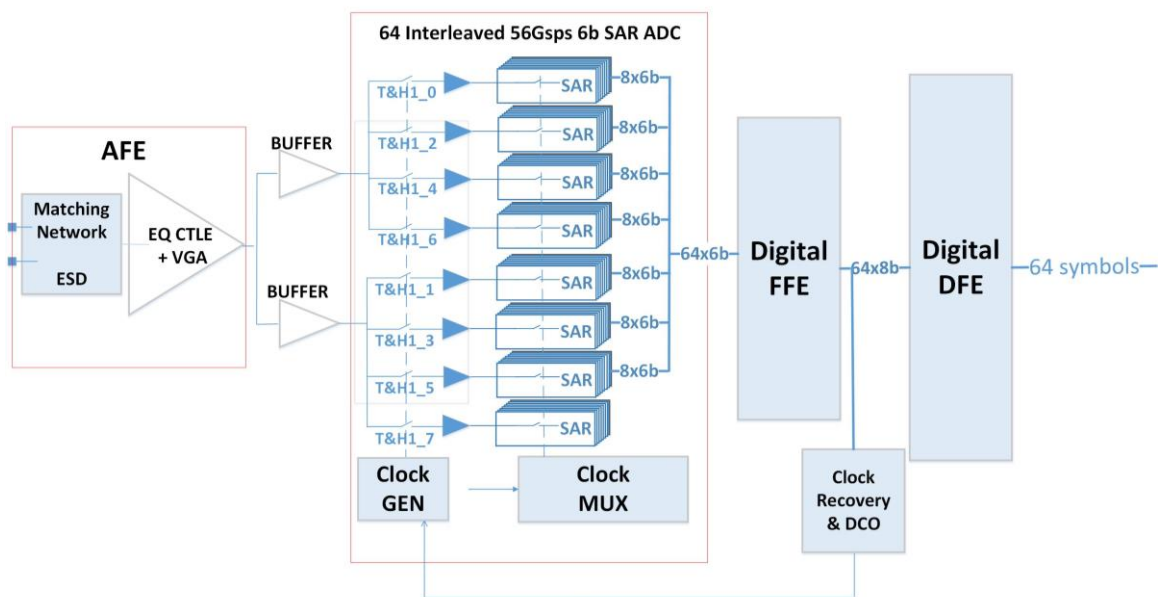


C16-1 Si-광자를 통한 광 트랜시버(드라이버 및 TIA): 블록 다이어그램(좌) 및 사진(우).

10nm 공정을 이용한 장거리 채널용 112Gb/s PAM4 수신기

올해 인텔은 지난 VLSI 회로 심포지아에서 발표한 세계 최초의 통합 112Gb/s PAM4 수신기의 향상된 버전으로 장거리, 작은 면적을 지원하는 112Gb/s PAM4 수신기를 발표한다. 이 수신기는 64-way 인터리빙 SAR-ADC와 결정 블록의 2단 캐스캐이드 샘플링 토폴로지에 더하여 아날로그 프론트 엔드에 Q-셰이핑 이퀄라이저 기법에 기반한 LC 패시브 소자를 사용하여 낮은 노이즈와 강력한 이퀄라이제이션 성능을 구현한다. 이 연구는 10nm 공정을 통해 구현되었고, 112Gb/s PAM4 PRBS-31 입력 데이터 패턴을 사용하여 측정되었다. 온칩 DSP에 16tap FFE와 1tap DFE를 포함하는 이 수신기는 0.281mm² 활성 영역에서 하나의 채널을 통해 35dB 손실과 10⁻⁶ 미만의 pre-FEC raw BER을 달성한다.

논문 C22-1 "10nm 공정을 이용한 장거리 채널용 112Gb/s PAM4 ADC 기반SERDES 수신기", Y. Krupnik 외, 인텔



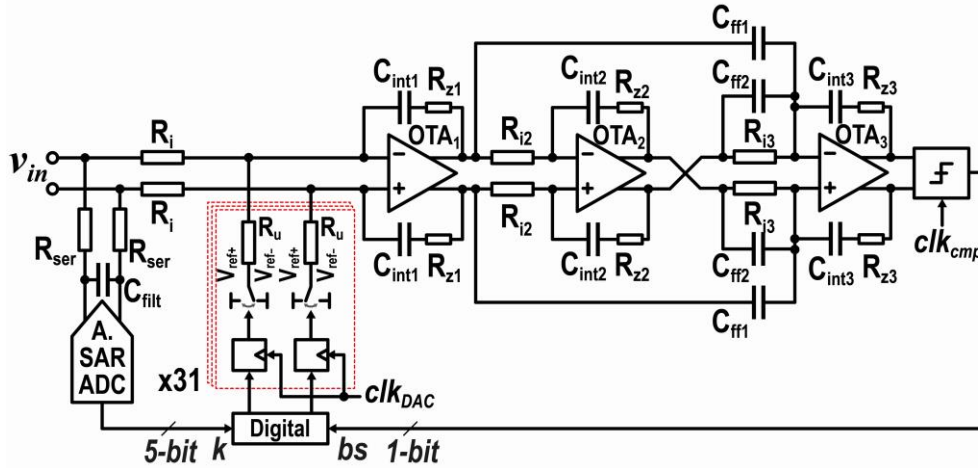
C22-1 제안된 수신기의 블록 다이어그램.

오디오 어플리케이션용 저전력 연속 시간 줌 ADC

델프트 공과대학에서 줌 아키텍처를 사용하는 연속 시간(CT) A/D 컨버터를 발표한다. 모바일 오디오 어플리케이션에서는 데이터 변환 시스템이 저전력 및 고분해능을 달성 해야한다. 기존의 고정밀 A/D 컨버터는 축전 부하 및 샘플링으로 인해 입력 및 레퍼런스 드라이버에 과도한 부하가 걸린다. 제안된 연속 시간 줌 A/D 컨버터는 저항 입력 임피던스를 가지고 있어 주변 드라이버의 요구조건을

완화시킬 수 있다. 이 A/D 컨버터는 108.5 dB의 동적 범위, 106.4 dB SNDR의 높은 정확도로 변환하며, 618 μW 를 소모한다.

논문 C19-1 "오디오 어플리케이션용 저전력 연속 시간 줌 ADC",
B. Gönen 외, 벨프트 공과대학.



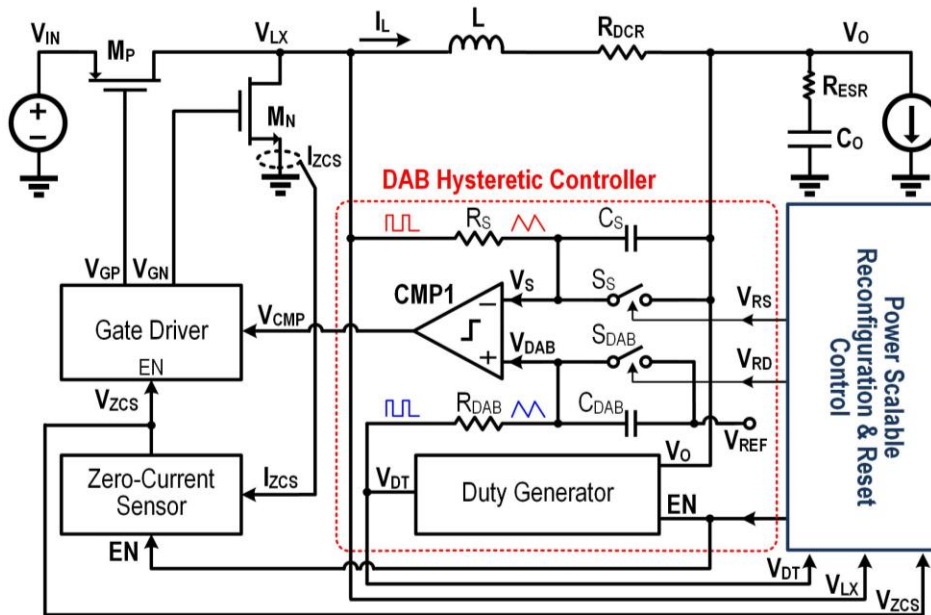
C19-1 제안된 CT 줌 ADC의 단순화된 회로도.

전력 관리 회로

5G IoT 용 DC-DC 컨버터

5G IoT에서 전력 컨버터는 0과 최대 전력 사이에서 갑작스러운 전력 변화가 발생하면 초고속 과도 응답을 통해 처리하여야 하고 광범위한 전력을 효율적으로 전달하며, 낮은 시스템 프로파일과 높은 전력 밀도를 유지해야 한다. 텍사스 대학교 델러스 캠퍼스는 5G IoT용으로 설계된 DAB(double adaptive bound) 히스테리시스 제어 전력 컨버터를 발표한다. 1A/3ns 부하 스텝업/스텝다운에 대한 응답으로, DAB 제어를 통해 247ns/387ns의 1% t_{settle} 를 달성한다. 이것은 0.18 μm CMOS의 최고 성능보다 6배 빠르다. 그 밖에도 2.5W 전체 전력의 99.9% 범위에서 80%의 효율을 달성한다. 지금까지 보고된 칩 전력 밀도 중 가장 높은 14.3W/mm²를 달성한다.

논문 C15-3 "2.5W/247ns 전 부하 전력 플립핑 및 99.9% 전력 범위에서, 80% 이상의 효율을 달성하는 5G IoT용으로 설계된 10-MHz 14.3W/mm² DAB 히스테리시스 제어 전력 컨버터",
K. Wei 외, 텍사스 대학교 델러스 캠퍼스



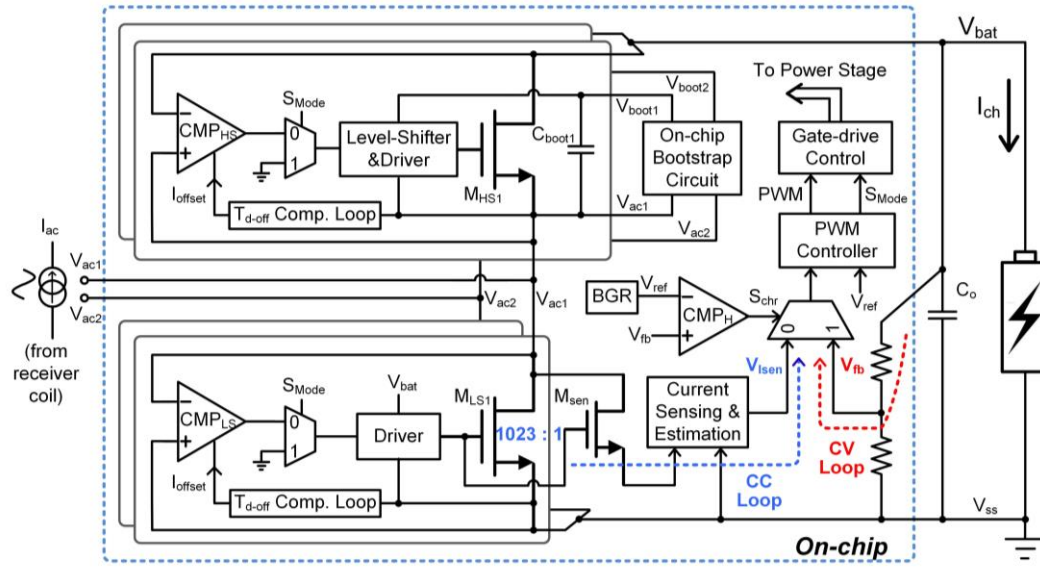
C15-3 제안된 DC-DC 컨버터의 블록 다이어그램.

고효율 소형 단일 단 무선 충전기

CC-CV(정전류 및 정전압) 배터리 충전은 이미 널리 사용되고 있지만 1A 급 어플리케이션을 위한 효율적인 무선 CC-CV 는 구현이 쉽지 않았다. 중국과학기술대학교와 홍콩과학기술대학교는 소형의 단일 단 전력 컨버터에서 세 가지 기능, 즉 전압 정류, 조정 및 CC-CV 충전을 수행하는 데 성공했으며 부트스트랩 커패시터와 함께 0.35um CMOS 공정에서 8mm² IC 으로 개발하였다. 측정된 피크 효율은 충전 전류가 1A, 1.5A 일 때 각 92.3%, 91.4%이다.

논문 C26-1 "CC-CV 충전 및 온칩 부트스트래핑 기법을 채용한 6.78MHz 92.3%-피크 효율 단일 단 무선 충전기",

L. Cheng 외, 중국과학기술대학교



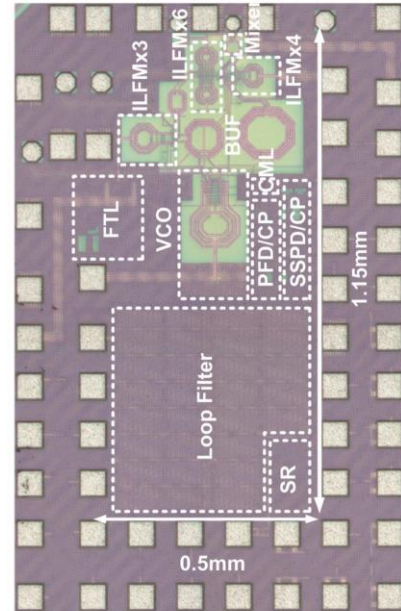
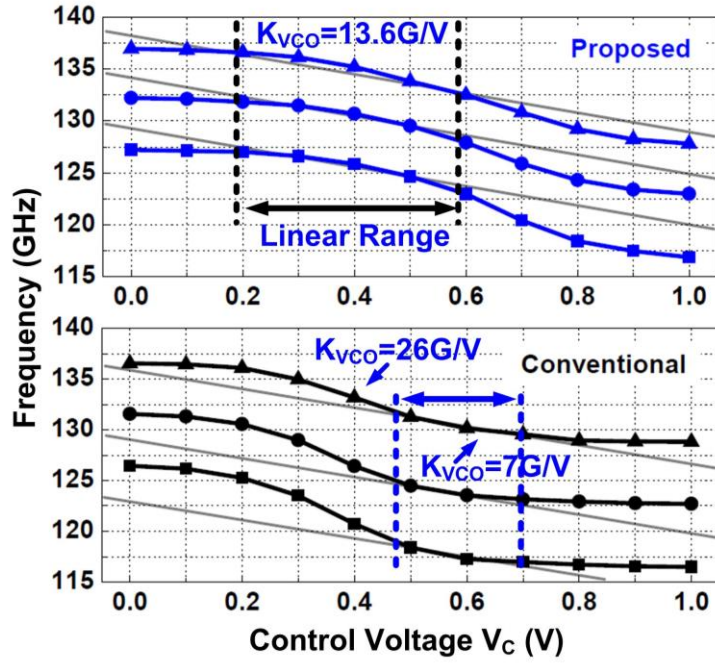
C26-1 제안된 충전기의 블록 다이어그램.

주파수 발생

65nm CMOS 로 제작된 270-GHz 완전 통합형 주파수 합성기

광대역, 저위상 잡음, 정확한 서브-THz 소스는 일관적인 회전 분광 시스템 및 테라헤르츠 무선 통신에 필수 요소이다. 홍콩과학기술대학교는 비용면에서 효율적인 서브-THz 주파수 합성기를 65nm CMOS 로 제작하였다. 이 합성기는 캐스케이드 ILFM(Injection-Locked Frequency Multiplier) 체인을 사용하여 61.2~100.8GHz, 122.4~136.8GHz, 198.5~273.6GHz 를 발생 시킬 수 있다. 211GHz 의 캐리어에서 출력 전력 -11dBm, DC-to-RF 효율 0.16%를 달성하였다.

논문 C4-2 "65nm CMOS 로 제작된 270-GHz 완전 통합형 주파수 합성기",
X. Liu 외, 홍콩과학기술대학교



C4-2 ILFM(injection locked frequency multiplier)의 측정된 주파수 튜닝 범위 및 제안된 주파수 합성기의 칩 현미경 사진