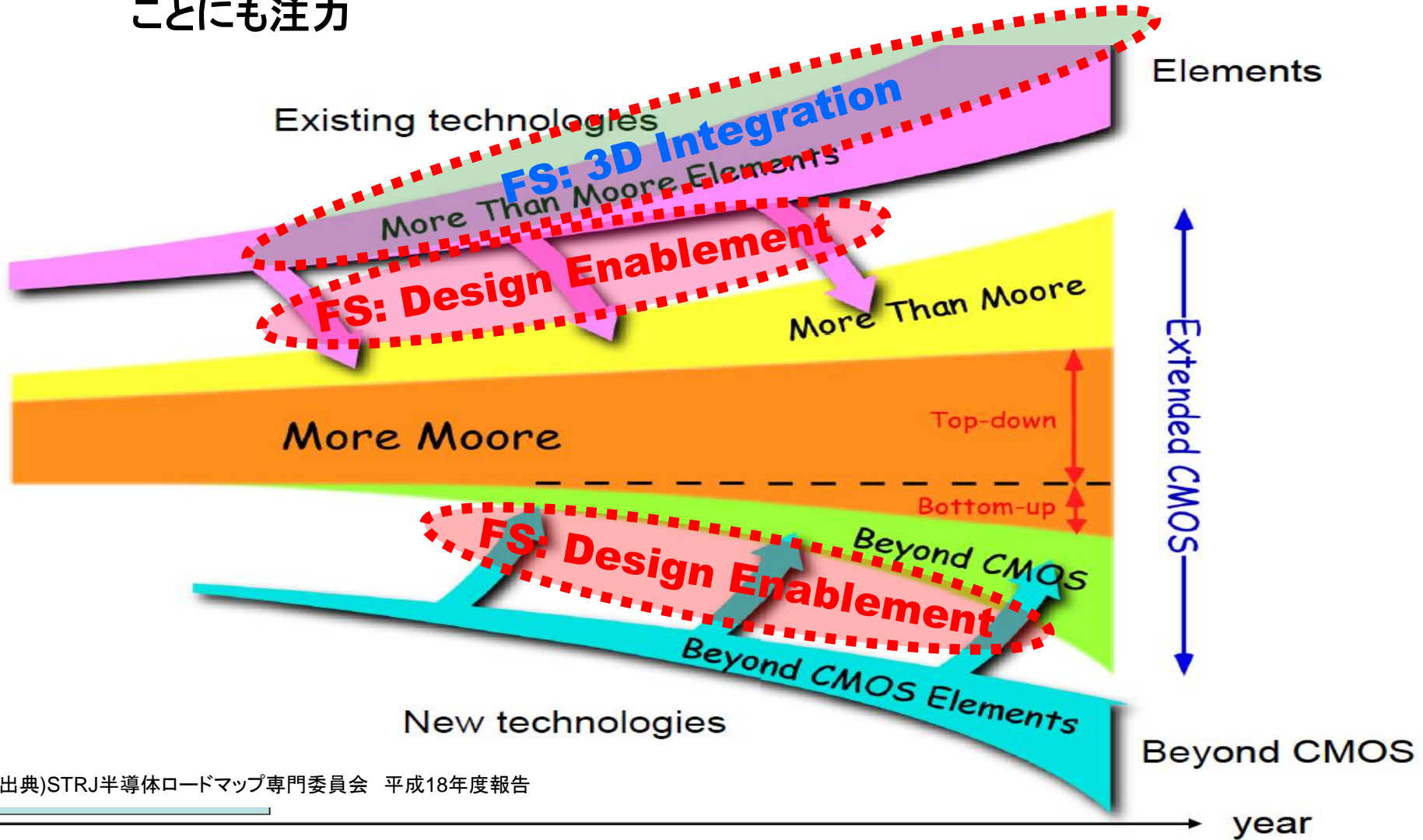


2013年
VLSI Technologyシンポジウム
注目論文のご紹介

VLSI Technologyシンポジウム プログラム委員長
平本 俊郎

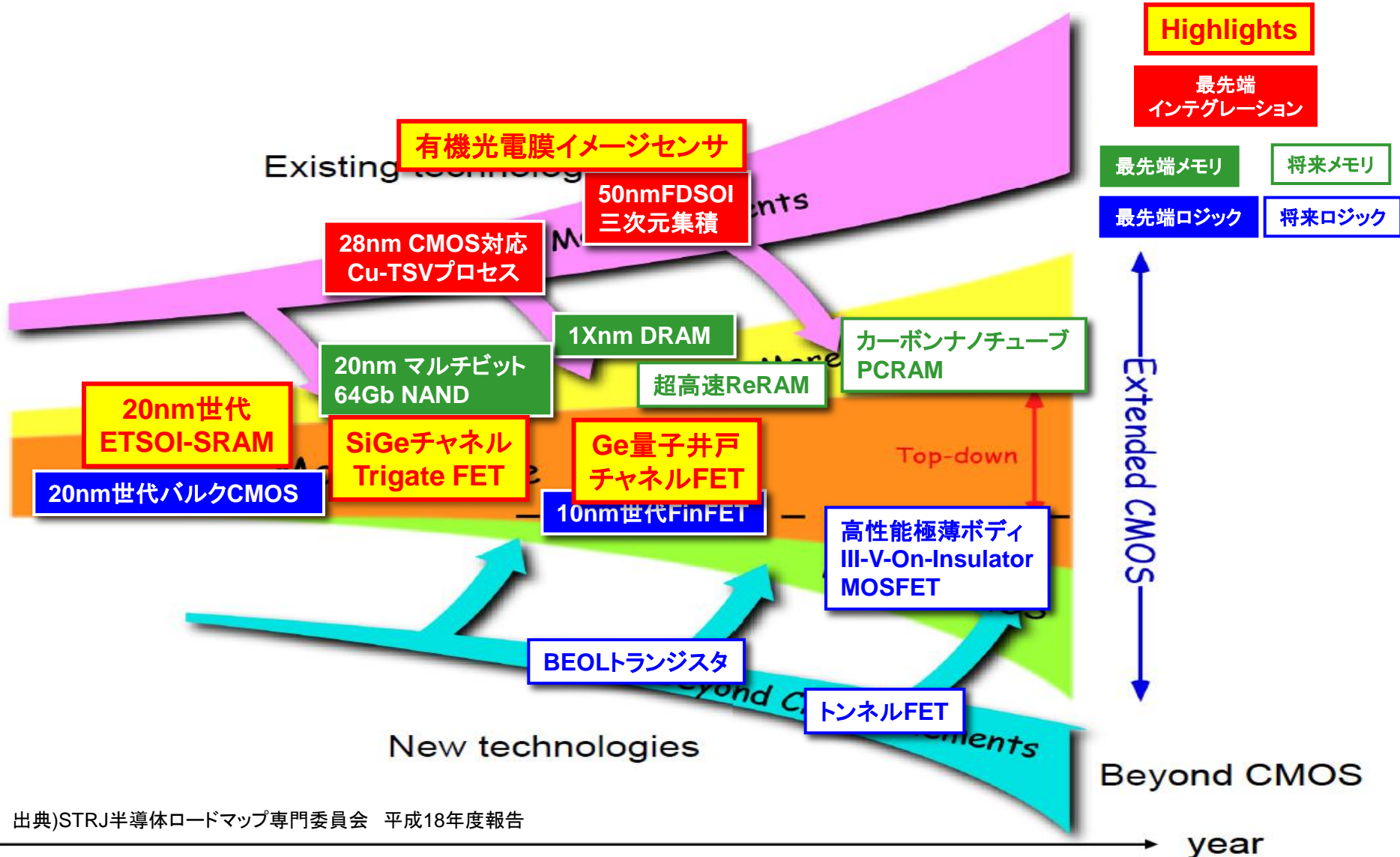
セッション構成

- More Moore, More than Moore, Beyond CMOS, Explorative Researchに継続注力
- 技術・回路のJoint Focus Sessionを多数設けて相互理解を深めることにも注力

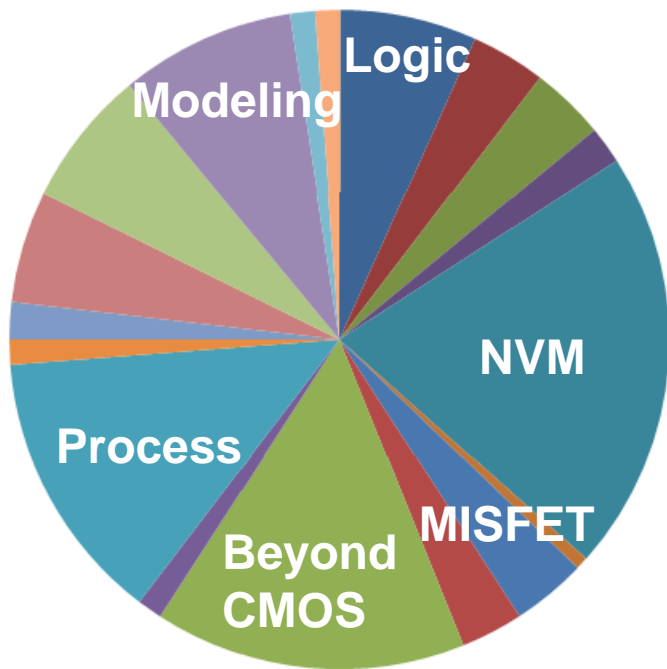


論文トピックス

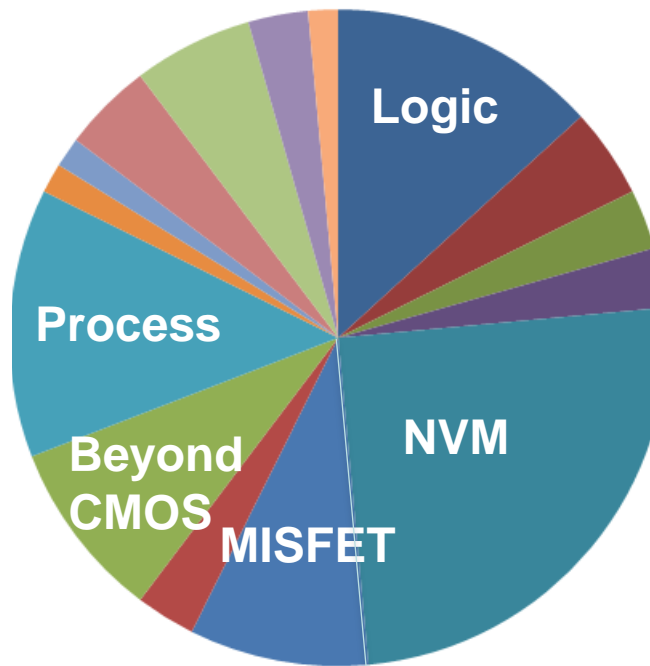
- 最先端/将来のロジック/メモリから最先端インテグレーション技術まで、多岐にわたる最新の研究成果が報告される



投稿・採択論文の分野別傾向



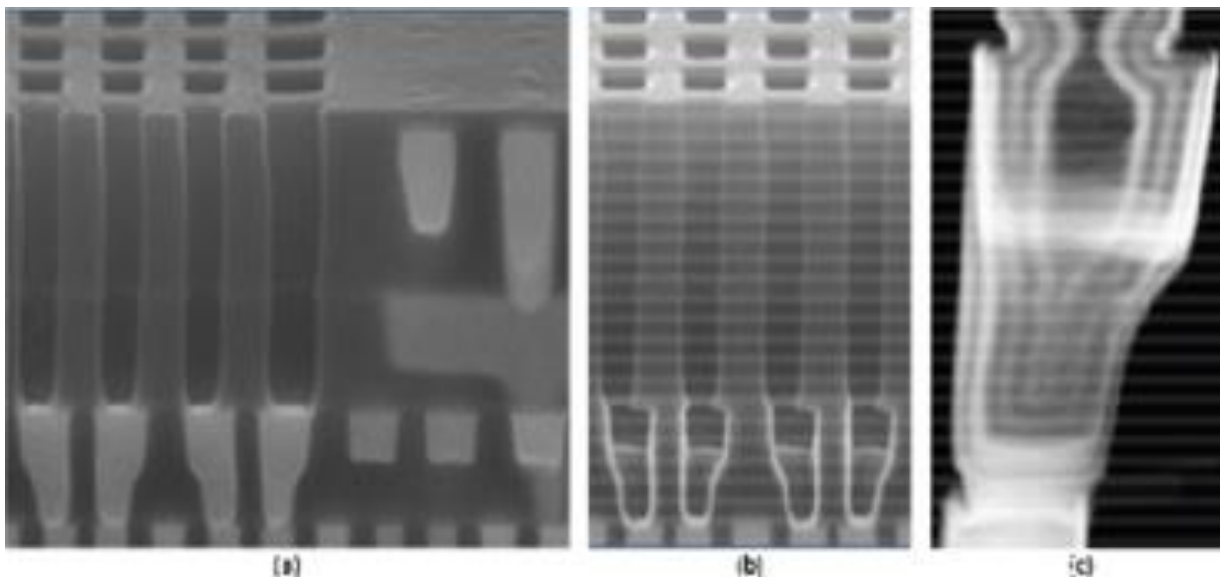
投稿論文 (164件)



採択論文 (68件)

- Logic LSI
- System LSI
- Memories
- Embedded Memories
- Non-Volatile Memories
- Passive Components
- MISFET
- More than Moore and Functional Devices
- Beyond CMOS and New Concepts/Technologies
- Theories and Fundamentals
- Process Technologies
- Lithography
- BEOL Process
- Package, SiP and 3D System Integration
- Reliability
- Modeling, Simulation and CAD
- Process control, Variability, Yield and Cost
- Others

Highlights

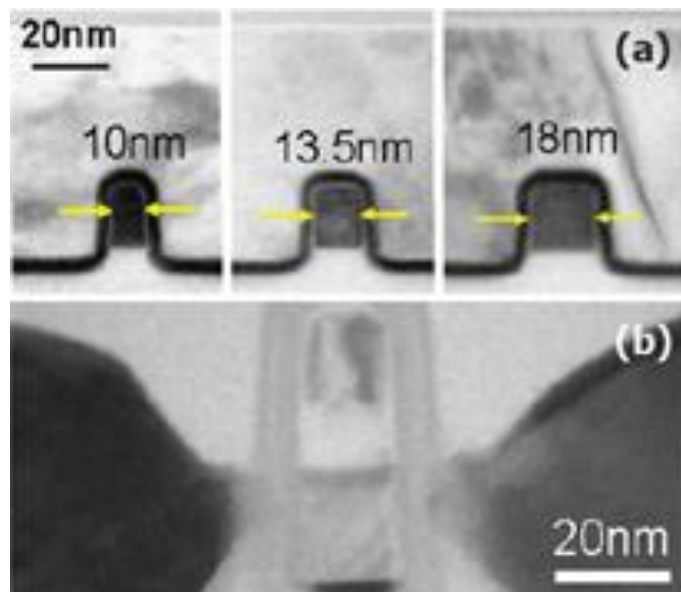


(Paper T2-1, "A 22nm High Performance Embedded DRAM Technology Featuring Tri-gate Transistors and MIMCAP COB," R. Brain_ et al., Intel.)

- ・ $0.029 \mu\text{m}^2$ のセルサイズと 95°C の高温状況下でも $100 \mu\text{s}$ 以上のデータ保持時間
- ・ 高いアスペクト比の3次元COB MIMキャパシタを採用
- ・ DRAMのアクセストランジスタは性能とリーク電流の観点からTrigate型トランジスタを採用。同時に高性能トランジスタも同じDieの中で実現した。
- ・ VLSI Circuitsシンポジウム論文番号C13-5(後述)では22nm世代のSoC技術向けのDC-DCコンバーターについて報告される。

スケーリングを進めたSiGeチャネルTrigate pFET

(T2-2: IBM & GLOBALFOUNDRIES)



(Paper T2-2, “High Performance $\text{Si}_{1-x}\text{Ge}_x$ Channel on Insulator Trigate PFETs Featuring an Implant-Free Process and Aggressively-Scaled Fin and Gate Dimensions,” P. Hasemi *et al.*, IBM & GLOBALFOUNDRIES.)

- SiGe on Insulator基板に形成されたp型のTrigateトランジスタを報告
- Trigateトランジスタのfin幅は18nm以下で、かつゲート長も18nmまで寸法を小さくした。
- ソース/ドレイン領域はイオン注入ではなく、エピと同時にドーピングして形成した。
- 1.0 V 動作時にオン電流が1.1mA/ μm , オフ電流が100nA/ μm という性能を達成。

歪みGe-in-STI構造の量子井戸チャネルを用いたp型FET (T2-3:IMEC&GLOBALFOUNDRIES)

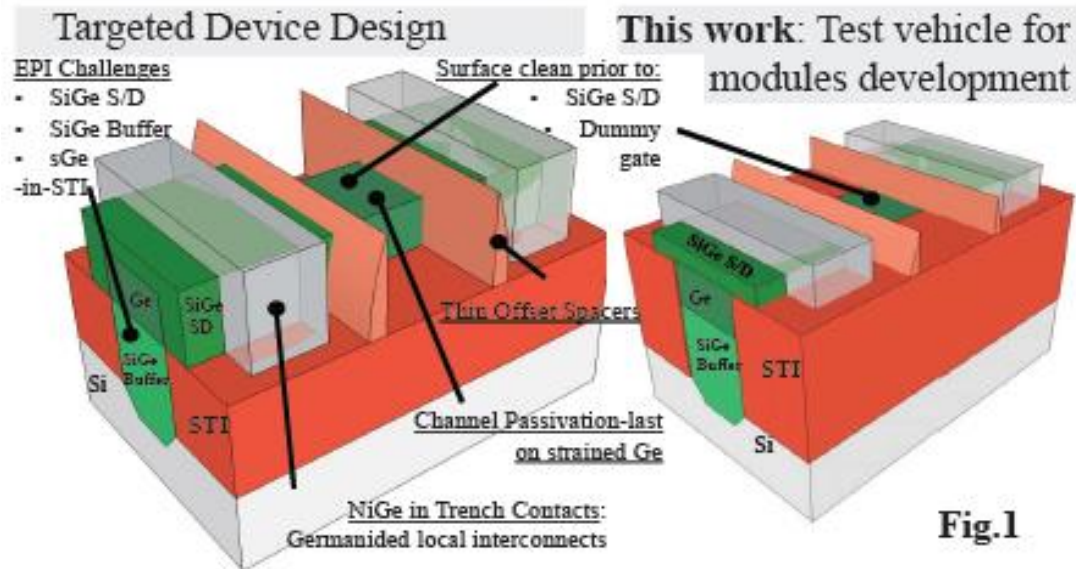
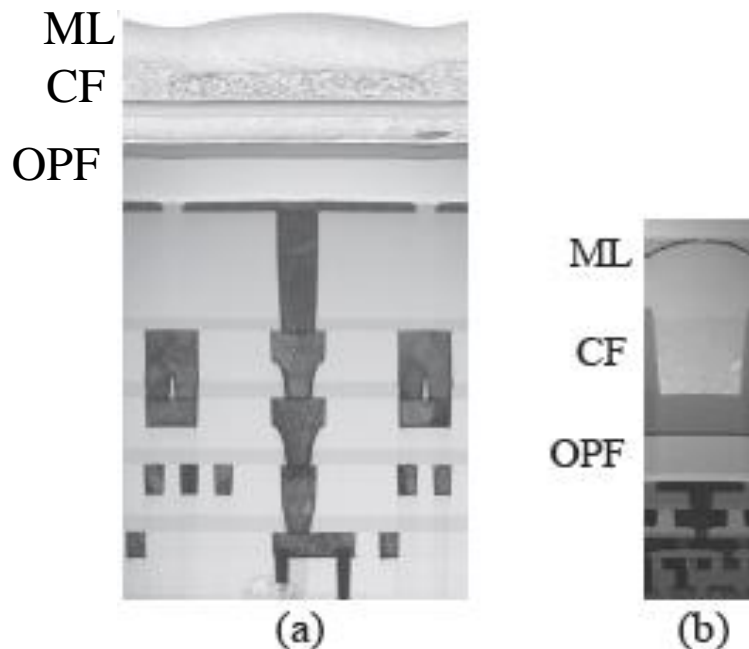


Fig.1

(Paper T2-3, "First Demonstration of Strained Ge-in-STI IFQW pFETs Featuring Raised SiGe 75% S/D, Replacement Metal Gate and Germanided Local Interconnects," J. Mitard et al., IMEC & GLOBALFOUNDRIES)

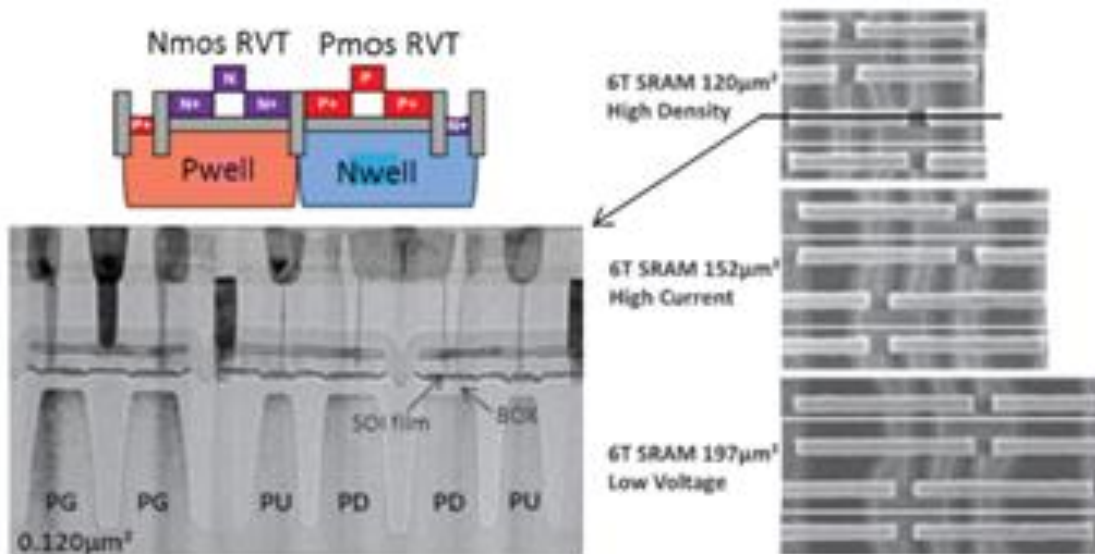
- STIに囲まれた領域内にSiGe歪み緩和バッファ層を形成し、それに対してさらに歪みGe層を形成してより高性能なチャネルを実現した。
- Ge/SiGe/Siからなる量子井戸構造チャネルとせり上げ型B-doped SiGeソース/ドレイン領域との組み合わせで短チャネル効果を抑制。



(Paper T2-4, "Thin Organic Photocnductive Film Image Sensors with Extremely High Saturation of 9500 electrons/mm²," M. Mori_et al., Panasonic and FUJI FILM)

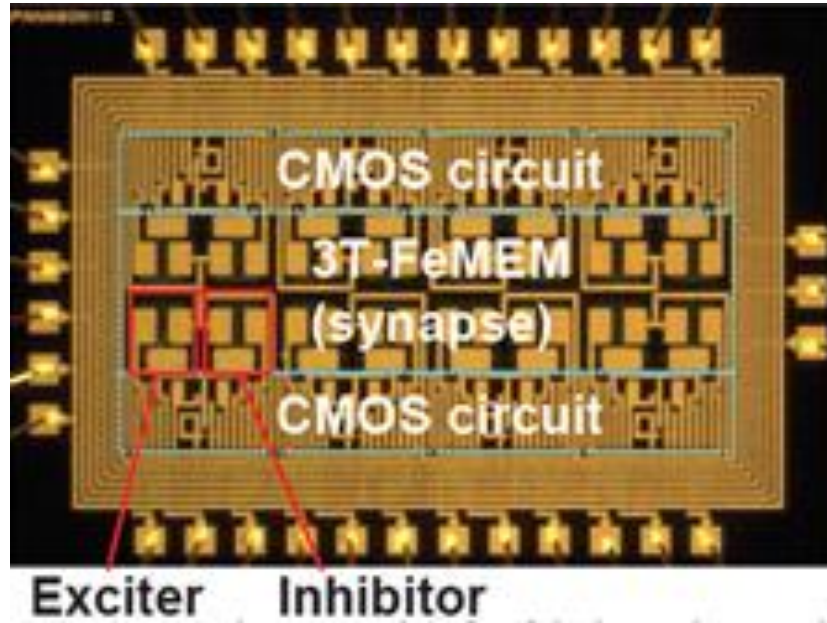
- 有機光電膜(OPF)を用いたCISを提案。
- より多くの光電子を溜め込むことができるので画像の飽和レベルは従来のシリコンCISよりも+12dB改善。
- 有機膜が薄膜なのでCIS構造全体を低背化でき、隣接ピクセル間のクロストークを抑制。 30° 以上の入射角も実現。

極低レベルリーク電流版、高速版、低電圧動作版のFDSOI SRAM (JJ2-3:STMicroelectronics & CEA-LETI)



(Paper JJ2-3, “FDSOI Process/Design full solutions for Ultra Low Leakage, High Speed and Low Voltage SRAMs,” R. Ranica et al., STMicroelectronics & CEA-LETI)

- 28nm世代向けのFDSOI技術で構成した6トランジスタSRAMセルを提案。
- 高密度版 ($0.120 \mu\text{m}^2$)、高電流版 ($0.152 \mu\text{m}^2$)、および低電圧版 ($0.197 \mu\text{m}^2$) の3種類を用意。
- 同世代のバルク版SRAMと比較して読み出し電流は1.0V動作時において+50%、また0.6V動作時においては+200%も改善。

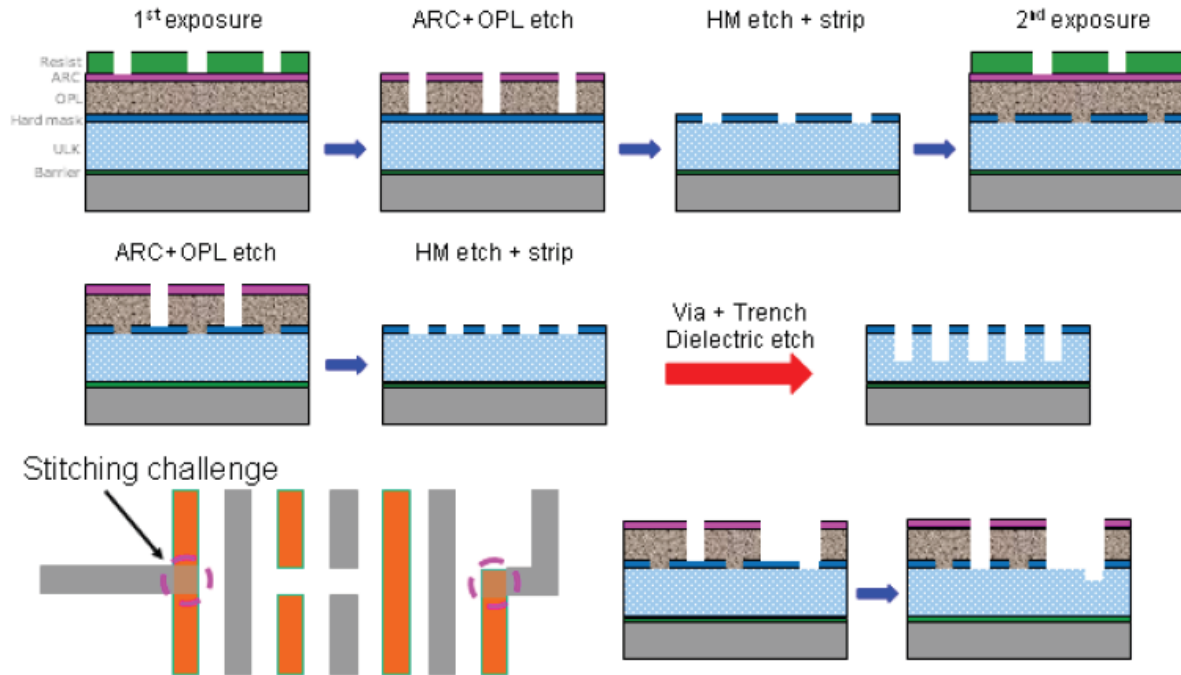


(Paper T16-2, "Neural Network based on a Three-Terminal Ferroelectric Memristor to Enable On-chip Pattern Recognition," Y. Kaneko *et al.*, Panasonic)

- ・ シナプスの機能を実現するためにReRAMやPCRAMのような2端子の不揮発性メモリを用いた例も報告されているが、必ずしも十分成功していない。
- ・ 複数の3端子強誘電体メモリスタを用いた16個のシナプスからなるニューラルネットワークのモジュールチップを試作した。
- ・ メモリスタのアナログ的な、かつ不揮発性を利用した電気伝導率変化を使い、シナプスの重み付けを変えてマトリックスパターンの学習に成功した。

64nmピッチ配線技術

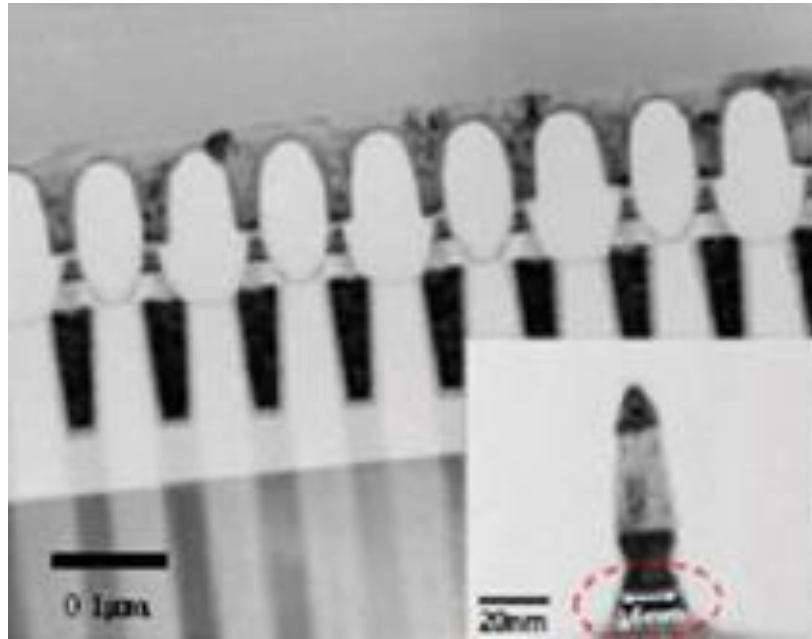
(T14-5: STMicroelectronics, Samsung, GLOBALFOUNDRIES, IBM)



(Paper T14-5, "64nm Pitch Interconnects: Optimized for Designability, Manufacturability and Extendibility," C. Goldberg et al., STMicroelectronics, Samsung, GLOBALFOUNDRIES, IBM)

- ・ 64nmピッチのバックエンド配線技術を報告。材料含めた将来性についても議論。
- ・ 明視野リソグラフィとLELE (litho-etch-litho-etch)を使い、配線用トレンチに対しては対称照明を用いて縦横両方向の狭ピッチ配置を実現。
- ・ Viaについては自己整合的なVia形成方法によってCPP (Contacted-Poly Pitch) でのVia配置を可能にした。

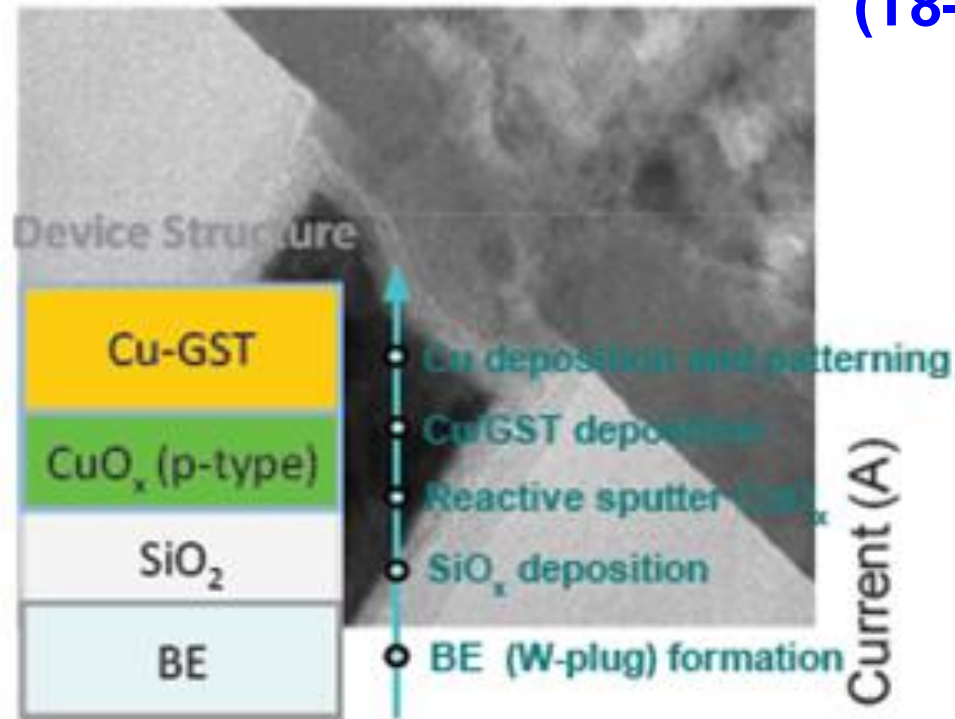
スイッチングマージンを改善したsub-20nm垂直磁化 STT-MRAM (T6-3: Samsung)



(Paper T6-3, “*Enhancement of switching margin by utilizing superior pinned layer stability for sub-20 nm perpendicular STT-MRAM,*” W. C. Lim et al., Samsung)

- 非常にすぐれた固定磁気層の安定性を持つ新しい構造のMTJを導入。
- スwitching磁場のマージンが広いので再現性の良いSTTスイッチングを実現。
- 同時にオフセット磁場 H_{offset} も100 Oe以下になるように確実に制御可能。

電界変調層を導入した新しいConducting Bridge型抵抗変化型メモリ (T8-4: Macronix)



(Paper T8-4, "A Novel Conducting Bridge Resistor Memory Using a Semiconducting Dynamic E-field Moderating Layer," F. M. Lee et al., Macronix)

- Conducting Bridge型の抵抗変化メモリは電気伝導性フィラメントの形成・破壊でスイッチングを行うが、フィラメントが完全に形成(破壊)される直前に絶縁体中で非常に大きな電界を生じて悪影響を及ぼす。
- 電界緩和のためにp型のCuO_x層をCu-GSTとシリコン酸化膜の界面に挿入し、特性劣化を防止した。
- Cuの後方拡散のバリアとしても働くのでデバイス特性の大幅な改善に役立つ。