



www.vlsisymposium.org



Media Contacts:

Secretariat for VLSI Symposia (Japan and Asia)
c/o ICS Convention Design, Inc.
Chiyoda Bldg. 1-5-18 Sanugaku-cho, Chiyoda-ku,
Tokyo 101-8449 Japan

Tel: +81-3-3219-3541
Fax: +81-3-3219-3577
E-mail: vlsisymp@ics-inc.co.jp

BtB Marketing (North America and EU)
Chris Burke
BtB Marketing
co-Media Relations Director

Tel: +1-919-872-8172
E-mail: chris.burke@btbmarketing.com

For Immediate Release

Tip Sheet for 2013 Symposia on VLSI Technology and Circuits

京都発--この Tip Sheet は 2013 VLSI Technology シンポジウムと VLSI Circuits シンポジウムにおいて発表される論文のうち、いくつかの最もニュース性の高い論文について概説するものである。Technology シンポジウムは 6 月 11 日から 13 日まで、Circuits シンポジウムは 6 月 12 日から 14 日まで京都のリーガロイヤルホテル京都にて開催される。

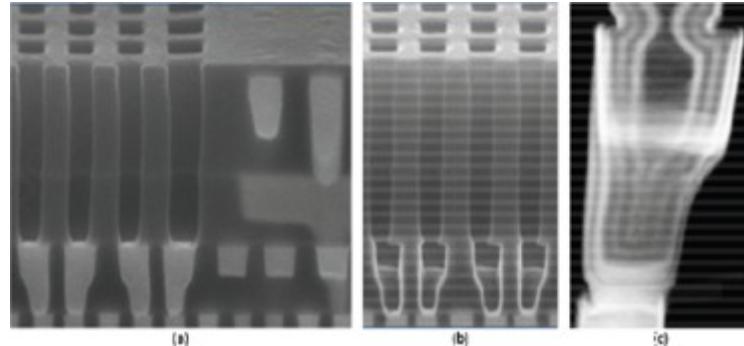
A) VLSI 技術シンポジウム ハイライト論文

Trigate トランジスタと MIM キャパシタ COB を用いた 22nm 世代 の混載 DRAM SoC 技術

22nm 世代 CMOS デバイス技術を用いた高性能 CPU の生産はすでに昨年から開始されている。今年の VLSI 技術シンポジウムにおいてはインテルが 22nm 世代の混載 DRAM 技術を報告する。0.029 μm^2 のセルサイズと 95°C の高温状況下でも 100 μs 以上のデーター保持時間を達成している。DRAM のアクセストラニジスタは性能とリード電流の観点から Trigate トランジスタを最適化して使用し、また同じ die の中で高性能な回路を動作させるためのトランジスタ性能も達成している。

さらに高いアスペクト比の 3 次元 COB の MIM キャパシタ(ビットライン上に配置される金属-絶縁膜-金属の積層構造からなるキャパシタ)を今回採用しており、それが Cu 配線と低誘電率層間絶縁膜の中に形成されている。非常に良好なデーター保持時間と歩留まりがこの論文では示される。

(Paper T2-1, “A 22nm High Performance Embedded DRAM Technology Featuring Tri-gate Transistors and MIMCAP COB,” R. Brain *et al.*, Intel)



高アスペクト比の COB eDRAM ビットセルアレーの TEM による断面像

□□□□□□□□□□□□□□□□□□

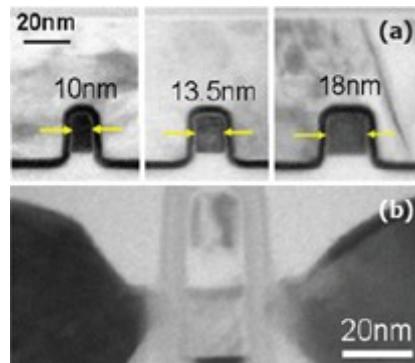
イオン注入無しプロセスを用いて積極的にスケーリングを進めた SiGe チャネル Trigate pFET

SiGe(シリコンゲルニウム)は高いキャリア移動度を持つ先端材料だが、それをチャネル材料に用いて積極的に Trigate の p 型トランジスタのスケーリングを進めた研究が初めて報告される。

この論文では IBM と GLOBALFOUNDRIES の研究者がシリコン基板上に絶縁膜を介して形成された SiGe 領域(SiGe on Insulator)に対して p 型の Trigate トランジスタを報告する。作製された Trigate トランジスタの fin 幅は 18 nm 以下で、かつゲート長も 18 nm までと非常に寸法を小さくしているが、それにもかかわらずトランジスタの電気的特性は非常に良好にコントロールされている。

またソース・ドレイン領域に対してイオン注入無しで不純物領域を形成するプロセスを採用し、1.0 V 動作時にオン電流が 1.1 mA/μm、オフ電流が 100 nA/μm という性能が達成されている。

(Paper T2-2, “High Performance $Si_{1-x}Ge_x$ Channel on Insulator Trigate PFETs Featuring an Implant-Free Process and Aggressively-Scaled Fin and Gate Dimensions,” P. Hasemi *et al.*, IBM & GLOBALFOUNDRIES)



- (a) SiGe fin の断面 TEM 像 ($H_{fin} = 17 \text{ nm}$ & $W_{fin} = 10.0, 13.5 \text{ and } 18.0 \text{ nm}$).
- (b) ゲート長が 20nm 以下の場合の単一 fin の断面 TEM 像

□□□□□□□□□□□□□□□□□□

シリコンと互換性のある CMOS プラットフォーム向けの 歪み Ge-in-STI 構造の量子井戸チャネルを用いた p 型 FET

"More Moore"を 10 nm 世代まで進めるためには素子の高性能化が必要で、特に pFET については大きな電流駆動力が要求される。この一つ前の論文でも示されているが、それを解決する一つの方法はキャリア移動度が従来の歪みシリコンよりも高い材料である SiGe や Ge を MOSFET のチャネル領域に用いることである。IMEC と GLOBALFOUNDRIES の研究者は STI (Shallow Trench Isolation: 浅い溝による素子分離領域) に囲まれた領域内に SiGe 歪み緩和バッファ層を形成し、それに対してさらに歪み Ge 層を形成してより高性能なチャネルを実現した p 型 FET を報告する。またこのデバイスは通常の MOSFET のように不純物イオン注入によってソース・ドレイン部を形成することはしていない。代わりに Ge/SiGe/Si からなる量子井戸構造チャネルと不純物ドーピングしながらエピで形成したせり上げ型 SiGe ソースドレイン領域とを組み合わせることで短チャネル効果を抑制できる構造を提案している。今回の場合、ソース・ドレイン部の Ge 濃度は 75 % と高く形成されている。

さらにゲート電極の金属材料への置換技術やコンタクト領域における Ge 合金形成技術などを盛り込み、ホール移動度はゲート絶縁膜厚が 1.7 nm の時に $550 \text{ cm}^2/\text{Vs}$ を達成した。

(Paper T2-3, "First Demonstration of Strained Ge-in-STI IFQW pFETs Featuring Raised SiGe 75% S/D, Replacement Metal Gate and Germanided Local Interconnects," J. Mitard et al., IMEC & GLOBALFOUNDRIES)

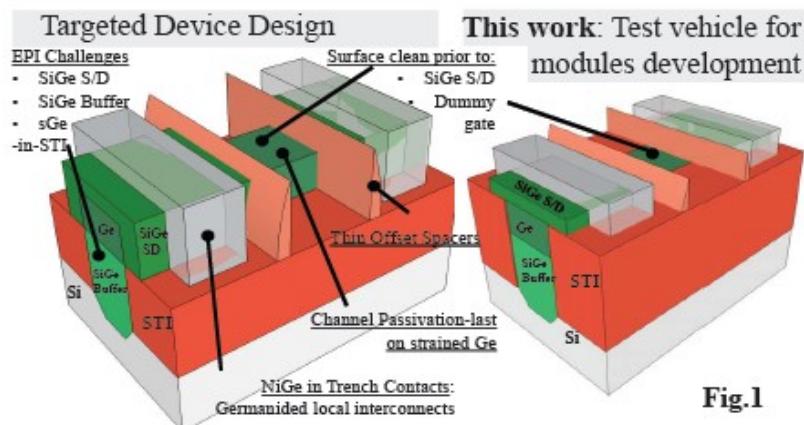


Fig.1

Ge-in-STI 構造の IFQW pFET 構造。 SiGe のせり上げ S/D 構造と Germanide 配線も用いた。
左が提案しているもの、右が実際に今回実験したもの。

□□□□□□□□□□□□□

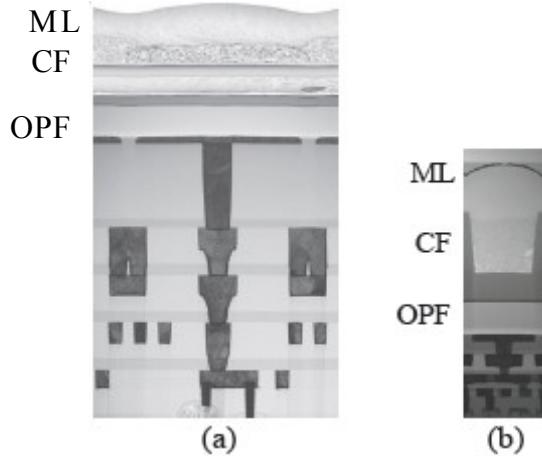
非常に高い飽和レベルを持つ有機薄膜を用いたイメージセンサ技術

CMOS イメージセンサ(CIS)はデジタルカメラや携帯電話、スマートホンなどに広く使われている。最近では検出できる光の感度改善とともに信号のノイズ低減技術についての研究開発がなされている。特に CIS では明るいところと暗いところの像を同時に得ようとすると、ダイナミックレンジが比較的小ないのでどちらかの画像が潰れてしまうのが従来の欠点であった。

そのダイナミックレンジを改善するためにこの論文ではパナソニックと富士フイルムの技術者が有機光電膜(OPF)を用いることを共同で提案する。この有機光電膜の場合は、より多くの光電子を溜め込むことができ、その結果、画像の飽和レベルは従来のシリコン CIS よりも +12 dB も改善して

いる。また有機膜が薄膜であることから CIS 構造全体を低背化でき、隣接ピクセル間のクロストークが発生しない構造をつくることが可能となり、30° 以上の入射角も実現している。

(Paper T2-4, “Thin Organic Photocuctive Film Image Sensors with Extremely High Saturation of 9500 electrons/ μm^2 ,” M. Mori et al., Panasonic and FUJI FILM)



有機光電膜のイメージセンサのピクセル断面図

(左側が 3.0 μm 、右側が 0.9 μm)

ML: マイクロレンズ, CF: カラーフィルター、OPF: 有機光電膜

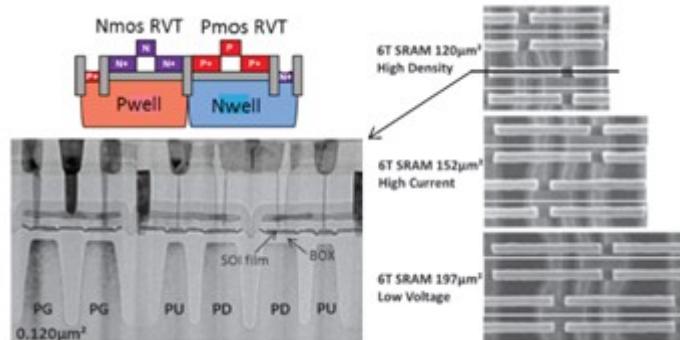
□□□□□□□□□□□□□□□□

極低レベルのリーク電流版、高速版、低電圧動作版の FDSOI SRAM

ST マイクロエレクトロニクスと CEA-LETI の研究者は 28nm 世代向けの FDSOI 技術を用いて構成した 6 トランジスタ SRAM セルを提案する。今回は高密度版($0.120 \mu\text{m}^2$)、高電流版($0.152 \mu\text{m}^2$)、および低電圧版($0.197 \mu\text{m}^2$)の 3 種類を用意した。

通常のバルクシリコン基板上に形成された 28 nm 低消費電力版 CMOS 技術による SRAM と比較して、読み出し電流は 1.0V 動作時において +50%、また 0.6V 動作時においては +200% も改善した。FDSOI 構造であること、かつ基板バイアス印加を行うことによって Vdd=0.6V 時には $0.120 \mu\text{m}^2$ のセルにおいて 1pA 以下の非常に低い待機時リーク電流を実現した。

(Paper JJ2-3, “FDSOI Process/Design full solutions for Ultra Low Leakage, High Speed and Low Voltage SRAMs,” R. Ranica et al., STMicroelectronics & CEA-LETI)



高密度版($0.120 \mu\text{m}^2$)、高電流版($0.152 \mu\text{m}^2$)、および低電圧版($0.197 \mu\text{m}^2$)の
FDSOI SRAM セルの断面図および平面図

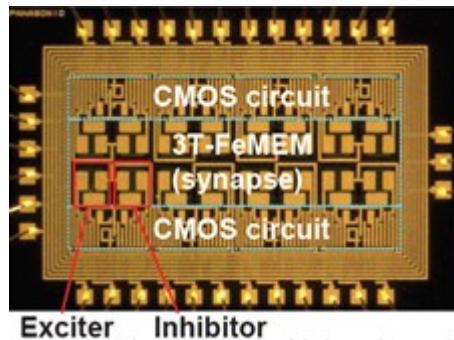
□□□□□□□□□□□□□□

オンチップでパターン認識を可能にする 3 端子強誘電体メモリスタ技術

ニューラルネットワークは低消費電力でありながら高度に並列化かつ柔軟なシステムを達成するための最も効率的な学習・認識の手段である。シナプスの機能を実現するためには連続的に電気伝導率を変化できるような回路要素が必要となり、過去には ReRAM や PCRAM のような 2 端子の不揮発性メモリを用いた例も報告されているが、必ずしも十分成功したとは言えなかった。

今回 3 端子の不揮発性メモリを用いたニューラルネットワークのパターン認識チップが初めてパナソニックの研究者によって報告される。彼らは複数の 3 端子強誘電体メモリスタを用いた 16 個のシナプスからなるニューラルネットワークのモジュールチップを試作した。そしてメモリスタのアナログ的な、かつ不揮発性を利用して電気伝導率変化を使ってシナプスの重み付けを変えることで、マトリックスパターンの学習に成功した。このシステムによれば一部が不完全なマトリックスパターンであっても自動的に元のパターンを認識することが可能となっている。

(Paper T16-2, “Neural Network based on a Three-Terminal Ferroelectric Memristor to Enable On-chip Pattern Recognition,” Y. Kaneko *et al.*, Panasonic)



強誘電体メモリスタを用いたニューラルネットワークチップ像

□□□□□□□□□□□□□□

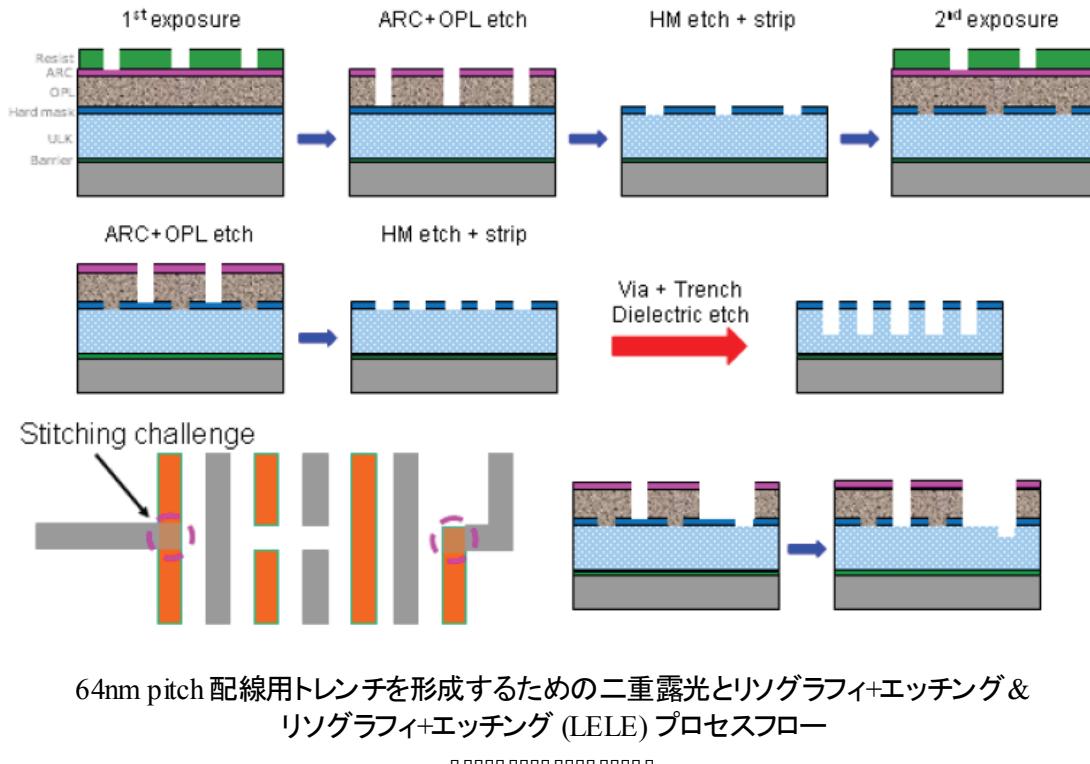
64nm ピッチ配線技術

この論文では ST マイクロエレクトロニクス、サムソン、GLOBALFOUNDRIES、そして IBM の研究者らが 64nm ピッチのバックエンド配線技術を報告する。また積極的に微細化を進めるためのグランドルールが実現可能で、かつ将来の拡張性も考慮した配線材料選択の方針について議論する。

ここでは明視野リソグラフィと LELE (litho-etch-litho-etch) を使い、配線用トレンチに対しては対称型照明を用いて縦横両方向の狭ピッチ配置を実現し、Via については自己整合的な Via 形成方法によって CPP (Contacted-Poly Pitch) の Via 配置を可能にした。得られたグランドルールとプロセス技術は今後何世代かのテクノロジーノードに渡って使用することが可能であるとしている。

本技術によって低消費電力アプリケーションから高性能アプリケーションに至るまでの広い範囲にわたって必要とされるスケーリング可能性、性能、そして信頼性などが達成される。

(Paper T14-5, “64nm Pitch Interconnects: Optimized for Designability, Manufacturability and Extensibility,” C. Goldberg et al., STMicroelectronics, Samsung, GLOBALFOUNDRIES, IBM)

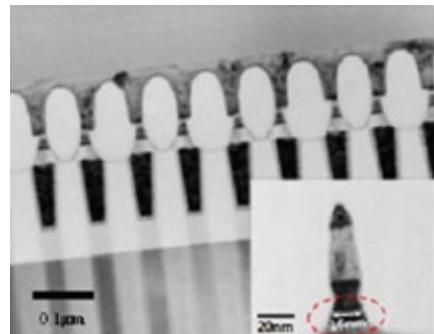


スイッチングマージンを改善した sub-20nm 垂直磁化 STT-MRAM

sub-20 nm 世代向けの STT-MRAM 技術において最も重要な課題は磁性薄膜間の静磁気的な強い相互作用を制御することにある。もしその相互作用が存在すると垂直磁化型 MTJ(磁気トンネル接合)において各々の機能を持つ薄膜層の安定性に悪影響を与えることになる。

今回サムソンの研究者は、非常にすぐれた固定磁気層の安定性を持つ新しい構造の MTJ を導入することで、静磁気的な妨害がなく安定な磁化スイッチングが実現されたことを報告する。スイッチング磁場のマージンが広いので再現性の良い STT スイッチングが可能で、同時にオフセット磁場 H_{offset} も 100 エルステッド以下になるように確実に制御できる。この新しい MTJ 構造においてはスイッチング電圧マージンも十分大きく確保されている。

(Paper T6-3, “Enhancement of switching margin by utilizing superior pinned layer stability for sub-20 nm perpendicular STT-MRAM,” W. C. Lim et al., Samsung)



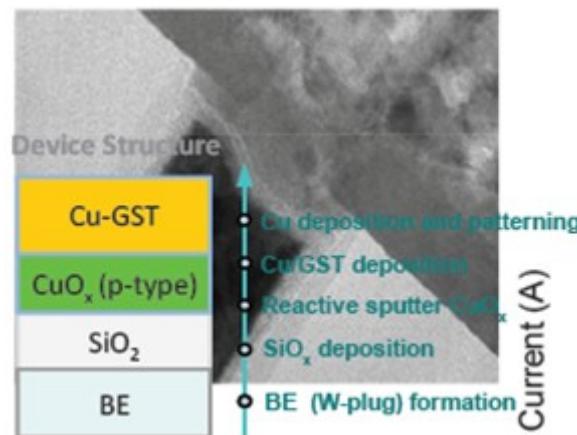
20 nm node における MTJ の断面 TEM 像

電界変調層を導入した新しい Conducting Bridge 型抵抗変化型メモリ

抵抗変化型ランダムアクセスメモリは近年 NAND フラッシュメモリの後継候補として注目を集めている。信号の On/Off 比が大きいこと、高速かつスケーリングが可能であることなどがその理由である。Conducting Bridge 型の抵抗変化メモリは薄い伝導性のフィラメントを形成したり、もしくは壊したりすることでスイッチングを行っているが、この現象においてはフィラメントが完全に形成される直前や壊れ始めた時に(電極間にできた隙間の距離が小さいので)絶縁体中で非常に大きな電界を生じるのが問題だった。

Macronix の研究者はこの論文でこの高い電界によって生じる特性劣化について初めて言及し、それに対する新しい対策案を示す。それは p 型の CuOx 半導体層を電界調整領域として加えることである。Cu-GST とシリコン酸化膜の界面に置かれた CuOx 層によって上記の不都合な電界が変調され、さらに特性劣化を除去できるだけでなく Cu の後方拡散のバリアとしても働くことが今回明らかになっている。これによってデバイス特性の大幅な改善に役立つことが議論される。

(Paper T8-4, “A Novel Conducting Bridge Resistive Memory Using a Semiconducting Dynamic E-field Moderating Layer,” F. M. Lee et al., Macronix)



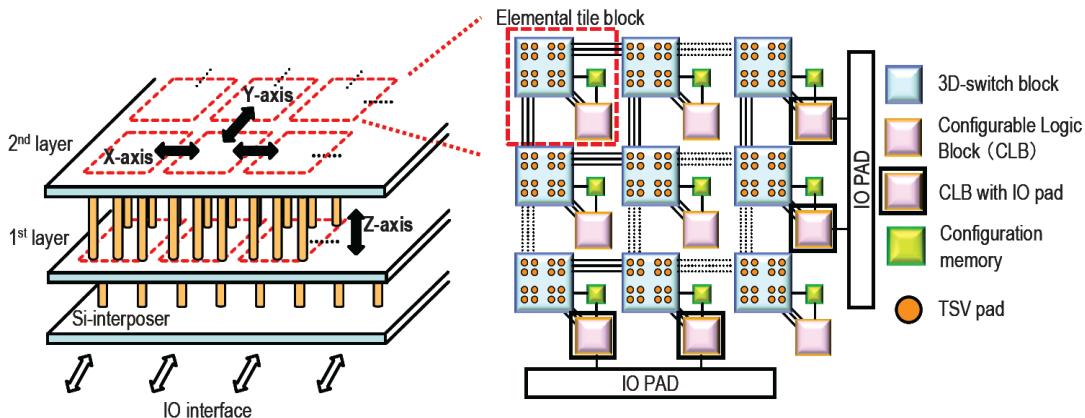
エレクトロマイグレーション Conducting Bridge デバイスの TEM 像とセル構造
p-型 CuOx 層を加えることで印加電圧が再分配され電界が弱められる

B) VLSI Circuitsシンポジウム ハイライト論文

貫通ビア(TSV)を用いたスケーラブル3次元FPGA

Field Programmable Gate Array (FPGA)は低コストかつ短TATでフレキシブルなコンピューティングプラットフォームを提供しており、従来の専用設計されたLSIを代替する技術として注目されている。ASETと日立は、貫通ビア(TSV)を用いた3次元集積回路技術をFPGAに適用することにより、積層するチップ数に応じてFPGAの機能・集積度・性能をスケーラブルに向上させた。TSVの寄生容量の低減技術、回路中にTSVを埋め込む設計手法、3次元集積チップ間のクロックスキューを低減する回路技術など、3次元集積回路技術を実現する上でのキー技術が満載されている。

(Paper C3-5, "Scalable 3D-FPGA using wafer-to-wafer TSV interconnect of 15 Tbps/W, 3.3 Tbps/mm²," F. Furuta *et al*, ASET and Hitachi)

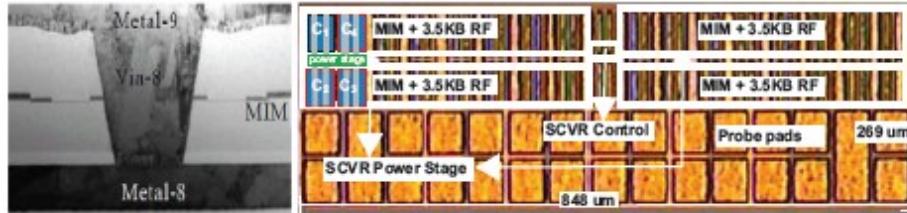


同一チップを積層した3次元FPGAのアーキテクチャ

22nm Tri-Gate CMOSプロセスでスイッチトキャパシタ型DC-DCコンバータを開発

近年、DVFSや多電源化など、SoCアプリケーション向けの高性能なオンチップ電源回路が盛んに開発されている。DC-DCコンバータのセッショングでは、将来性と共にその実用性が注目されている22nm tri-gateプロセス技術を用いて開発されたスイッチトキャパシタ型の降圧DC-DCコンバータがインテル社から発表される。このコンバータは、1.225Vの入力電圧から、内蔵した高密度MIMキャパシタの接続変更により、0.45-1Vの範囲の出力電圧を得ることができる。最大効率は84%に達し、フィードバック制御を含め全てデジタル回路、かつ小面積で実現されていることが特徴である。

(Paper C13-5, "A 0.45-1V Fully Integrated Reconfigurable Switched Capacitor Step-Down DC-DC converter with High Density MIM Capacitor in 22nm Tri-Gate CMOS," R. Jain *et al*, Intel)

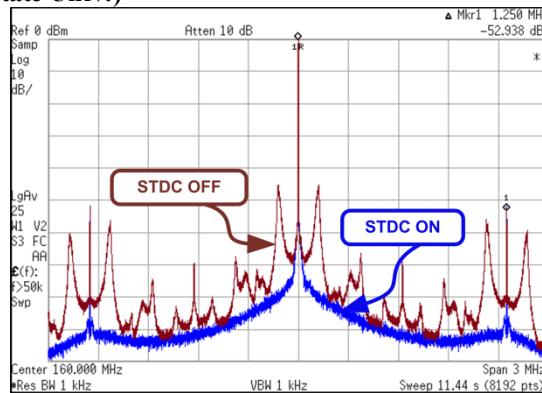


MIM キャパシタの断面写真と DC-DC コンバータのチップ写真

スクランブリング TDC を用いた 2.5GHz、5.4mW の低ジッタデジタル PLL

微細 CMOS プロセスを用いたクロック生成手法として、デジタル PLL が注目されている。デジタル PLL はデジタル回路主体で構成されるので、従来のアナログ PLL よりもデジタル回路との親和性が高い長所があるが、time-to-digital converters (TDC)により PLL のジッタが劣化する問題がある。そこで、オレゴン大学は、スクランブリング TDC と呼ぶ新しい TDC をデジタル PLL に適用することにより、低ジッタの PLL を実現した。この PLL は 1.25MHz の入力に対して、160MHz と 2.56GHz を出力し、ジッタ (rms) が 2.7ps (160MHz 出力時)、6.28ps (2.56GHz 出力時)、消費電力が 5.4mW (2.56GHz 出力時) を実現し、遙倍数が大きい PLL としては世界最小のジッタ、世界最高の電力効率を達成した。

(Paper C12-1, "A 2.5GHz 5.4mW 1-to-2048 Digital Clock Multiplier using a Scrambling TDC," R. N. Nandwana et al, Oregon State Univ.)



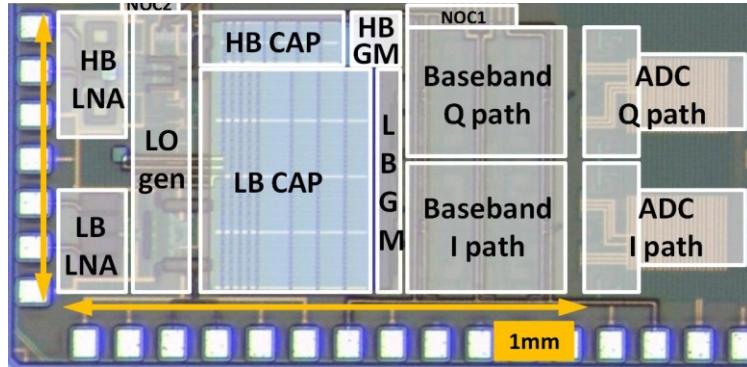
提案するスクランブリング TDC 有無の出力スペクトラムの比較

先端 CMOS によるソフトウェア無線技術実用化への挑戦

ソフトウェア無線の実用化において、低電圧において高いダイナミックレンジを確保しながら、先端 CMOS の採用により送受信機の帯域拡張および消費電力削減を図ることが鍵となる。IMEC およびルネサスエレクトロニクスのグループから、世界初の 28nm-CMOS を用いた高線形、広帯域のソフトウェア無線用受信機が発表される。0.9V という低い電源電圧ながら、0.4GHz 帯から 6GHz 帯という広範囲をカバーし、1.8

~3dB の NF、85dBm 以上の IIP2、3dBm 以上の IIP3 を 40mW 以下の低消費電力で達成している。モバイル機器へのソフトウェア無線技術の適用を期待させる論文である。

(Paper C11-1, “A 0.9V Low-Power 0.4-6GHz Linear SDR Receiver in 28nm CMOS,” J. Borremans *et al*, imec)

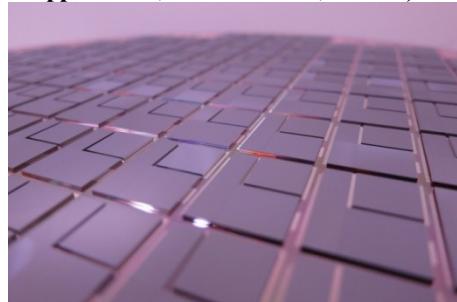


28nm CMOSを用いた高線形、広帯域のソフトウェア無線用受信機のチップ写真

CoWoS (Chip-on-Wafer-on-Substrate)で 1Tbps のメモリインタフェースを実現

ムーアの法則を超える産業界の動きとして、ヘテロジニアスな 3 次元積層集積技術が注目されている。メモリインタフェースに関しては、貫通ビア(TSV)、Wide-IO、マルチチップパッケージ(MCP)、パッケージオンパッケージ(POP)、シリコンインターポーラなどとの様々な技術を組み合わせた最適なソリューションが模索されている。TSMC は、CoWoS (Chip-on-Wafer-on-Substrate)と呼ぶシリコンインターポーラを用いたヘテロジニアスな 2.5 次元の集積技術により、1Tbps の embedded DRAM (eDRAM)を実現した。具体的には、65nm CMOS で製造したシリコンインターポーラ上に、40nm CMOS で製造した eDRAM と SoC をそれぞれを積層した。

(Paper C3-1, “An Extra Low-Power 1bit/s Bandwidth PLL/DLL-less eDRAM PHY Using 0.3V Low-Swing IO for 2.5D CoWoS Application,” M. Lin *et al*, TSMC)



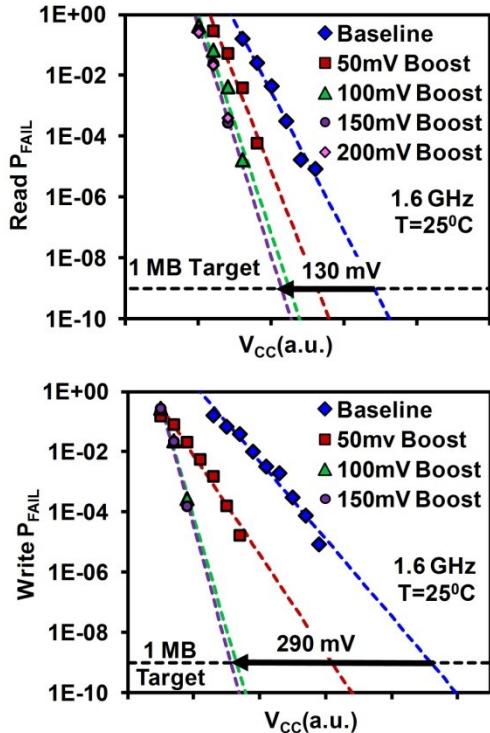
シリコンインターポーラ上に積層した eDRAM と SoC の写真

低電圧動作が可能なデュアル Vcc の 8T 型 22nm Tri-Gate SRAM

細粒度デュアル Vcc アシスト技術を適用した 14KB の 8T 型の SRAM アレイを 22nm の Tri-Gate CMOS プロセスで実証した。Vcc の下限(Vmin)を決定している

SRAM のノードを読み出し中、または書き込み中に選択的に昇圧することにより、SRAM 全体の Vmin を改善した。ビット誤り率(P_{FAIL})を、昇圧電圧を変えながら測定した。その結果、従来の 1.6GHz の単一 Vcc 設計に対して、提案手法は Vmin が 1MB サイズに換算して、読み出し特性で 130mV、書き込み特性で 290mV の改善が期待できることがわかった。この Vmin の低減により、0.4~1.6GHz の動作周波数において消費電力が 27~46% 低減することを実証した。

(Paper JJ2-6, “Dual-Vcc 8T-bitcell SRAM Array in 22nm Tri-Gate CMOS for Energy-Efficient Operation across Wide Dynamic Voltage Range,” J. Kulkarni *et al*, Intel)



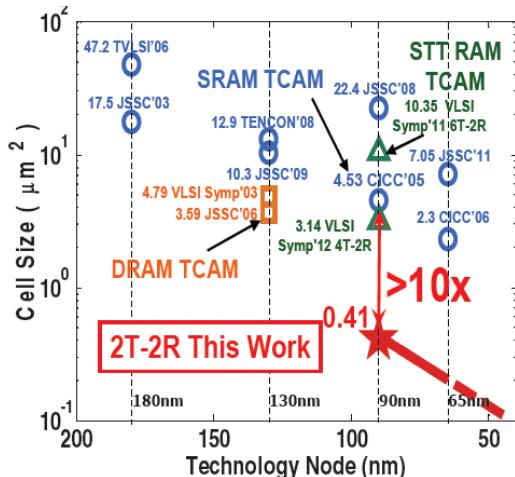
読み出し時と書き込み時のビット誤り率(P_{FAIL})の電源電圧(V_{CC})依存の測定結果

□□□□□□□□□□□□□□□□

相変化メモリ技術を用いた世界最小面積の不揮発 TCAM セル

2 トランジスタ+2 相変化素子型のメモリセルを用いた不揮発性 TCAM チップが発表される。本 TCAM セルは、従来の SRAM を用いた TCAM セルの 1/10 の面積で、これまでの TCAM では最小のセルサイズを実現する。このメモリセル技術のほかに、新しい検索方式である 2 ビットの符号化検索方式とクロッキング自己リファレンスセンス方式を提案し、90nmCMOS プロセスを用いて容量 1Mb の TCAM チップを実現した。本チップは、動作電圧 1.2V で 1.9ns、0.75V の低電圧でも 9.8 ns の高速な検索動作を達成した。

(Paper C9-1, “1Mb 0.41 um² 2T-2R Cell Nonvolatile TCAM with Two-bit Encoding and Clocked Self-Referenced Sensing,” J. Li *et al*, IBM)

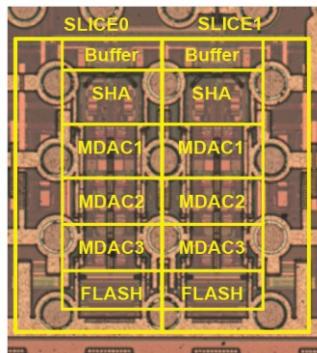


従来と提案の TCAM のセルサイズの比較

高性能、低電力 A/D コンバータ

有線通信、無線通信向けの広帯域な直接サンプリングを可能にする、高速かつ高分解能の A/D コンバータ(ADC)を Broadcom が発表する。変換速度は 5.4GS/s、分解能は 12bit といずれも高い。高速動作と低電力を両立させるために、新しい増幅器と乗算型 D/A コンバータを提案した。28nm CMOS で試作された ADC は、2.6GHz の入力周波数に対して 61dB の SNR を確保しており、消費電力も 500mW と小さい。

(Paper C8-1, “A 5.4GS/s 12b 500mW Pipeline ADC in 28nm CMOS,” J. Wu et al, Broadcom)



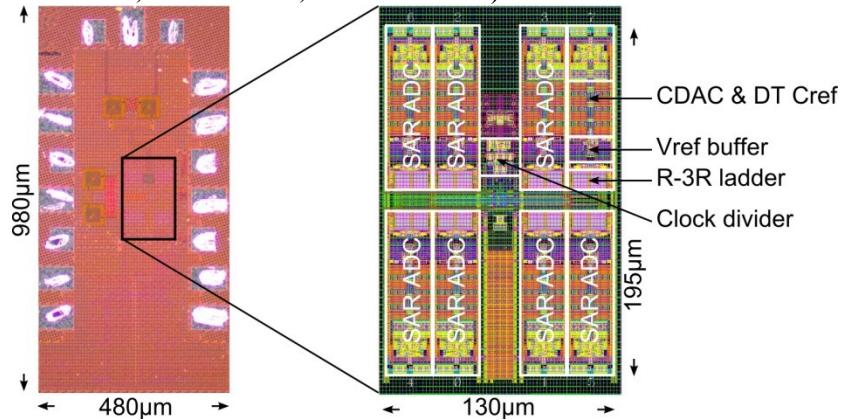
28nm CMOS、変換速度 5.4GS/s、12bit 分解能の A/D コンバータのチップ写真

次世代高速リンク向け分解能 8 ビット、変換速度 8.8GS/s の高速 ADC

IBM 基礎研究所(チューリッヒ)と EPFL から次世代高速リンク向けの 8 ビット、変換速度 8.8GS/s の高速 ADC が発表される。電力効率の高い SAR アーキテクチャの ADC を 8 倍インターブさせる構成にて実現した。この速度でありながら 1V 電源電圧で 35mW という低消費電力と、32nm CMOS SOI 技術を用いて 130 μm x 195 μm という極小サイズを達成している。FoM は 58fJ/conversion-step と非常に良い。従来の精度 6 ビット、変換速度 4GS/s 超の ADC に比べて大変秀でた性能を示しているこの ADC

には、低消費電力電圧リファレンスバッファを用いた各 ADC チャネル独立ゲイン制御や、インターリープ動作で問題となるチャネル間のクロックスキューを低減するパスゲート選択手法を含め様々な面白い回路技術が満載されている。

(Paper C21-1, “A 35mW8b 8.8 GS/s SAR ADC with Low-Power Capacitive Reference Buffers in 32nm Digital SOI CMOS,” L. Kull *et al*, IBM and EPFL)

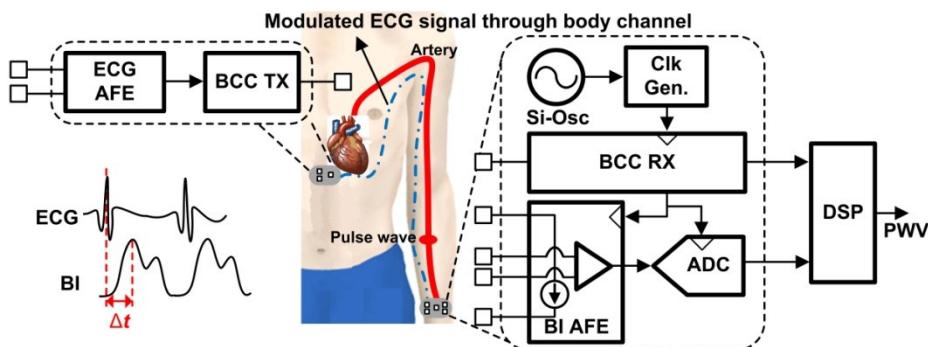


32nm CMOS、変換速度 8.8GS/s、8bit 分解能の A/D コンバータのチップ写真とレイアウト

心電図データの人体通信と動脈硬さ測定を統合したセンサ

血管の病気を診断する重要な指標はその硬さであり、血管を伝達するパルスの速度を計測することで求められる。KAIST は、ECG(心電図)と PWV(パルス伝達速度)センサからなる電子計測システムを提案する。胸に装着した ECG センサから送出された ECG 信号は血管を伝達し、腕に装着した PWV センサで ECG 信号を検出するとともに生体インピーダンス(BI)の変化を計測する。ECG 信号と BI 信号の時間差から PWV を算出する。この人体通信に基づくシステムはワイヤ接続を不要にでき、被験者の負担軽減が期待できる

(Paper C17-4, “An Integrated Pulse Wave Velocity Sensor using Bio-impedance and Noise-shaped Body Channel Communication,” W. Lee *et al*, KAIST)



血管の病気を診断するための PWV(パルス伝達速度)センサの仕組み

いくつかの重要な語句に関する注釈

- **Back-End/BEOL and Front-End/FEOL** -- 集積回路製造において、トランジスターや他のアクティブ素子は最初に形成され、一方で配線構造は後で形成される。したがって前者を FEOL(front end of the manufacturing line)と呼び、後者を BEOL(back end of the manufacturing line)と言う。
- **CMOS/MOS/MOSFET/FET** – 今日用いられている大半のトランジスターは電界効果トランジスター(FET : Field Effect Transistor)である。大抵の FET は CMOS 製造技術によって形成される。(CMOS: Complementary Metal-Oxide-Semiconductor)
一般には MOSFET とか、MOS トランジスターと言ったりもする。
- **COB** – Capacitor Over Bitline の略。ビットライン配線上にも張り出すように配置して大面積を確保した DRAM 用ストレージノードキャパシタ配置方法のこと。
- **Compound/III-V Semiconductors** – 現在主流となっている半導体はシリコンをベースとしているが、研究者は他の種類の半導体で高い電子移動度を有するものについても調査を続けている。より速いスイッチング速度を要求するデバイスに対する応用可能性があるからである。
ただし、それらの物質はシリコンよりも取り扱いが難しい。化合物半導体は二つ、もしくは三つの元素から構成されており、例えば GaAs(砒化ガリウム)、InP(インジウムリン)、GaN(窒化ガリウム)などがあり、これらは一般的には周期律表の III 族と V 族の元素(一部に II 族-VI 族、IV 族-IV 族のものもある)から構成される。
- **CPP** – Contacted Poly-Silicon (Gate) pitch の略。Logic の LSI ではコンタクトを落としているゲート領域のパターン密度で最小ピッチが決まるのでこれをスケーリングの指標に使っている論文が多い。
- **FinFET** – 魚の背びれに似た形の 3 次元型トランジスターで、その形状を囲むように複数のゲート電極が配列されているもの。この構造によってオン／オフの制御特性が通常の平面型トランジスターよりも良好である。
- **Front-End/FEOL and Back-End/BEOL** – Back-End/BEOL の項を参照のこと。
- **High-k Dielectrics/Metal Gates** – 誘電体は電気的には絶縁物であって MOSFET、MOS キャパシタのゲート電極とチャネル部の間に配置される。“k”は比誘電率を示し、これの大きさによって MOSFET におけるゲート電極と基板間のリーク電流やゲート電極と基板間の容量カップリングが影響を受ける。近未来の CMOS 集積回路においてはシリコン酸化膜を基準にすると数 nm の薄さに匹敵するような容量値が必要とされ、これによってゲート長を 10 nm 以下にスケーリングすることが可能となる。一方、金属ゲート電極は伝統的に使用してきたポリシリコンゲート電極よりも高誘電率材料と相性が良いことが知られている。ここ数年で高性能なチップを製造するために金属ゲート電極を CMOS プロセスに導入することに対して大きな進展があり、既に实用化の域に入った。
- **III-V** – (Three-Five) Compound/III-V Semiconductors の項を参照のこと。
- **Integrated Circuit** – 半導体基板上に組み上げられた電気的回路であって、多数の素子(例えばトランジスター、ダイオード、容量素子、抵抗素子、インダクターなど)が配線で結ばれているものを指す。.
- **Interconnect** – 金属の線、もしくはワイヤーでトランジスターと他の回路素子とを結んでいるもの。金属配線のこと。Back-End/BEOL のところも参照のこと。

- **Low-k Dielectrics/Interconnect** -- Interconnect は金属配線のことで、これは集積回路内(チップ内)の各素子を結んでいる。スケーリングが進み、隣接する金属配線同士が接近するとこの両者間の寄生容量が無視できなくなり、これがチップの性能を律速する。したがって低誘電率材料を用いてこれらの銅線を電気的に絶縁しながら配線間容量を低減することが試みられている。ただし、これらの低誘電率材料は一般的には壊れやすく、実際に量産するに当たっては難しい局面もある。
- **MEMS** -- マイクロ・エレクトロ・メカニカル・システムのこと、マイクロメーター程度の大きさの機械的な可動部を持つ部品を指す。スイッチや可変キャパシター、各種センサーなどがこのMEMSで構成されている。
- **MIMCAP** – Metal-Insulator-Metal Capacitance の略で バックエンドプロセス(BEOL)の中に組み込まれて形成されるキャパシタを指す。DRAM のストレージノードキャパシタやアナログ／RF回路にて使われる。
- **N-FET/P-FET or NMOS/PMOS** – MOSFET は n 型チャネル(電子がキャリアとなる)と p 型チャネル(ホールがキャリアとなる)の 2 種類があり、両者を組み合わせて相補的に使われる。
- **Non-volatile memory (NVM)** – 不揮発性メモリーのこと。電源電圧が印加されていなくても蓄積されているデーターが失われないタイプのコンピューター記憶装置のことを言う。
- **Phase-Change Memory/PCM** – 相変化型メモリーのこと。これは結晶状態と非結晶状態を "0"と"1"に割り当ててメモリーとするもので、不揮発性メモリーの一種。電流を流すことによって生じた熱によって物質の状態が変わり、この"1"、"0"の2つの状態を切り替えることができる。
- **Resistive Random Access Memory** – なんらかのパラメーター変化によって生じる素子の抵抗変化をデーター蓄積の目的に用いた不揮発性メモリーの一種。素子の抵抗変化は高電圧印加によって素子を構成する絶縁膜中に電気伝導性を有するフィラメントが形成されたり壊されたりすることによるものが多い。
- **Scaling/Density/Integration** – Scaling(スケーリング)とはトランジスターや他の回路素子を小さく形成して、一つのチップ上において多くの部品の搭載を可能にすることを指す。Density はチップ上に載っているトランジスターの密度で、これが大きいほど多くのトランジスターが搭載されている。また、Integration(インテグレーション)は回路素子をチップ上に形成して機能をたくさん追加することを示す。多くの機能が詰め込まれれば、機能あたりのコストは低減される。
- **Semiconductor** – 半導体のこと。半導体は金属ほど電気抵抗が低くないが、絶縁体よりは電気抵抗が低い材料で、その電流を流したりブロックしたりすることでデーターを蓄積したり、情報を処理したりする。
- **SOI** – "Silicon-on-Insulator"の略。日本語でも SOI(エス・オー・アイもしくはソイ)、シリコン・オーン・インシュレーターと言っている。半導体基板の上に絶縁膜を形成し、その上にさらに半導体層が構成されているもので、主としてその上部の半導体層中に回路素子を形成する。トランジスターの寄生容量が小さいので集積回路の性能向上に用いられる。一方で基板とチャネル部が物理的・電気的に分離されているために生じる問題もある。
- **Spin Transfer Torque Magnetoresistive Random Access Memory (STT-MRAM)** – 不揮発性メモリー素子の一種で磁気抵抗変化をデーター蓄積に用いた RAM。基本的に MRAM セルはドライバートランジスターと磁気トンネル接合(MTJ)から構成される。MTJ の抵抗は MTJ 内部の磁性薄膜のスピニ状態に依存して変化し、そのスピニ状態は外部磁場、もしくはスピニ分

極した電子によって形成される電流で制御される。後者の場合、スピントランスマートルク(STT)がスイッチングの主因となる。STT-MRAMは高速かつ低消費電力の次世代メモリーとして期待されている。

- **Strained silicon & SiGe stressors** – シリコンがひずみを受けている状態というのは、シリコン原子が互いに引っ張られて原子間距離が大きくなっている状態(ひっぱりひずみ、tensile)と逆にシリコン原子が互いに押されて原子間距離が小さくなっている状態(圧縮ひずみ、compressive)の2つの状態がある。トランジスターのチャネル部のシリコンがこのようなひずみを受けるとキャリアの移動度が変調されてトランジスターが低電圧動作時でもより高速になる場合がありえる。外部ストレッサーと呼ばれるものがあり、シリコン結晶と格子定数が少し異なる材料をシリコンにエピタキシャル成長させることでシリコン領域にひずみを印加することができる。例えば圧縮ひずみを p チャネルシリコン FET のチャネル領域に加えるために、シリコンよりも大きな格子定数を持つシリコングルマニウム合金を S/D 領域にエピタキシャル成長させることがよく行われている。
- **SRAM** – SRAM(Static Random Access Memory)はコンピューターに用いられるメモリーの一種で、普通6つもしくはそれ以上のトランジスターからなる回路で一つのセルが構成される。読み書き速度は高速だが、電源を切るとデータは消去される。
- **Technology Generations/Nodes** – 世代、ノードとはもともとは ITRS (International Technology Roadmap for Semiconductor)の中で、製品の量産時期をそのとき用いられている半導体素子の典型的な長さ(大きさ)であらわしたものであった。例えば DRAMなどではセルの Feature size であり、ロジック素子では金属配線のハーフピッチで決めていた。現在ではメモリー以外のロジック素子、SoC、マイクロプロセッサーなどでは、ノードの寸法は素子のどこかの寸法に対応させるという決まった定義は無く、最近では3年で前世代の x 0.7 倍になるように数字を決めて議論している。例として最先端 CMOS の例では2012年の時点で 22nm 世代の LSI の生産が開始されている。
- **Transistor** – トランジスターは半導体集積回路を構成する小さな電気的なスイッチ。スイッチと言っても可動部は無く、半導体材料、大抵はシリコン製であって、FET の場合はゲート電極に印加する電圧によってチャネル領域中の反転層の状態を制御しドレイン電流をスイッチする。バイポーラトランジスターの場合はベース電流の有無によってコレクター電流を制御する。トランジスターは一つのチップ内に何百万もの数が詰め込まれており、情報の受領、処理、蓄積、また情報や制御信号の出力を行うようにプログラムされている。

###