

2019 年 VLSI 技術及電路研討會的技術亮點

2019 年 VLSI 技術及電路研討會是頂尖的國際會議，這場國際會議發表及討論微電子的發展速度、進度和演進，訂於 2019 年 6 月 9 日至 14 日在日本京都舉辦。兩項研討會有完全重疊的技術議程，包含多場聯合座談會。研討會開始前將先在 6 月 9 日舉行週日工作仿(Workshop)，6 月 10 日有全天短期課程，接著 6 月 14 日有關於自主駕駛啟用技術的週五論壇。

這次研討會以「**將半導體推向極限，實現無縫聯結新世界**」為核心主題，活動日程之中整合進階技術發展、創新電路設計及各種應用，協助全球社會採用智慧連網裝置及系統，改變人類彼此互動的方式。

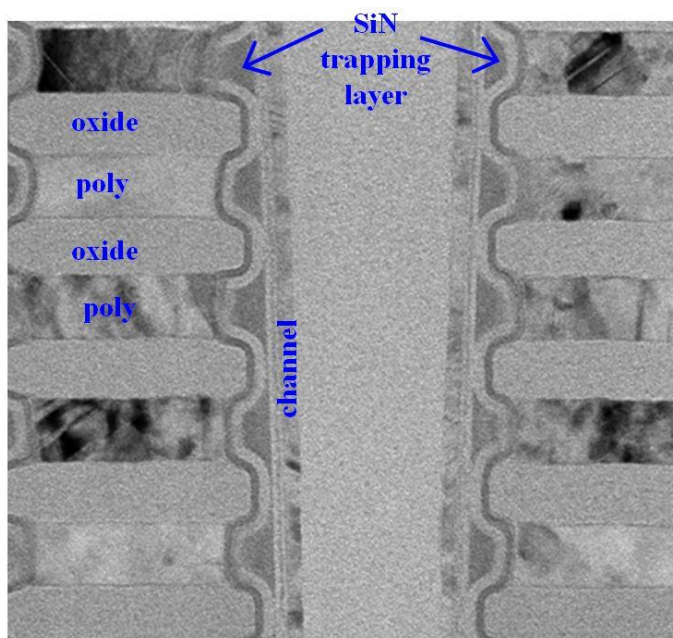
下列是以此為主題的一些精彩論文介紹：

先進記憶體

使用受限氮捕捉層的 3D NAND 展現可靠的保存能力

資料保存是很關鍵的挑戰，尤其是氮捕捉層型的 3D NAND 快閃記憶體。Macronix International Co., Ltd. 將發表採用受限氮 (SiN) 捕捉層的 3D NAND 快閃記憶體。此結構具有優異的保存能力，對經過 1K 次循環的裝置進行 125°C 為期 1 週的高溫烘烤後，電荷耗損僅有約 600 mV 位移 (從一開始的 7 V 間隔)。效能遠比非採用受限 SiN 結構的控制樣本優異許多。

論文 T16-2 「採用創新受限氮捕捉層裝置的 3D NAND 快閃記憶體，展現可靠的保存效能」
作者：Macronix International Co., Ltd. 的 C.-H. Fu 等人。



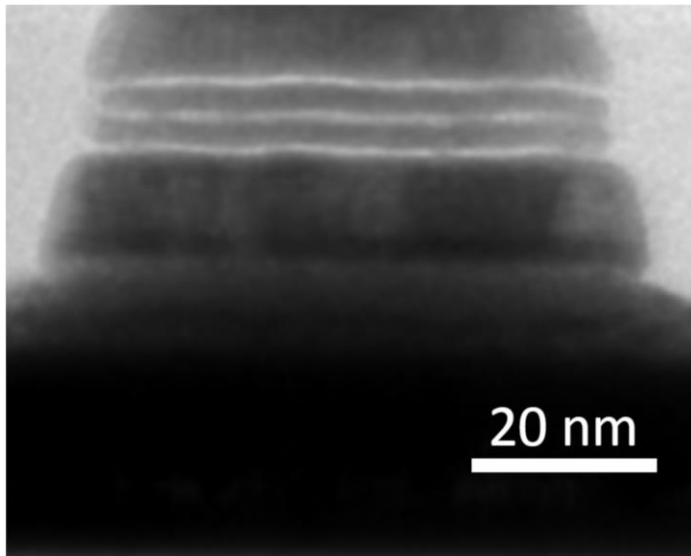
T16-2 採用受限 SiN 捕捉層的 3D NAND 快閃記憶體結構的截面 TEM 影像。

超越 20nm 的 STT-MRAM 技術

為使 STT-MRAM 微縮到 20nm 以下，日本東北大學提出創新的四介面磁穿隧界面 (MTJ) 技術，這項技術採用 300mm 製程，以創新的低破壞整合製程為基礎。其可視為雙介面 MTJ 技術的後繼技術發展，並在熱穩定性係數 Δ 和切換效能 Δ/IC_0 等係數上都比傳統雙介面 MTJ 技術提高 1.5 至 2 倍。

論文 T11-4 「創新的四介面 MTJ 技術與其高熱穩定性和切換效率的首次展示，適用於 2Xnm 以下的 STT-MRAM」

作者：日本東北大學的 K. Nishioka 等人。



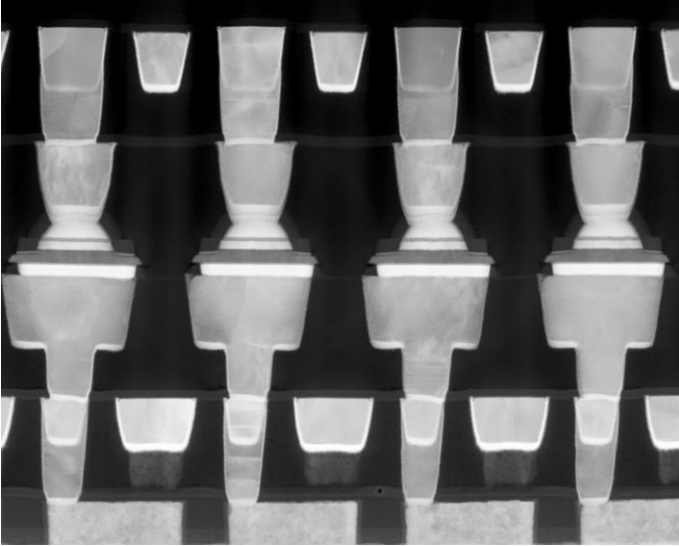
T11-4 所生產四介面 MTJ 的截面 TEM 影像。

採用 22FFL FinFET 技術的嵌入式 RRAM

具有邏輯友善程序、良好保存與耐久特性的嵌入式記憶體技術為市場所需，而 RRAM 正是符合這項需求充滿前景的技術。Intel Corp. 將展出採用 22FFL FinFET 技術的嵌入式 RRAM。他們在 7.2Mbit 陣列上實現了 10^4 次循環的耐用度，以及 85°C 10 年保存期。

論文 T18-1 「非揮發性 RRAM 嵌入 22FFL FinFET 技術」

作者：Intel Corp. 的 O. Golonzka 等人。



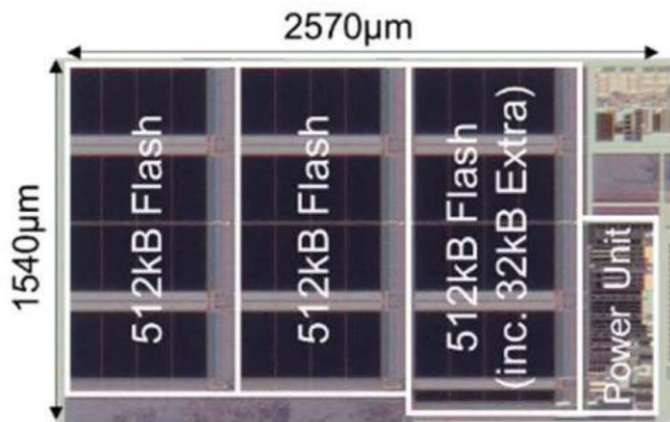
T18-1 嵌入 22FFL 邏輯金屬互連的RRAM 陣列截面TEM。

適合物聯網應用的低功耗嵌入式快閃記憶體

為擴大物聯網的應用範圍，許多邊緣裝置以實現超低功耗作業為關鍵需求。為了在從能量收集 (EH) 獲得的有限能源下實現即時感測，嵌入式快閃記憶體 (eFlash) 尤其需要降低讀取能源。Renesas Electronics 將展示採用 65nm 矽晶薄氧化物理層 (SOTB) 技術製成的 1.5MB 2T-MONOS eFlash macro，該裝置使用低功耗感測放大器和資料傳輸電路技術，可進一步強化 SOTB 裝置的優點。提案的 eFlash 可在 64MHz 讀取存取頻率下達到 0.22pJ/bit 的讀取能量，足供使用 EH 技術作為能源來源。

論文 C17-1 「65nm 矽晶薄氧化物理層 (SOTB) 嵌入式 2T-MONOS 快閃記憶體可在 64 MHz 存取頻率下達到 0.22 pJ/bit 讀取能量，適合物聯網應用」

作者：Renesas Electronics Corp. 的 K. Matsubara 等人。



C17-1 2T-MONOS eFlash macro 顯微圖。

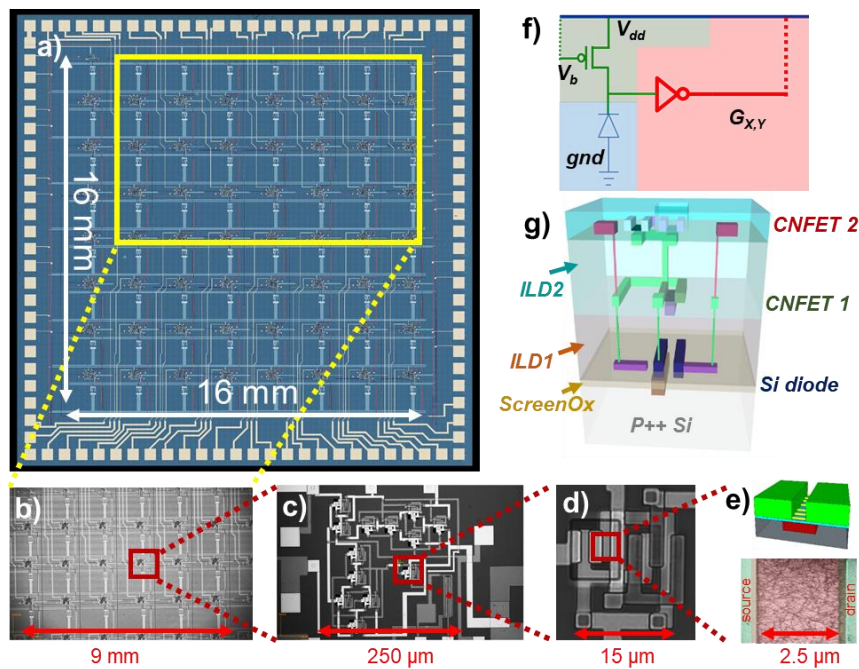
感測器、射頻、物聯網與生物醫學

使用奈米碳管電路的 3D 成像系統

麻省理工學院 (MIT) 將展示一部積層型 3D 成像系統的硬體原型，將運算層直接整合至傳統矽影像儀的生產線後端 (BEOL)，這樣的系統能將影像儀輸出從原始像素資料轉換為經過高度處理的資訊。系統將 3 個垂直電路層直接堆疊：底層為矽像素，接著兩層為 CMOS 奈米碳管 FET (CNFET)，可即時執行原位邊緣偵測，然後再將資料儲存至記憶體。這種方法可用於影像分類系統，改善處理延遲。

論文 T2-5 「積層 3D 成像系統：直接整合在矽影像儀上的奈米碳管運算電路」

作者：麻省理工學院的 T. Srimani 等人。



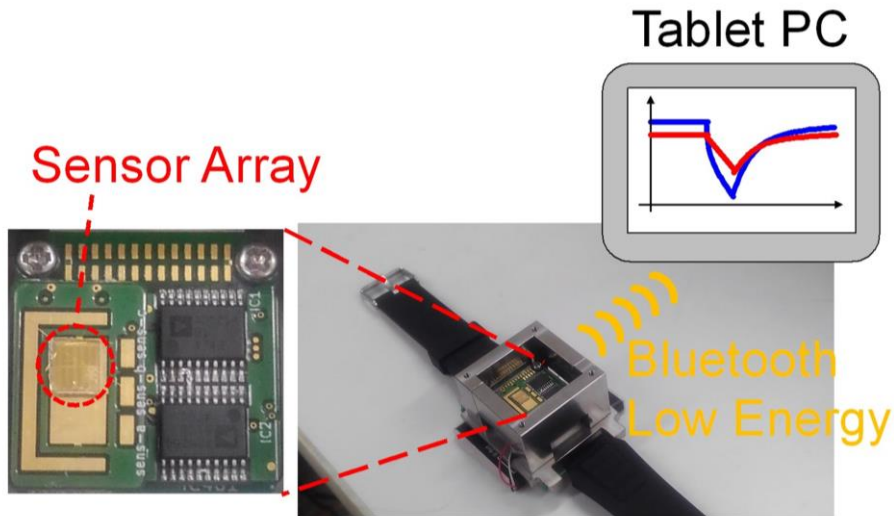
論文 T2-5 3D 影像儀示意圖，包含 Si 光電二極體 (第 1 層) 和 CNFET (第 2 層和第 3 層)。

使用觸媒金屬奈米片的低功耗氣體感測器

低功耗氣體感測器對物聯網應用來說很有幫助，日本慶應義塾大學將展示可用於氫和氨，由觸媒金屬奈米片構成的整合式感測器。觸媒反應所需要的熱源由晶片內建焦耳熱提供，而不是使用傳統所用的晶片外加熱器提供，這是其實現低功耗的關鍵 (0.14 mW)。

論文 JFS2-3 「整合式金屬奈米片的低功耗和氣體分子 ppm 級偵測」

作者：日本慶應義塾大學的 T. Tanaka 等人。



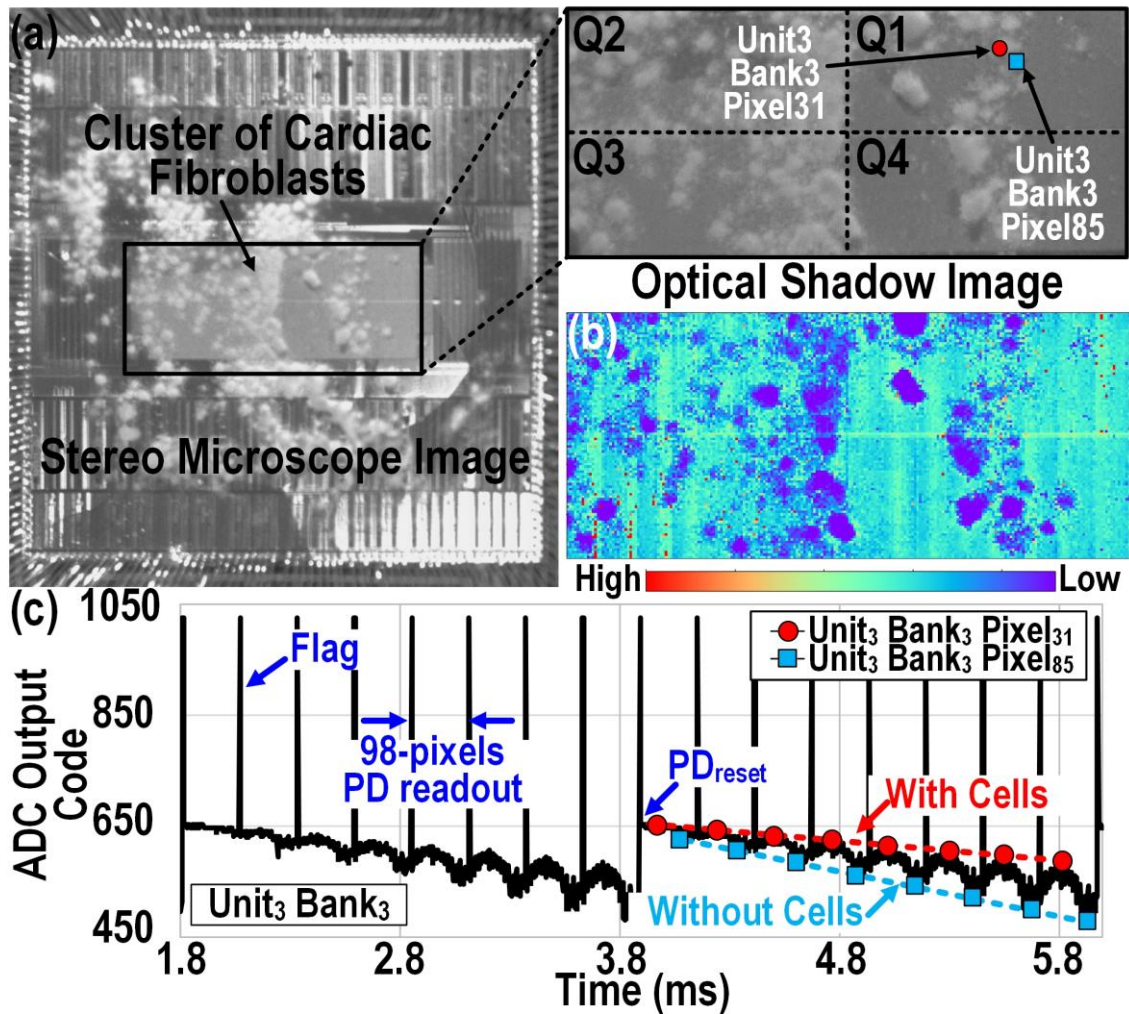
JFS2-3 整合在手錶型外殼內的氣體感測器。

CMOS 多模細胞感測器/刺激器陣列

喬治亞理工學院將展示的晶片，具備多模感測能力的細胞影像感測器。此感測器能夠擷取直接放置/裝載於感測器上之細胞的光學/電位/4 點阻抗影像，也能在細胞系統上執行電刺激。晶片使用 130 nm 的標準 CMOS 製程製造。感測器具備 21952 個可重組像素，且有 1568 個像素可平行運作。像素間距為 $16\ \mu\text{m} \times 16\ \mu\text{m}$ ，每個像素皆有 $8\ \mu\text{m} \times 8\ \mu\text{m}$ 金電極 和 $6\ \mu\text{m} \times 6\ \mu\text{m}$ 的光電二集極體，電極可針對不同的電流注入和阻抗測量目的彈性調整。所有感測器的功能將會被描述出來。電位感測、光學和阻抗成像功能將透過作用中細胞進行體外展示。

論文 C6-3 「具備 1568 像素平行拍攝和 4 點阻抗感測的 21952 像素多模 CMOS 細胞感測器陣列」

作者：喬治亞理工學院的 D. Jung 等人。



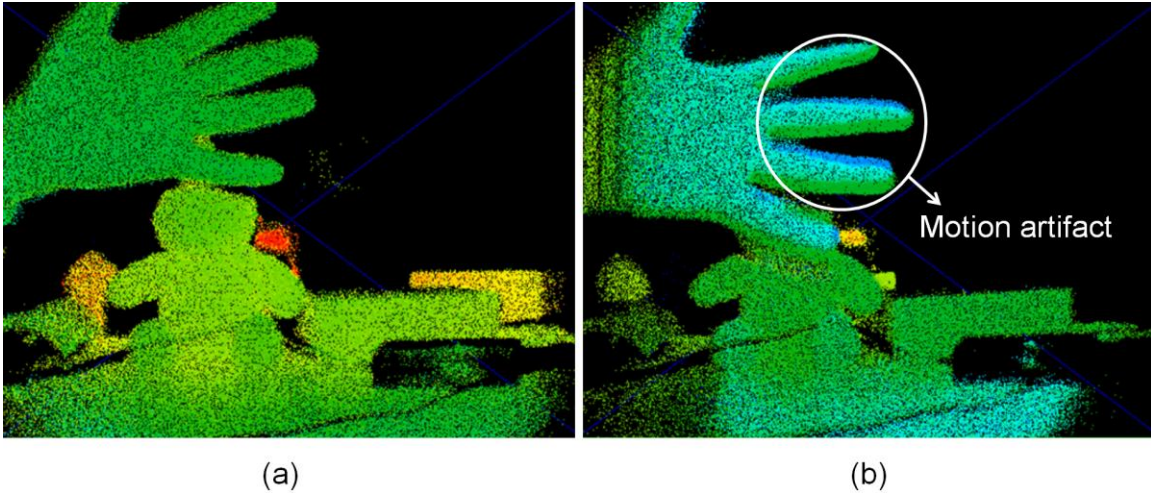
C6-3 (a) 立體顯微鏡影像，(b) 晶片內建培養纖維母細胞測得的光學影像和 (c) 光學分時多工 98 通道 ADC 輸出。

飛行時間 CMOS 影像感測器

飛行時間 (ToF) 測距系統是新興且前景看好的應用，適用於汽車、人員監控和機器視覺攝影機，尤其最近開發的高速、高靈敏度全域快門 CMOS 影像感測器 (CIS) 更是讓人興奮。三星電子公司 (Samsung Electronics, Corp.) 將展出一部全新的間接 ToF CMOS 影像感測器，其具備 640x480 7 μ m 像素，採用 65nm 背光照度製程。這款全新感測器可同時驅動 4 輸出，並採用新的時脈延遲控制電路，能夠實現零移動假影作業，相較於以 2 輸出像素為基礎的傳統感測器，可大幅減少固定圖像相位雜訊 (FPPN)。感測器最長作業距離可到 400 公分，每像素耗電量僅 0.64 pW。

論文 C21-3 「具備 4 輸出 7- μ m 全域快門像素和固定圖像相位雜訊自我補償架構的 640x480 間接飛行時間 CMOS 影像感測器」

作者：三星電子有限公司 (Samsung Electronics Co., Ltd.) 的 M.-S. Keel 等人。



C21-3 揮手時的深度圖，(a) 4 輸出和 (b) 2 輸出模式。

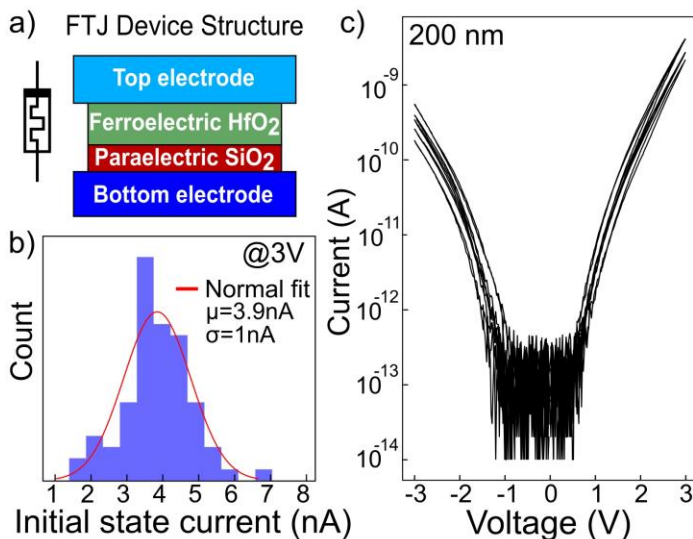
人工智慧與量子運算

適用於記憶體內強化學習系統的鐵電穿隧接面

Toshiba 採用奈米級鐵電穿隧接面 (FTJ) 憶阻器，以無選擇器交錯排列的固有類比隨機切換，展示類比記憶體內強化學習 (RL) 系統，此系統能透過硬體友善演算法來學習行為策略。作者將呈現，一般大多不需要的隨機導電切換實際上是一項有適當好處的特性，其可透過類似隨機搜尋的流程來提升策略。尋找。他們透過實驗，示範以強化為基礎的路徑尋找，並透過模擬解決平衡 Cart 上 Pole 的標準控制問題，且其效能要比類似的決定性 RL 系統更為優異。

論文 T2-4 「利用鐵電穿隧接面的適度隨機導電切換進行記憶體內強化學習」

作者：Toshiba Corp. 的 R. Berdan 等人。



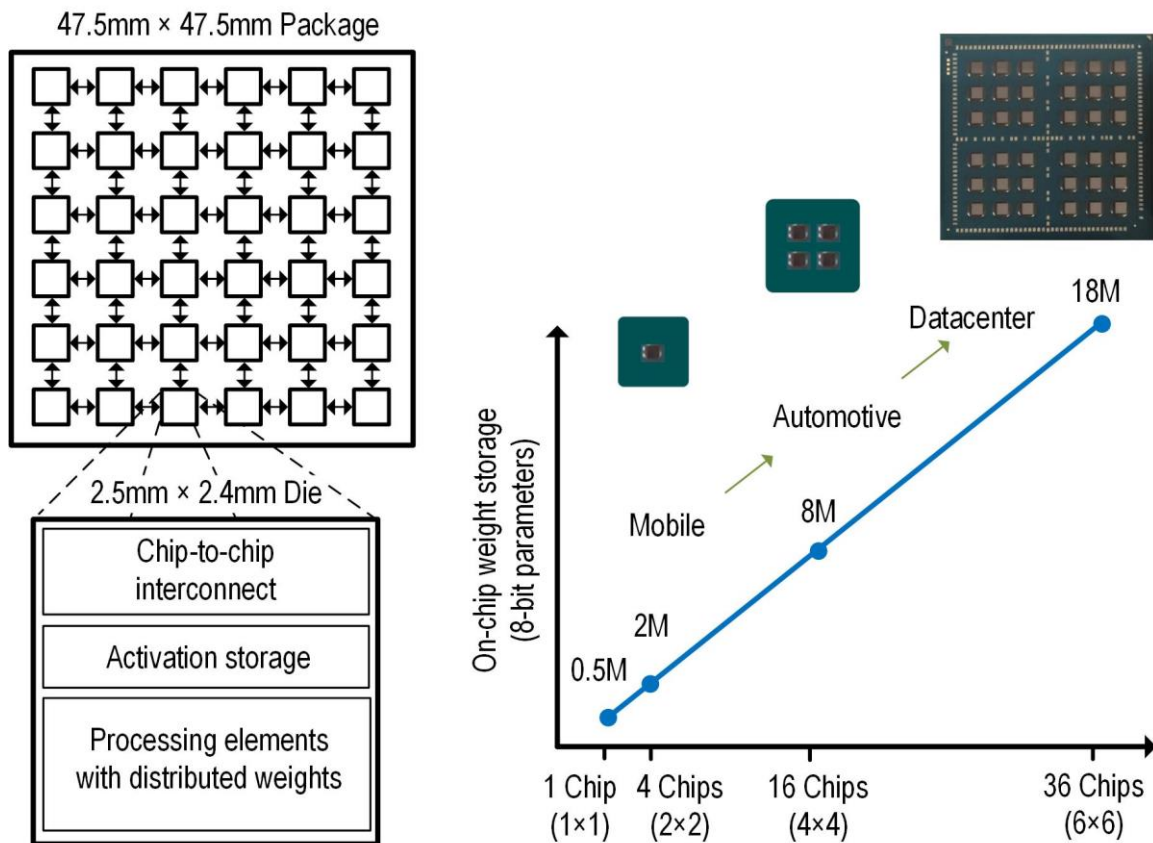
T2-4 FTJ 裝置結構與初始狀態電流配送。

可擴充的多晶模組型深度神經網路加速器

深度神經網路 (DNN) 有著多樣化的效能、精準度與功率目標，想要針對各種目標打造專用的加速器通常是不可行的，畢竟設計與製造需要大量成本。NVIDIA 將展出可擴充的 DNN 加速器，其包含 36 個晶片，在使用參考接地訊號的多晶片模組 (MCM) 上以網狀網路連接。先前使用單體晶圓製造的加速器，受到特定網路大小的限制，而提案的架構允許彈性擴充，能有效辨識從行動裝置到資料中心等不同網域的各種 DNN。16nm 的原型能讓 1 晶片系統達到 1.29 TOPS/mm²、0.11pJ/op、4.01TOPS 的峰值效能，另外 36 晶片系統則能達到 127.8 峰值 TOPS 和每秒 2615 張影像的 ResNet-50 辨識。

論文 C24-1 「採用 16nm 且使用參考接地訊號的 0.11 pJ/Op、0.32-128 TOPS、可擴充多晶片模組型深度神經網路加速器」

作者：NVIDIA Corp. 的 B. Zimmer 等人。



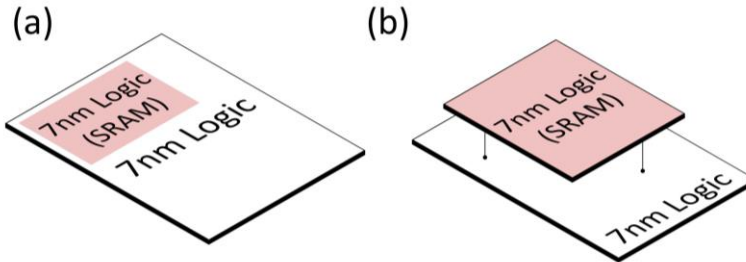
C24-1 建議的 MCM 型 DNN 加速器系統概覽。

2.5D/3D 整合

系統整合晶片 (SoIC™)

台積電 (TSMC) 將展示系統整合晶片 (SoICTM)，使用已知良好裸晶在生產線前端製造(一種)創新 3D 異質整合技術。小晶片裝置與 SoIC™ 的整合，說明其相較於 2.5D 和使用微凸塊/TSV 的傳統 3D-IC 在高頻寬密度和高功率效率下的優點。

論文T2-3 「3D 多晶片與系統整合晶片 (SoICTM) 的整合」
作者：台積電的C. C. Hu 等人。

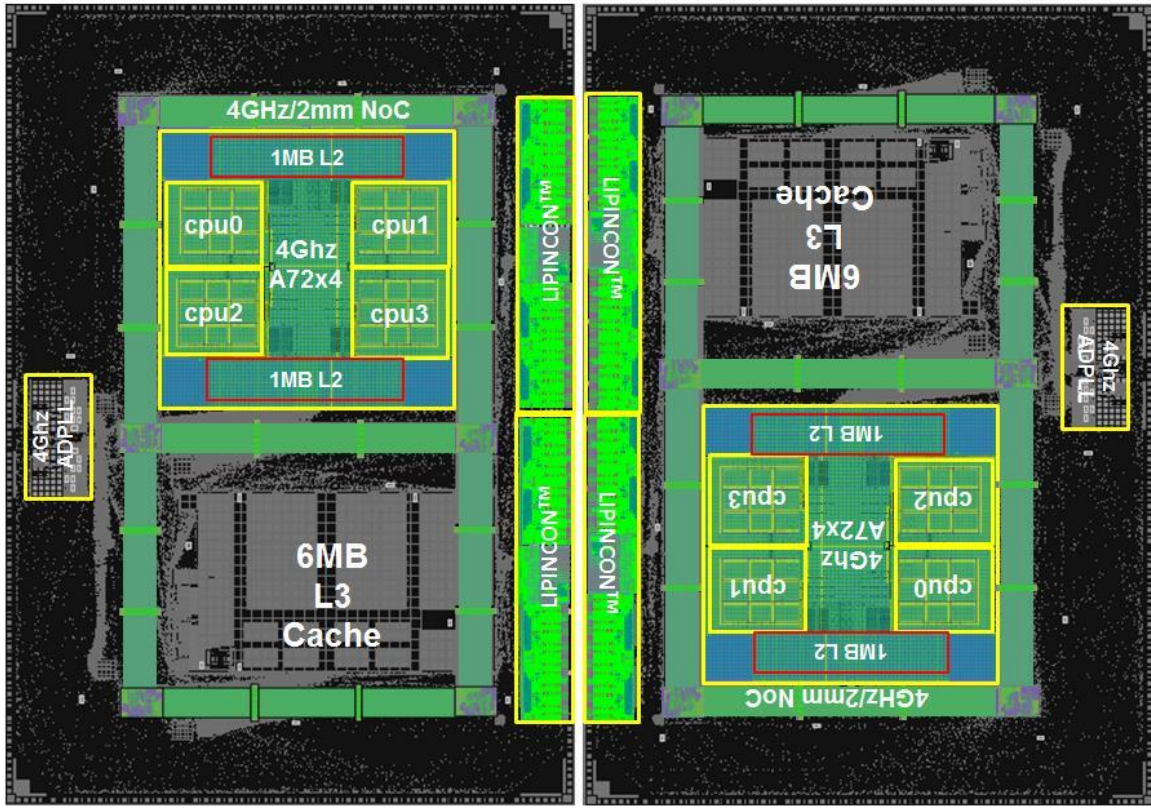


T2-3 SoIC 互連與典型2.5D 或3D-IC 的比較。

採用 7nm 製程的雙小晶片高效能運算處理器

以小晶片為基礎的設計，對於實現產能較佳且產品成本較低的大型高效能處理器來說極為重要。台積電今年將展出使用 CoWoS® 技術以 7nm 製程製造的雙小晶片高效能運算 (HPC) 處理器。每個小晶片內都有 4 個 ARM Cortex®-A72 核心，在加強電壓狀態下的運作時脈為 4GHz，其晶片內建跨核心網狀互連運作時脈可達 4GHz 以上。其跨小晶片連接介面，稱為 Low-Voltage-In-Package-INterCONNECT (LIPINCON™)，提供 0.56pJ/bit 功率效率、1.6Tb/s/mm² 頻寬密度和 320GB/s 頻寬。這項技術展現採用小晶片的大型高效能處理器適用於現代的高效能運算時代。

論文C3-1 「適用於高效能運算的7nm 4GHz Arm 核心 CoWoS 小晶片設計」
作者：台積電的M.-S. Lin 等人。



C3-1 雙小晶片板面規劃。

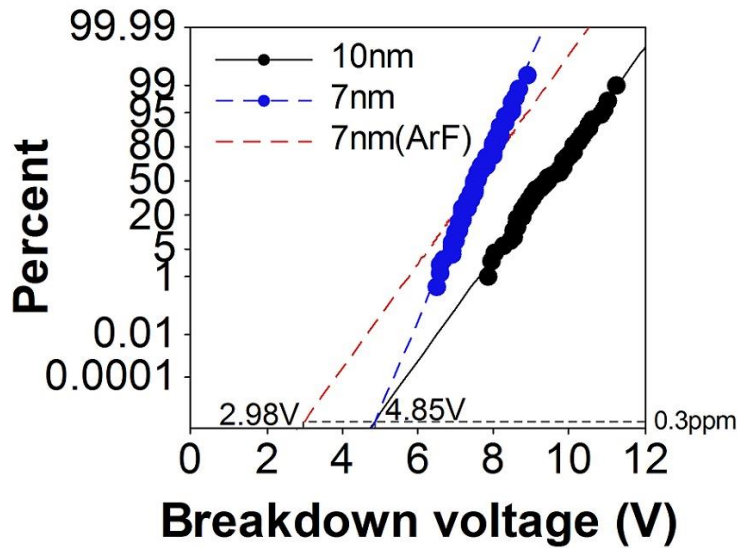
進階平台與 SOC

透過 EUV 提升 7nm 技術可靠度

三星電子 (Samsung Electronics) 將報告使用 EUV 製造 7nm FinFET 技術的可靠度特性。MOL 和 BEOL 的單一 EUV 圖案化技術大幅提升可靠度分佈，優於採用多重圖案技巧的舊節點。其成功展現了產品的可靠度，包括 SRAM、邏輯 HTOL 和 SER。這些結果顯示，使用 EUV 的 7nm 技術已可投入量產。

論文 T2-1 「透過 EUV 提升 7nm 製程技術可靠度」

作者：三星電子的 K. Choi 等人。



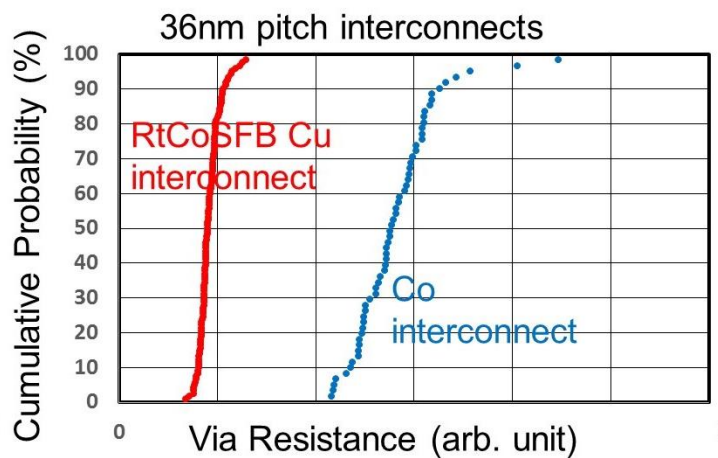
T2-1 開極到接點 Vramp 分佈的VBD 斜率顯示使用 EUV 製程確實可大幅改善。

用於 7 nm 以上採用 RtCoSFB 的 Cu 互連

IBM 將展示採用 PVD 回焊穿越鈷自形成障壁 (RtCoSFB) 最薄 2 nm 障壁/潤濕層下 Cu 互連的 EM 和 TDDDB 可靠度。採用 RtCoSFB 產生的 Cu EM 使用壽命比使用標準障壁/浸潤層且等同於純 Co 互連的 Cu 互連多出 2000 倍。雖然採用 RtCoSFB 的 Cu 互連具有比 Co 互連更低的線路電阻和通路電阻，但 RtCoSFB 的退火製程會使 Cu 聚集在雙嵌刻線末通路，進而導致通路鏈產能不佳。他們認為解決這個與幾何學有關的填孔問題，是將 Cu 製造能力延伸到 7 nm 以上的關鍵。

論文 T2-2 「將 Cu 金屬化延伸到 7 nm 節點以上的技術挑戰與啟用工具」

作者：IBM Research 的 T. Nogami 等人。



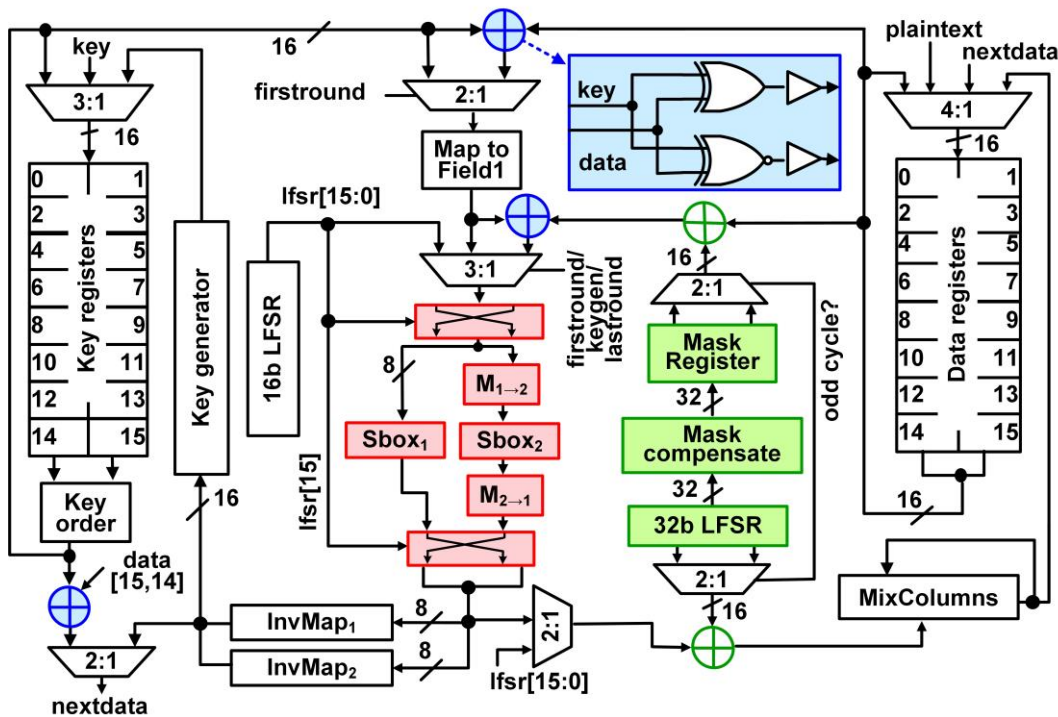
T2-2 採用 RtCoSFB 的 Cu 通路電阻為 Co 互連的 1/3。

使用 14nm CMOS 的輕量化加密 AES 加速器

硬體安全性是物聯網應用最關鍵的其中一個問題，尤其惡意攻擊者可能刺探密碼加速器的實體安全漏洞，竊取 SoC 所處理的寶貴資訊。旁路攻擊就是其中一種已知的實體攻擊，其攻擊會利用加速器耗電量的統計分析為基礎。Intel 今年將展出採用 14nm CMOS 的輕量化加密 AES 加速器，此加速器對於利用功率分析的旁路攻擊可提供高出 1200 倍的應變能力。設計中採用隨機異值替換盒擾亂、線性遮罩 MixColumns 和雙軌金鑰新增，可大幅抑制耗電量與加密金鑰之間的關聯，而且不會犧牲過多的硬體資源。測得的結果顯示，可阻擋超過 1200 萬次加密軌跡的攻擊操作。硬體在電源、面積和效能方面的負載分別為 23%、28% 和 0.7%。

論文 C20-1 「具備異質替換盒、線性遮罩 MixColumns 和雙軌金鑰新增，採用 14nm CMOS 的 4900um² 839Mbps 旁路攻擊抵擋 AES-128」

作者：Intel 的 R. Kumar 等人



C20-1 旁路攻擊抵擋 AES-128 架構。

進階電晶體技術

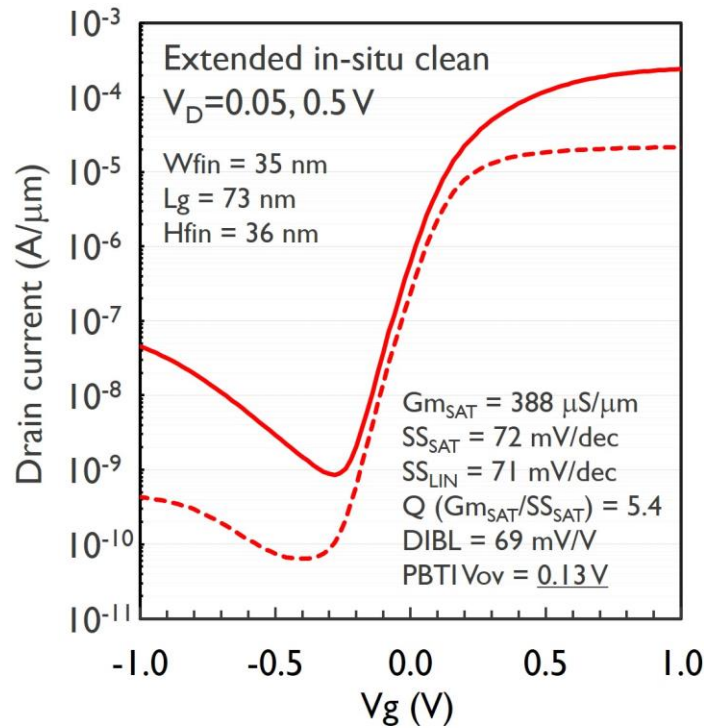
Ge nFinFET 實現破記錄裝置效能與可靠度

imec 將示範 SiO₂ 假性閘極氧化物 (DGO) 的沉積和移除製程是改善 Ge nFinFET 特性的兩大關鍵因素。透過在 DGO 沉積期間抑制 Ge 通道表面氧化物，將可提高遷

移率並縮小鰭寬，另外還可透過延伸 DGO 移除製程來改善 PBTI 可靠度、縮放鰭片的 D_{it} ，和高電場遷移率，在 73 nm L_g 下使 G_m/SS 達到記錄新高的 5.4。

論文 T9-1 「透過改善閘極堆疊表面的準備，讓 Si 鈍化 Ge nFinFET 達到記錄新高的 G_{msat}/SS_{sat} 和 PBTI 可靠度」

作者：imec 的 H. Arimura 等人。



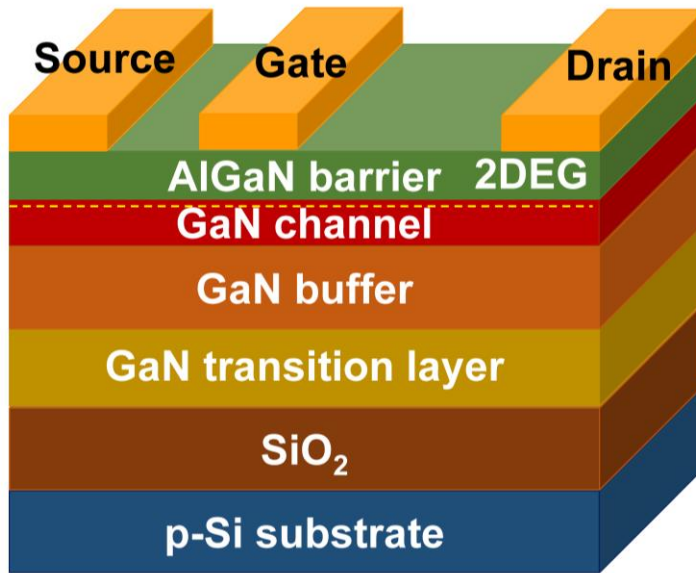
T9-1 從 35 nm 寬 Ge nFinFET 測得的 I_D - V_G 曲線。

利用矽晶圓上絕緣層覆 GaN (GNOI) 實現高崩潰電壓 GaN HEMT

矽上 GaN 技術是用於新一代功率電子應用最有前景的技術之一。新加坡麻省理工學院研究與技術聯盟 (SMART) 將利用磊晶層轉移技術來示範 200mm 的矽晶圓上絕緣層覆 GaN (GNOI)。所製造的 HEMT 展現出記錄新高的關閉狀態崩潰電壓，高達 2200 V，而且 $BV_{off}^2/R_{on,sp}$ 的高品質因數最高達 1.87 GW/cm^2 。

論文 T19-1 「利用 200 mm 矽晶圓上絕緣層覆 GaN (GNOI) 實現崩潰電壓 2200 V 的 GaN HEMT」

作者：新加坡麻省理工學院研究與技術聯盟 (SMART) 的 Z. Liu 等人。



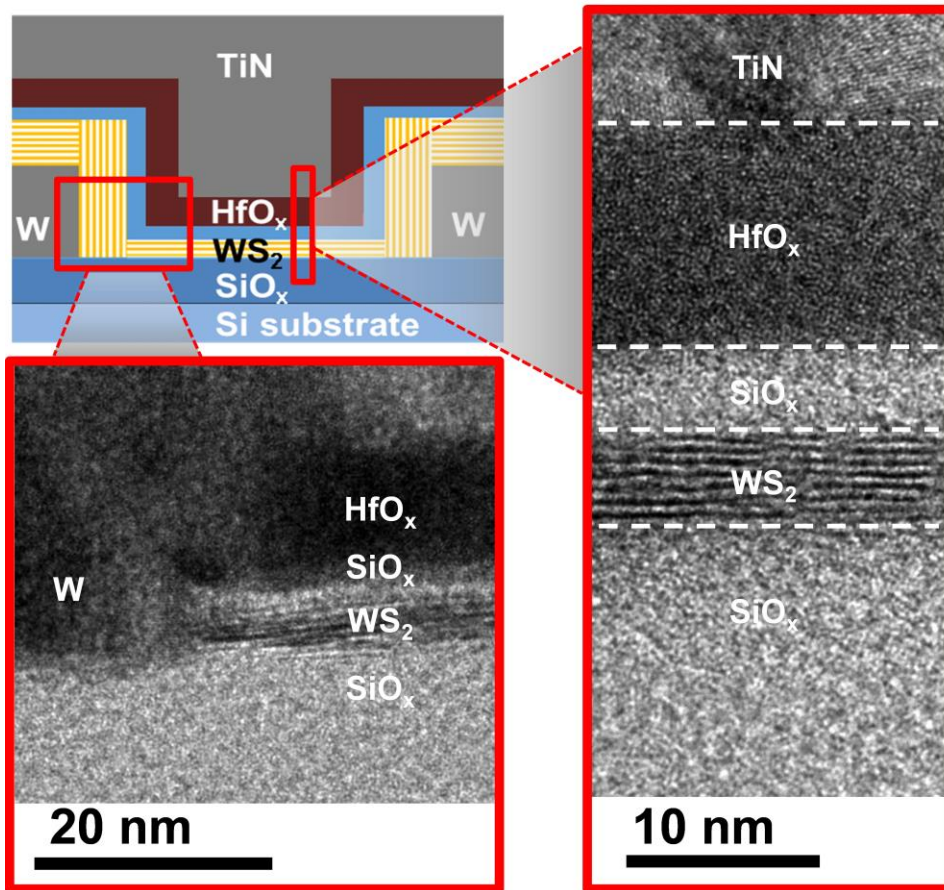
T19-1 提案的 GaN HEMT 結構。

T0196

直接在 SiOx/Si 基板上使用通道區域選擇性 CVD 成長法的 WS₂ 通道 pFET 展示 2D 材料的選擇性區域成長法是抑制短通道效應之 2D 通道電晶體進入量產的關鍵技術。台灣的半導體研究機構(TSRI)及台積電 (TSMC) 將展示全球首創使用選擇性區域 CVD 成長法在 SiOx/Si 基板上製造的上閘極 WS₂p 通道 FET。製造的閘極長度 40 nm WS₂FET 展現的開關比率為 10⁶，次臨界值斜率為 97 mV/dec，而且 DIBL 將近零。

論文 T19-2 「使用通道區域選擇性 CVD 成長法在 SiOx/Si 基板上製造的 40 nm 通道長度上閘極 WS₂ pFET 的首次展示」

作者：台積電的 C.-C. Cheng 等人。

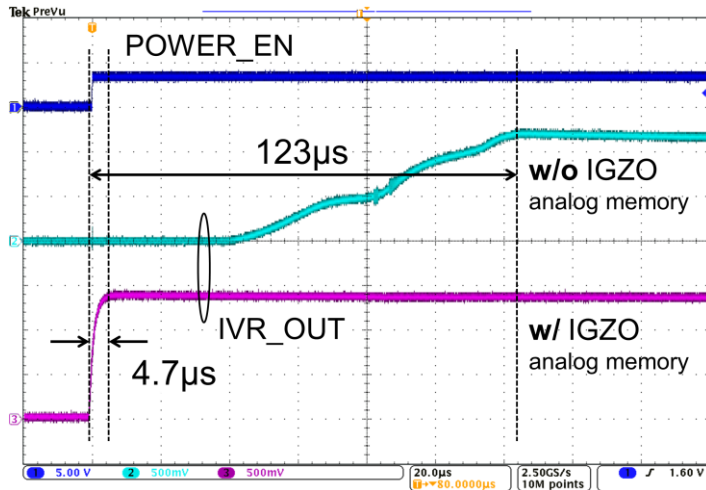


T19-2 提案的 WS_2 pFET 的截面影像。

今年推出的創新低功耗技術當中，有一項是專為常閉運算設計的 IGZO 型 MCU。MCU 採用 60 nm IGZO 製程，可在電源門控期間同時保存處理單元與記憶體上的資料，進而實現 1 個時脈 (21ns) 的週期備份時間，和 4.49us 的快速還原。另外，IGZO 的低漏電流還有助於實現 880nW 的超低待機功耗。本裝置研究證明，對於需要低功耗和快速喚醒的物聯網和邊緣人工智慧應用，IGZO 技術是加速推廣應用很重要的候選技術。

論文 C5-1 「採用 60 nm 結晶 In-Ga-Zn Oxide，具備 1 個時脈完整備份和 4.69-us 喚醒的 48 MHz 880-nW 待機功率電源常閉 MCU」

作者：半導體能源研究所 (Semiconductor Energy Laboratory Co., Ltd.) 的 T. Ishizu 等人。



C5-1 含或不含 IGZO 類比記憶體之整合式穩壓器的安定時間。

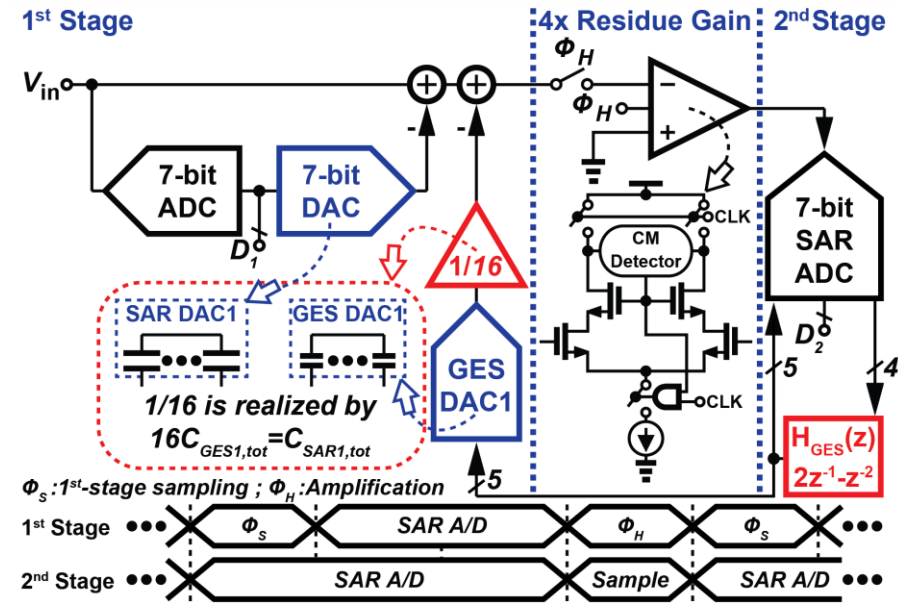
有線電路及資料轉換器電路

採用二階級間增益誤差頻移的 75.8dB-SNDR 管線式 SAR ADC

廣泛使用於高速應用的管線式 SAR ADC 對於級間增益誤差極為敏感。在德州大學奧斯汀分校 (University of Texas at Austin) 所發表的一份論文中，展示一項低成本的增益誤差頻移 (GES) 技術，其可抑制管線式 SAR ADC 的頻內級間增益誤差。這項技術同時適用於閉迴路和開放迴路的級間放大。採用二階 GES 技術以 40nm CMOS 製程生產的管線式 SAR ADC 能在 12.5MHz 頻寬下達到 75.8dB SNDR，以 100MS/s 的速度運作，並保持 1.54mW 耗電量。GES 相關硬體只佔不到核心面積的 2%。

論文 C7-1 「採用二階級間增益誤差頻移的 75.8dB-SNDR 管線式 SAR ADC」

作者：德州大學奧斯汀分校的 C-K. Hsu 等人

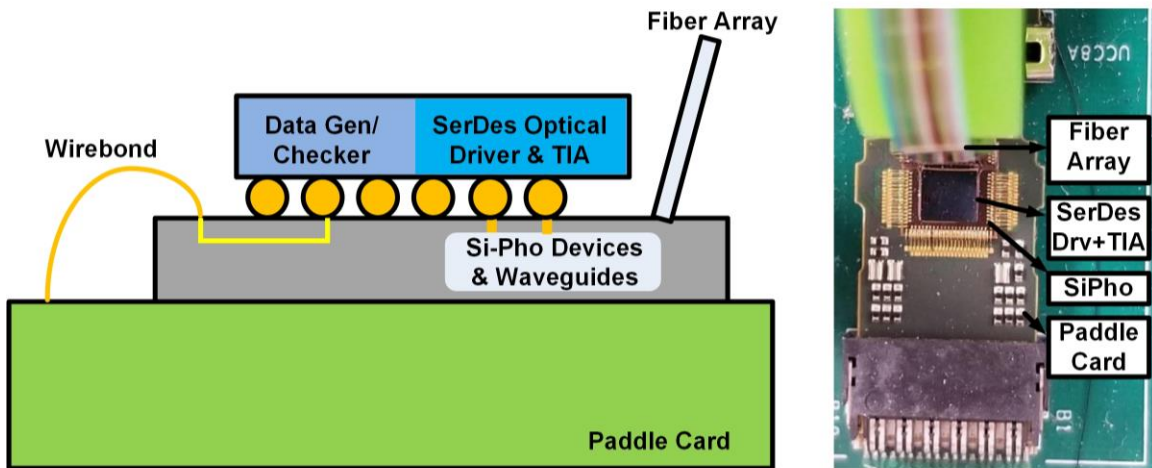


C7-1 使用二次GES之ADC的方塊圖與時序圖。

50Gb/s 混合型整合式矽光子之光學連結

矽光子是電子訊號上實現高頻寬密度和能源效率的關鍵技術。Xilinx 今年將展示 50Gb/s 混合型整合式矽光子之光學連結。採用 16nm CMOS 生產的 Tx 和 Rx 使用 T 線圈，藉此改善電吸收調變器的調變效率，同時減少轉阻放大器的雜訊。BER 10^{-12} 下的連結靈敏度為 -10.9dBm 光學調變振幅，在 50Gb/s 雷射速度下的耗電量為 4.31pJ/bit。

論文 C16-1 「採用 16nm FinFET 的 50Gb/s 混合型整合式矽光子之光學連結」
作者：Xilinx, Inc. 的 M. Raj 等人。



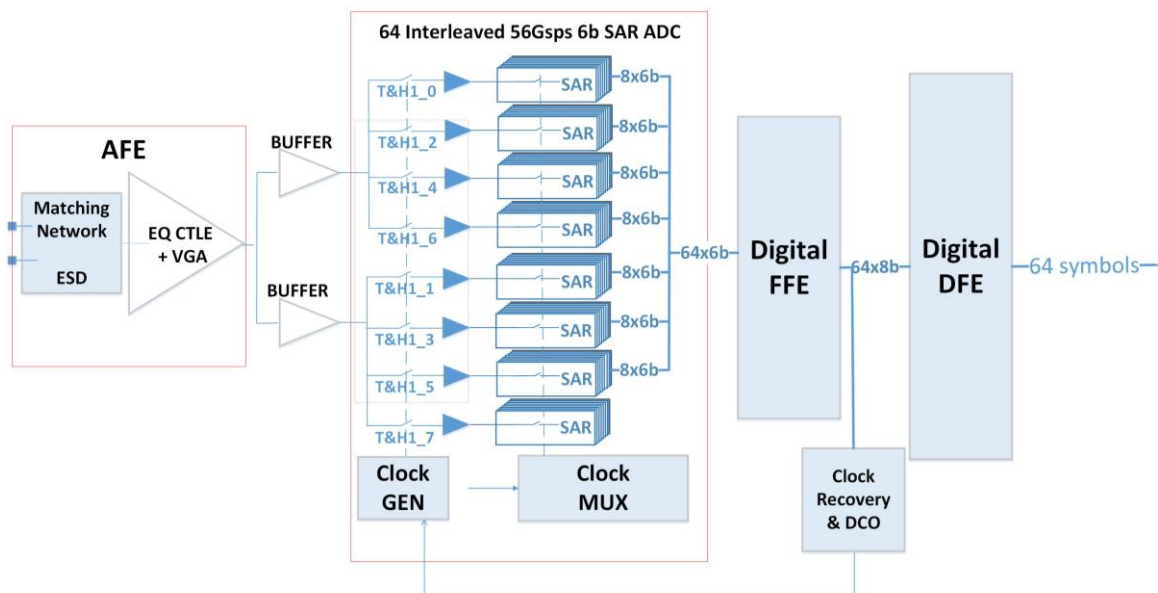
C16-1 使用矽光子的光學收發器(驅動器和TIA)：方塊圖(左)和相片(右)。

採用 10nm 製程適用於長距通道的 112Gb/s PAM4 接收器

自去年 VLSI 電路研討會中發表的全球首款整合式 112Gb/s PAM4 接收器，今年 Intel 發表最先進距離更遠的小尺寸 112Gb/s PAM4 接收器。除了 64 向交錯 SAR-ADC 和決策區塊中的 2 階串聯取樣拓撲，本裝置亦在類比前端使用以 LC 被動元件為基礎的 Q 移頻等化器技術，因此具有低雜訊和出色的等化效能。本裝置採用 10nm 製程製造，並使用 112Gb/s PAM4 PRBS-31 輸入資料樣式進行評估。接收器的晶片內建 DSP 包含 16tap FFE 和 1tap DFE，可在 35dB 耗損通道達到 pre-FEC BER $<10^{-6}$ ，有效面積為 0.281mm²。

論文 C22-1 「採用 10nm 製程，適用於長距通道的 112Gb/s PAM4 ADC 型 SERDES 接收器」

作者：Intel 的 Y. Krupnik 等人



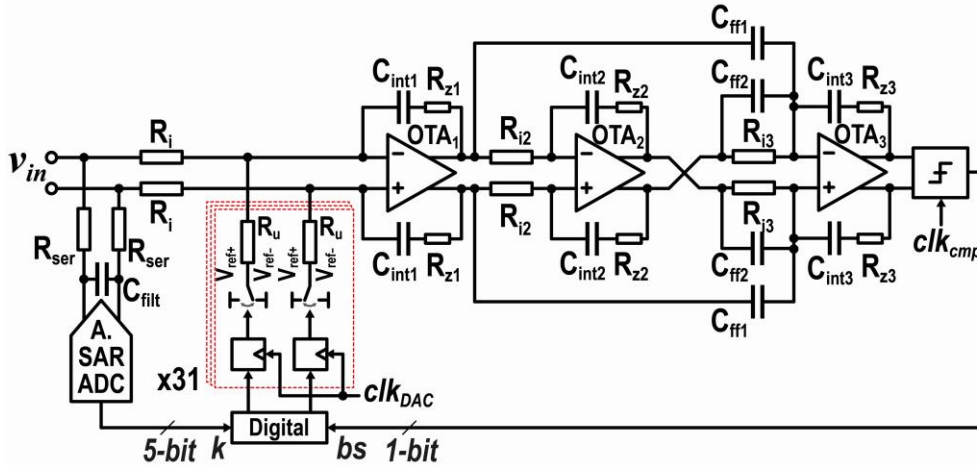
C22-1 提案的接收器方塊圖。

適合音訊應用的低功率連續時間變焦 ADC

荷蘭戴夫特理工大學 (Delft University of Technology) 將展示使用變焦架構的連續時間 (CT) A/D 轉換器。在行動音訊應用的領域中，資料轉換系統必須維持低功率和高解析度。傳統的高精度 A/D 轉換器因為電容負載和取樣的關係，會對輸入與參考驅動器造成高負載。提案的連續時間變焦 A/D 轉換器由於採用電阻輸入阻抗，因此可以降低對周邊驅動器的要求。此 A/D 轉換器可達到高精度轉換，像是 108.5 dB 動態範圍和 106.4 dB SNDR，並保持在 618 μ W 的耗電量。

論文 C19-1 「適合音訊應用的低功率連續時間變焦 ADC」

作者：荷蘭台夫特理工大學的 B. Gönen 等人。



C19-1 建議的連續時間變焦 ADC 簡化示意圖。

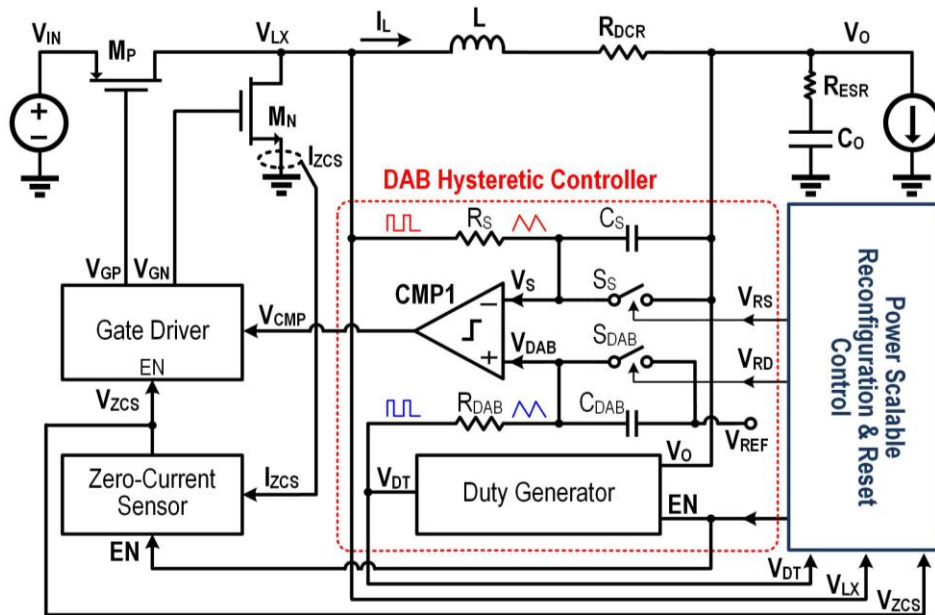
電源管理電路

適用於 5G 物聯網的 DC-DC 轉換器

用於 5G 物聯網的功率轉換器預期要能處理零功率和最大功率之間突然的功率翻轉，擁有超快速的暫態響應，且能有效提供各種功率，同時保持系統的小巧尺寸和高功率密度。德州大學達拉斯分校 (Univ. of Texas at Dallas) 將展示專為 5G 物聯網設計的雙重適應性反彈 (DAB) 遲滯控制功率轉換器。由於使用 DAB 控制，在回應 1A/3ns 負載的上升/降低時可達到 1% t_{settle} 的 247ns/387ns。速度比採用 0.18 μ m CMOS 的最佳研究文獻還要快上 6 倍。此外，2.5W 全功率範圍的 99.9% 皆能達到 80% 以上的效率。轉換器採用的高效設計，使其擁有相關文獻中最高的晶片功率密度 14.3W/mm²。

論文 C15-3 「適用於 5G 物聯網，可達到 2.5W/247ns 全負載功率翻轉，99.9% 功率範圍可達 80% 以上效率的 10-MHz 14.3W/mm² DAB 遲滯控制功率轉換器」

作者：德州大學達拉斯分校 (University of Texas at Dallas) 的 K. Wei 等人

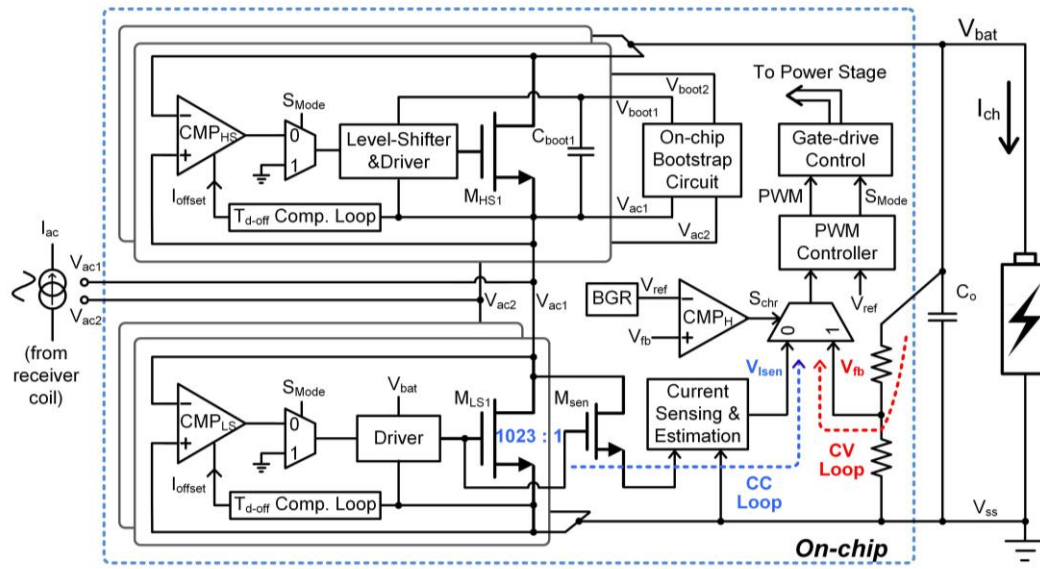


C15-3 建議的DC-DC 轉換器方塊圖。

高效且精巧的單級無線充電器

CC-CV (恆定電流與恆定電壓) 電池充電已廣為使用，但實作一個考量晶片面積及功率效率應用於 1A 類別的無線 CC-CV 卻是一項挑戰。中國科學技術大學 (USTC) 和香港科技大學 (HKUST) 成功利用其小尺寸的單級功率轉換器完成了電壓整流、調節和 CC-CV 充電這三項功能，同時將電路與自舉電容器一起整合到採用 0.35 μm CMOS 製程 8mm² 的 IC 上。在 1A 和 1.5A 充電電流下，測到的峰值效率分別為 92.3% 和 91.4%。

論文 C26-1 「整合 CC-CV 充電與晶片內建自舉技術的 6.78MHz 92.3% 峰值效率單級無線充電器」
作者：中國科學技術大學的 L. Cheng 等人。



C26-1 建議的充電器方塊圖。

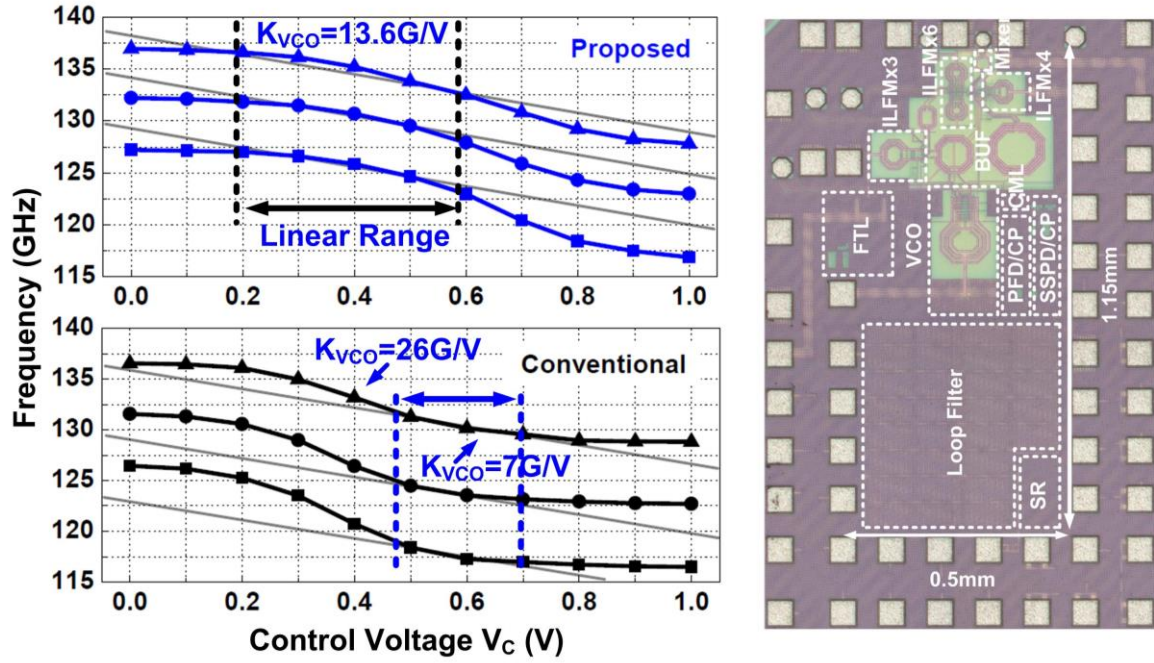
頻率產生

65nm CMOS 的 270-GHz 全整合式頻率合成器

如同 Tera-Hz 級的無線通訊，一個寬頻、低相位雜訊且精準的頻率來源對次 Tera-Hz 級的共調翻轉光譜(Coherent Rational Spectroscopy, CRS)系統是不可或缺的。HKUST 將發表使用 65nm CMOS 製程，使用串聯注入鎖定倍頻器(Injection Locked Frequency Multiplier, ILFM)技術，可產生 61.2 至 100.8GHz、122.4 至 136.8GHz 和 198.5 至 273.6GHz 輸出頻率的次 Tera-Hz 級頻率產生器。其輸出功率為 -11dBm，在 211GHz 載波下 DC 轉 RF 效率可達 0.16%。

論文 C4-2 「65nm CMOS 的 270-GHz 全整合式頻率合成器」

作者：香港科技大學(Hong Kong University of Science and Technology)的 X. Liu 等人



C4-2 測得的注入鎖定倍頻器頻率調整範圍，和建議的頻率合成器的晶片顯微圖。