



2022 IEEE VLSI 기술 및 회로 심포지엄 하이라이트

2022 IEEE VLSI 기술 및 회로 심포지엄은 마이크로/나노 반도체 집적 기술의 발전, 진화 및 혁신을 기록하는 대표적인 국제 학회로 2022 년 6 월 12 일~17 일 하와이의 힐튼 하와이 빌리지에서 개최될 예정이다. 세계 최고의 기술을 소개하는 다양한 라이브 기술/패널 세션들이 준비되어 있으며, 현장에 직접 올 수 없는 참가자들을 위한 하이브리드 형식의 중계도 예정되어 있다. 특히, 이번 심포지엄은 트랜지스터 발명 75 주년을 기념하고자 “미래 핵심 인프라를 위한 기술 및 회로”라는 주제로 진행되며, 인간의 소통 방식을 변화시키는 차세대 스마트 커넥티드 장치 및 시스템을 위한 첨단 반도체 기술 개발, 혁신적인 회로 설계 및 응용 분야가 발표된다.

2022 IEEE VLSI 기술 및 회로 심포지엄의 주요 논문들을 간단히 소개한다:

조인트 기술 및 회로 하이라이트

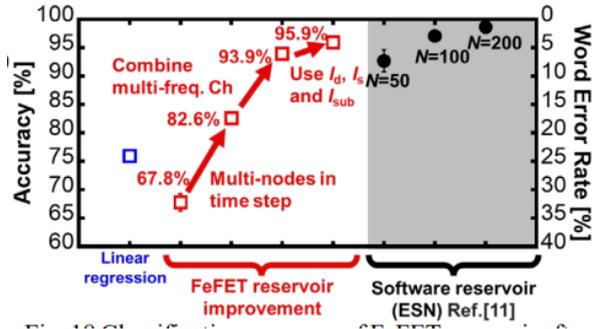
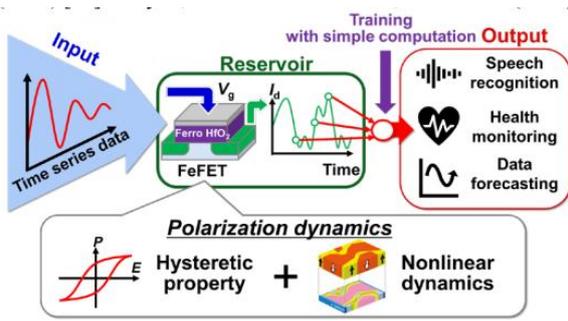
올해에는 기존 반도체 기술과 회로설계에 관한 두 심포지엄이 하나로 통합되었으며, 두 학문 분야의 상호보완적 협업을 통한 혁신적인 개념들이 아래와 같이 발표될 예정이다.

CMOS 머신 러닝을 넘어

“Experimental Demonstration of Novel Scheme of HZO/Si FeFET Reservoir Computing with Parallel Data Processing for Speech Recognition”

도쿄대학교 (The University of Tokyo, 논문번호 1491)

도쿄대학의 연구원들은 음성 인식을 위한 병렬 데이터 프로세서에서 강유전체 게이트 MOSFET(FeFET)를 사용한 축적(reservoir) 컴퓨팅의 새로운 구현을 제시한다. 축적 컴퓨팅은 단일 레이어 파라미터의 학습만으로 구성되어 에지-AI 용 온라인-학습 솔루션에 적합한 머신 러닝 기술로, 본 논문에서는 FeFET의 편광 역학이 이를 위한 인-메모리-컴퓨팅 과정에 활용될 수 있다는 것을 보여준다. 또한, 단일 FeFET의 방전 전류의 시간 응답에서 추출된 가상 노드를 사용하여 단기 메모리(STM) 및 패리티 검사(PC) 작업과 같은 머신 러닝을 위한 기본 연산들이 성공적으로 검증되었고, 이를 바탕으로 95.9% 이상의 정확도를 보이는 음성 인식 솔루션을 제시하고 있다.



1491 논문의 대표그림

그림설명: 도쿄대학은 소프트웨어 기반 축적 컴퓨팅(오른쪽)과 유사한 정확도를 보여주는 음성 인식을 위한 병렬 데이터 프로세서(왼쪽)에서 강유전체 게이트 MOSFET(FeFET)를 사용한 축적 컴퓨팅의 새로운 구현을 제시한다.

양자 컴퓨팅

“Scalable 1.4 μ W cryo-CMOS SP4T Multiplexer Operating at 10mK for High-Fidelity Superconducting Qubit Measurements”

루벤 가톨릭 대학교 (KU Leuven, 논문번호 1216)

루벤 가톨릭 대학교의 연구진은 10mK 온도에서 작동하는 초저전력 저온-CMOS single-pole-4-throw (SP4T) RF 멀티플렉서의 전기적 성능에 대해 보고한다. 새로운 개념의 멀티플렉서로 초전도 큐비트의 주요 성능을 세계 최초로 분석하였으며, 이를 통하여 평균 99.93% 단일 큐비트 충실도 조건에서 35 μ s 이상의 큐비트 결맞음 시간을 얻었다. 이는 기준 온도에서 초저전력 cryo-CMOS 장치로 제어되는 초전도 큐비트 동작 가능성을 보여주는 결과로, 향후 다양한 확장 시스템으로 발전하기 위한 방향성을 제시하고 있다.

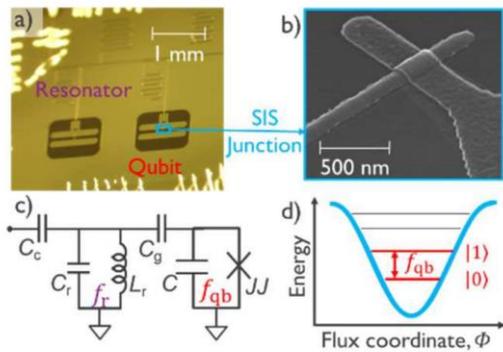


Fig. 4 a) Optical image of the qubit chip. b) SEM image of overlap superconductor-insulator-superconductor (SIS) Josephson junction (JJ). c) Equivalent circuit of the resonator-qubit system. d) Potential profile and qubit energy levels.

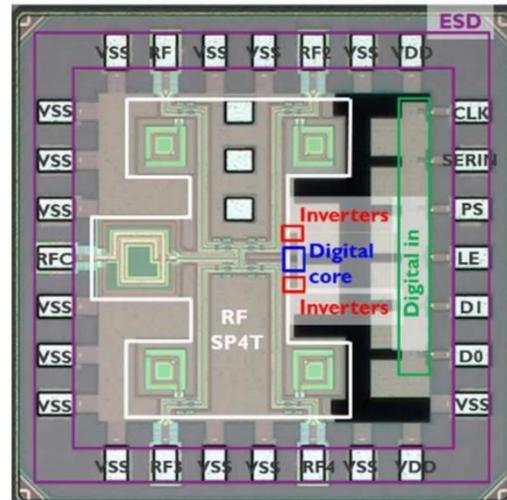


Fig. 4 a) Optical image of the qubit chip. b) SEM image of overlap superconductor-insulator-superconductor (SIS) Josephson junction (JJ). c) Equivalent circuit of the resonator-qubit system. d) Potential profile and qubit energy levels.

그림 4 a) 큐비트 칩의 광학 이미지. b) 중첩 초전도체-절연체-초전도체(SIS) 조세프슨 접합(JJ)의 SEM 이미지. c) 공진기-큐비트 시스템의 등가 회로. d) 잠재적 프로파일 및 큐비트 에너지 수준.

1216 논문의 대표그림

그림설명: 초저전도 공진기를 활용한 고정밀 초전도 큐비트 지원 장치 (왼쪽), 제안하는 저전력 RF SP4T 저온 멀티플렉서의 내부 아키텍처와 (오른쪽)

인-메모리 컴퓨팅

“An 8-bit 20.7 TOPS/W Multi-Level Cell ReRAM-based Compute Engine”

미시간 대학교 (University of Michigan, 논문번호 1421)

미시간 대학의 연구원들은 Applied Materials사와 협력하여 멀티레벨 ReRAM에 기반한 아날로그 인-메모리 컴퓨팅 기법이 머신러닝 및 계산과학 응용 시스템의 효율을 극대화할 수 있다고 보고했다. 연구진은 4개의 ReRAM 기반의 인-메모리 컴퓨팅 타일과 RISC-V 호스트 프로세서로 구성된 SoC를 설계하였으며, 96.8%의 MNIST 분류 정확도를 달성하는 과정에서 20.7 TOPS/W의 최대 에너지 효율 및 8.4 TOPS/mm²의 연산밀도를 보고하였다. (정규화 에너지 효율 기준 662TOPS/W)

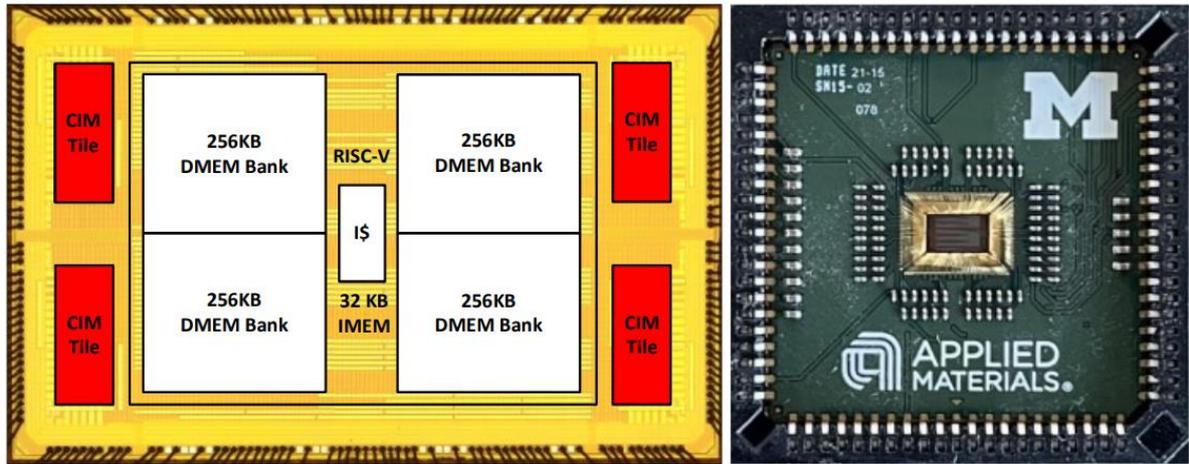


Fig. 9. Die micrograph and prototype chip on custom substrate PCB in PLCC socket. Prototype die measures 3.2 x 5.1mm.

Fig. 9. Die micrograph and prototype chip on custom substrate PCB in PLCC socket. Prototype die measures 3.2 x 5.1mm.

그림 9. 제안하는 설계의 칩 사진 및 이를 검증하기 위한 PLCC 소켓 기반의 PCB. (프로토타입 칩 크기: 3.2 x 5.1mm)

1421 논문의 대표그림

그림설명: 아날로그 인-메모리 컴퓨팅을 지원하는 멀티레벨 ReRAM 은 머신러닝 및 계산과학 분야에서 초고효율 연산을 제공할 수 있다. 4 개의 ReRAM 기반 인-메모리 컴퓨팅 타일과 RISC-V 호스트 프로세서가 집적된 SoC 프로토타입에서 20.7 TOPS/W 의 최대 에너지 효율 및 8.4 TOPS/mm² 의 연산밀도를 달성하였다. (정규화 에너지 효율 기준 662 TOPS/W 달성)

인-메모리 컴퓨팅

“A 40nm Analog-Input ADC-Free Compute-in-Memory RRAM Macro with Pulse-Width Modulation Between Sub-arrays”

조지아 공과대학교 (Georgia Institute of Technology, 논문번호 0059)

인-메모리 컴퓨팅(CIM)은 심층신경망(DNN) 하드웨어 구현에서 많은 수의 MAC 연산자를 설계하는 전통적인 디지털 회로 시스템의 한계를 극복하기 위한 효과적인 대체기술로 주목 받고 있다. 조지아 공과대학교에서는 1T1R RRAM 기반 ADC-free 인-메모리 컴퓨팅 매크로를 제시, 기존 매크로 구조에서 성능저하의 원인이 되는 ADC 양자화 노이즈를 최소화 하는 개념을 실증하였다. 새로운 직접 디지털 변환 기법을 통하여 아날로그 신호를 직접 계산할 수 있는 ADC-free 인-메모리 솔루션으로 회로 복잡도를 0.5 배 줄이면서도 연산 처리량을 6.9 배 향상시키며, 궁극적으로 기존대비 에너지 효율과 연산 효율을 각각 11.6 배, 4.3 배 개선하였다.

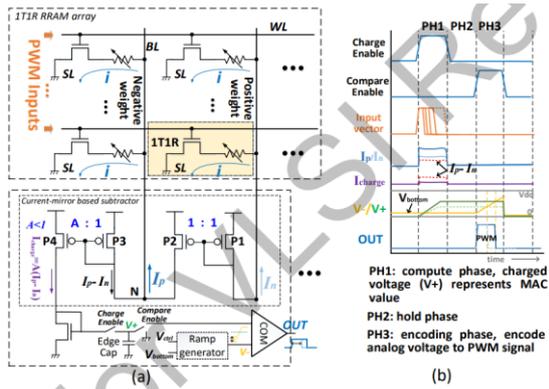


Fig. 3. Structure and operation of the proposed ADC-free compute scheme using 1T1R array.

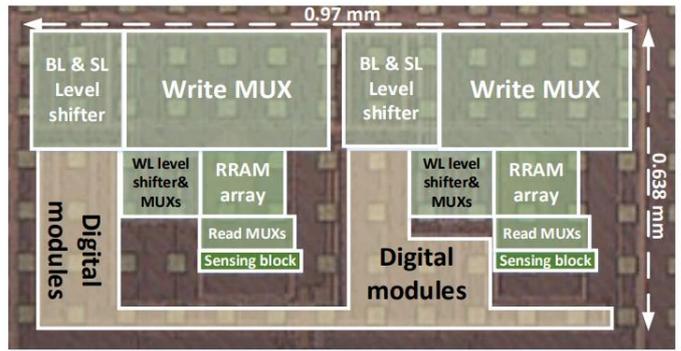


Fig. 3. Structure and operation of the proposed ADC-free compute scheme using 1T1R array.

그림 3. 1T1R 어레이를 사용한 ADC-free 인-메모리 컴퓨팅 회로구조 및 동작과정.

1421 논문의 대표그림

그림설명: (왼쪽) 1T1R 어레이를 사용한 ADC-free 인-메모리 컴퓨팅 회로구조 및 동작과정. (오른쪽) 제안하는 RRAM 매크로의 칩 사진 및 내부 모듈.

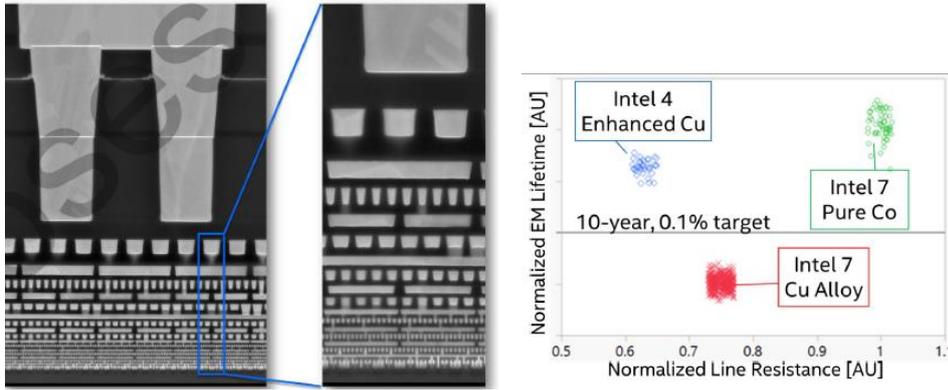
기술 하이라이트

최신 CMOS 기술

“Intel 4 CMOS Technology Featuring Advanced FinFET Transistors Optimized for High Density and High-Performance Computing”

인텔 (Intel, 논문번호 1787)

무어의 법칙 적용: Intel은 Intel 7에 비해 고성능 논리 라이브러리의 2배 면적 확장과 고립 전력에서 20% 이상의 성능 향상을 제공함으로써 무어의 법칙을 확장하는 새로운 고급 CMOS FinFET 기술, Intel 4를 제시했다. 확장형 고성능 라이브러리는 50nm 게이트 피치, 30nm 핀 피치 및 30nm 최소 금속 피치를 제공한다. 이 노드는 N/PMOS의 경우 190mV/180mV 범위에서 8VT(4NVT + 4PVT)를 제공하여 설계자가 전력 및 속도 요구 사항 중 하나를 선택할 수 있다. EUV 리소그래피는 공정 흐름을 단순화하고 수율을 향상시키기 위해 광범위하게 사용된다. 인터커넥트 스택은 16개의 금속 층과 중요한 하위 층에서 향상된 구리 야금을 특징으로 하며 향상된 전기 이동과 하위 라인 저항을 제공한다.



1787 논문의 대표그림

그림설명 1: Intel 4 Interconnect 스택의 단면도. EUV 패턴은 공정 흐름을 단순화하고 수율을 향상시키기 위해 하위 금속 층에 사용된다.

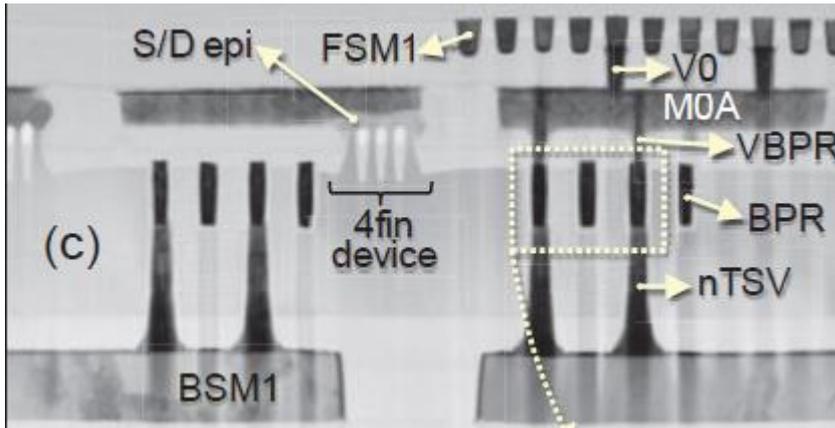
그림설명 2: 표준 일렉트로마이그레이션 수명에서 야금용 일반 라인 저항, Intel 4 vs. Intel 7 기술.

최신 CMOS 기술

“Scaled FinFETs Connected by Using Both Wafer Sides for Routing via Buried Power Rails”

imec (논문번호 1419)

최근 몇 년 동안 imec 은 신호 경로와 전력 경로가 더 이상 라우팅 충돌을 일으키지 않기 때문에 IR 강하를 줄이고 라우팅 밀도를 증가시키는 이중 이점을 가진 트랜지스터 아래로 파워 레일을 밀어넣는 매립형 파워 레일(BPR) 기술을 개발했다. 여기에서는 양쪽 웨이퍼 측면에서 BPR 을 통한 전원 연결을 가능하게 하는 새로운 라우팅 체계를 사용하여 스케일링된 FinFET 에 대한 보고서를 작성한다. p/n S/D-epi 및 BPR 에 접촉하는 패터닝 후 전면에서는 양호한 접촉 계면을 유지하면서 최적화된 프리클리닝으로 단일 금속화 단계로 수행된다. 웨이퍼 플립, 본딩 및 극단적인 박형화 후 323nm 깊이의 나노 스루 Si-vias(nTSV)가 BPR 에 착지하여 엄격한 오버레이 제어와 변함없는 BPR 저항을 제공한다. 전력 공급 네트워크를 후방으로 이동함으로써 2nm 설계 규칙에서 저전력 64 비트 CPU 에 대해 생성된 온칩 전력 히트 맵에서 예측되는 동적 및 정적 IR 강하가 줄어든다. VT 복구, 이동성 및 BTI 개선을 위해 후면 처리 및 추가 어닐이 추가된 후 P/NMOS 는 유사하거나 심지어 더 우수한 ION-IOFF 를 보인다.



1491 논문의 대표그림

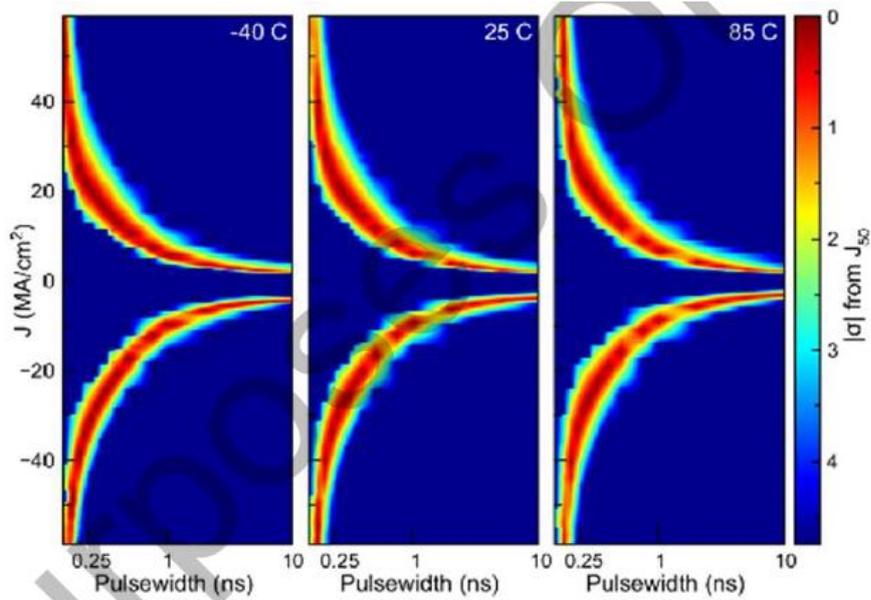
그림설명: 새로운 라우팅 방식으로 구축된 FinFET 을 보여주는 TEM 이미지, 이 이미지에서는 웨이퍼의 양쪽이 매립형 전력 레일(BPR)을 통한 장치 연결에 사용된다. 최대 M1 레벨의 FinFET 은 웨이퍼 전면(FS)에 내장되어 웨이퍼를 뒤집어 캐리어 웨이퍼에 접착하고 얇게 만든다. 웨이퍼의 FS 에서 M1 라인(FSM1)은 V0 을 통해 M0A 라인에 연결된 다음 VBPR 을 통해 BPR 라인에 연결된다.

MRAM 메모리 기술

“Reliable Sub-nanosecond MRAM with Double Spin-Torque Magnetic Tunnel Junctions”

IBM (논문번호 1367)

스핀 주입 자화 반전 자기 메모리(STT-MRAM) 기술은 플래시나 SRAM 에 비해 에너지 개선 효과가 나타나 양산 중이다. 그러나 STT-MRAM 비트 셀 장치의 신뢰성과 속도 모두 개선해야 할 문제로 남아 있다. 본 논문에서 IBM 은 이중 스핀 토크 자기 터널 정션(DS-MTJ)을 사용하여 두 개의 터미널 STT-MRAM 장치에서 서브 나노초 스위칭으로 두 가지 개선 사항을 모두 보여준다. 쓰기 작동에서 낮은 오차는 -40°C 에서 85°C 까지의 온도 범위에서 250 ps 이상의 쓰기 펄스와 엄격한 분포로 달성된다. 신뢰성을 확보하기 위해 $1\text{E}10$ 쓰기 사이클 후에도 열화가 관찰되지 않았다. 이 2 단자 DS-MTJ STT-MRAM 소자는 최근 발표된 3 단자 스핀 궤도 토크(SOT) MRAM 소자에 비해 스위칭 전류 밀도가 10 배 감소하고 동급 전력 소비량이 3-10 배 감소하는 것으로 나타났다.



1367 논문의 대표그림

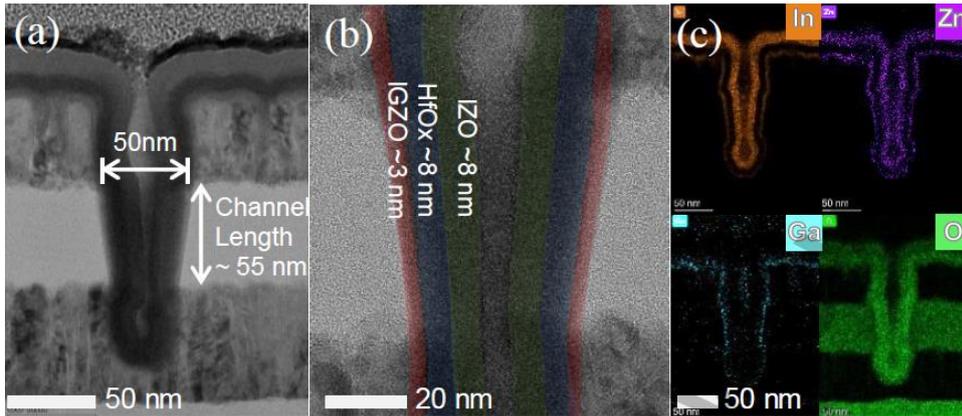
그림설명: -40 C, 25 C 및 85 C 에서 측정된 일반 분위수 척도(50% 스위칭 전류 밀도의 표준 편차 절대값 사용)를 사용하여 플롯된 단일 장치에 대한 쓰기 오류율, 225ps ~ 10ns.

DRAM 메모리 기술

“Vertical Channel-All-Around (CAA) IGZO FET less than 50nm CD with High Read Current of $32.8\mu\text{A}/\mu\text{m}$ ($V_{th} + 1\text{V}$), Well-Performed Thermal Stability up to 120°C for Low Latency, High-Density 2T0C 3D DRAM Application”

화웨이 (Huawei, 논문번호 1736)

Huawei 가 고성능 DRAM 개발에 대해 처음으로 보고했다. 그들은 $50\times 50\text{nm}^2$ 미만의 활성 플랫폼으로 축소된 수직 채널 올라운드(CAA) IGZO FET 를 보여준다. 최적화된 IGZO 두께($\sim 3\text{nm}$)와 높은 K 유전체(HfO_x)로 $32.8\mu\text{A}/\mu\text{m}$ 의 높은 전류 밀도채널 길이가 55nm 이고 임계 치수(CD)가 50nm 인 IGZO CAA FET 에서 $92\text{mV}/\text{dec}$ 의 하위 임계값 스윙으로 $V_{th} + 1\text{V}$ 가 달성된다. 또한 -40°C 에서 120°C 까지의 온도 변화 테스트와 정바이어스 온도 스트레스(PBTS)를 통해 우수한 열 안정성과 신뢰성을 확인할 수 있다. 그들의 결과는 CAA IGZO FET 가 미래에 1α 노드를 넘어서는 고밀도, 고성능 3D DRAM 의 유망한 후보임을 보여준다.



1736 논문의 대표그림

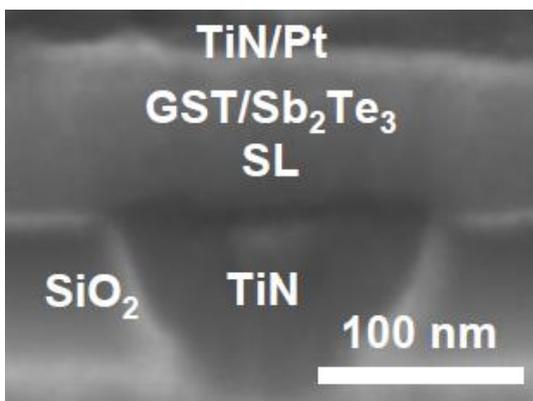
그림설명: Huawei 는 TEM 기준으로 CD 가 약 50nm 인 IGZO-CAA(수직채널 올라운드) FET 단면을 구현했다. 약 55nm 채널 길이와 결합된 8nm HfOx 유전체

PCM 메모리 기술

“First Demonstration of Ge₂Sb₂Te₅-Based Superlattice Phase Change Memory with Low Reset Current Density (~3 MA/cm²) and Low Resistance Drift (~0.002 at 105°C)”

스탠퍼드대학교 (Stanford University, 논문번호 1387)

상변화 메모리(PCM)는 고밀도 스토리지를 필요로 하는 광범위한 애플리케이션에 프로그래밍 가능한 비휘발성 메모리를 제공한다. 스탠퍼드는 리셋 전류 밀도(Jreset)와 저항 드리프트 계수(ν)를 감소시키는 초격자 PCM(SL-PCM) 헤테로 구조를 조사하는 PCM 메모리 구조의 발전을 제시한다. 그러나 SL 은 잘 알려진 상변화 물질 Ge₂Sb₂Te₅ (GST)를 사용하여 연구되지 않았으며, SL 인터페이스와 혼합층의 영향 또한 알려지지 않은 상태로 남아있다. 여기서 GST/Sb₂Te₃ 기반의 SL 을 최초로 사용하여 바닥 전극 직경이 110nm 이하인 버섯-셀 PCM 에서 동시에 Jreset \approx 3-4 MA/cm² 및 7 저항 상태($\nu \leq 0.002$)를 달성하였다. 낮은 Jreset 과 ν 는 각각 106 사이클 이후에도 고온(105°C)에서 유지된다. 또한 Jreset 과 SL-PCM 에서의 ν 는 SL 인터페이스의 수가 증가함에 따라 감소하는 것으로 나타났다.



1387 논문의 대표그림

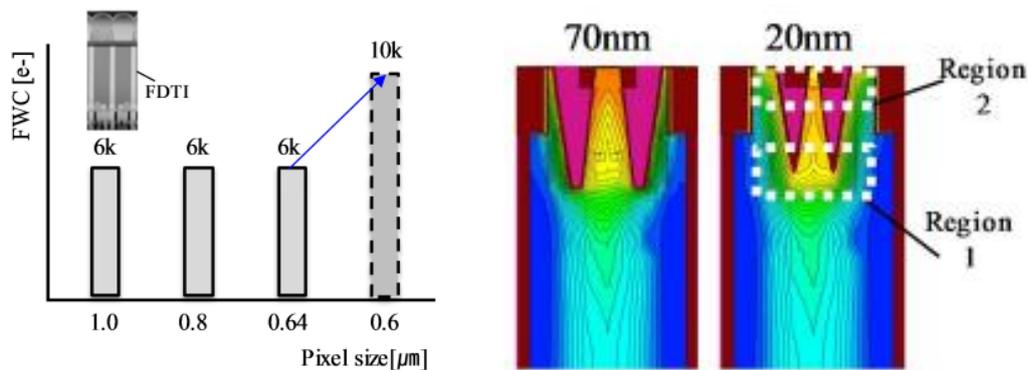
그림설명: 원자적으로 날카로운 초격자 인터페이스와 판데르발스 같은 간극을 보여주는 삽입부가 있는 버섯-셀 GST/Sb₂Te₃ 초격자 상변화 기억 장치의 단면 주사 전자 현미경 이미지.

이미지 센서 기술

“A 0.6 μ m Small Pixel for High Resolution CMOS Image Sensor with Full Well Capacity of 10,000e⁻ by Dual Vertical Transfer Gate Technology”

삼성전자 (Samsung, 논문번호 1704)

CMOS 픽셀 경쟁은 계속된다: 삼성은 듀얼 수직 전송 게이트(D-VTG) 기술을 적용한 0.6 μ m 화소 최대 웰 용량(FWC)을 10,000e⁻로 사용해 200Mp급 이미지센서 시제품을 개발했다. D-VTG의 FWC는 싱글 수직 전송 게이트(S-VTG) 대비 60% 증가하며 TG 전압의 제어성을 높여 전송 능력을 향상시킨다. 또한 VTG의 간격, 깊이 및 테이퍼 기울기에 따라 광전자 전달을 최적화한다.



1704 논문의 대표그림

그림설명 1: 픽셀 크기에 따른 삼성의 최대 웰 용량. 10k e⁻ 최대 웰은 0.6 μ m 피치 픽셀 덕분에 달성된다.

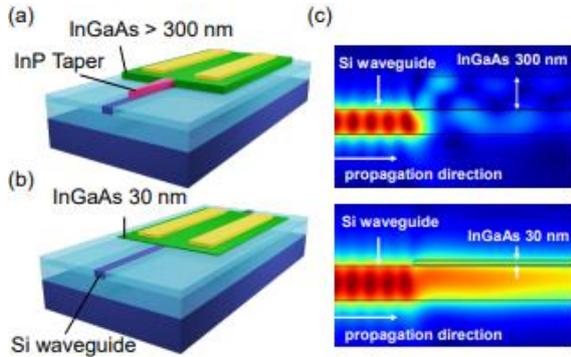
그림설명 2: 싱글 및 듀얼 수직 전송 게이트의 경우 잠재적 프로파일

유선 및 광학 시스템

“Low-capacitance Ultrathin InGaAs Membrane Photodetector on Si Slot Waveguide towards Receiver-less System”

도쿄대학교 (The University of Tokyo, 논문번호 1455)

도쿄대학교는 초박형 InGaAs 멤브레인과 Si 슬롯 도파관으로 구성된 Si/III-V 하이브리드 도파관 광검출기를 제안하여 낮은 용량과 높은 응답성을 가능하게 함과 동시에 고속 데이터 센터 및 백본 링크의 속도 향상을 달성했다. Si 슬롯 도파관의 강한 광학적 제한은 InGaAs 멤브레인에서의 광학적 흡수를 향상시켰다. 결과적으로, 그들은 성공적으로 1A/W의 높은 응답성과 1.9fF의 충분히 작은 용량으로 입증하여 무수신(TIA-less) 시스템을 구현하였다.



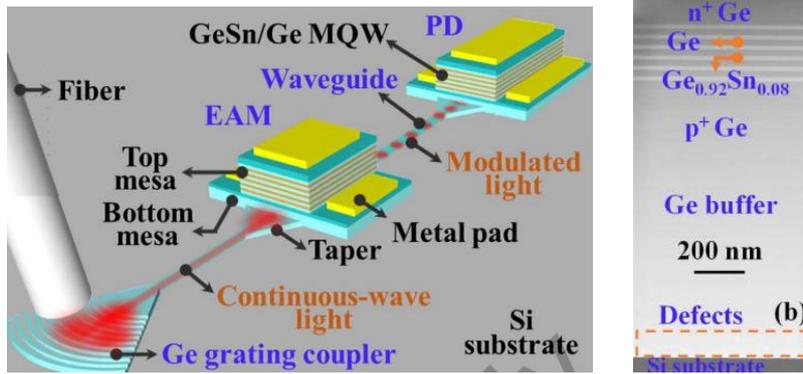
1455 논문의 대표그림

그림설명: (a) 테이퍼가 있는 기존의 InGaAs 도파관 광검출기 및 (b) 제안된 초박형 InGaAs 멤브레인 도파관 광검출기의 개략도. 보다 부드러운 모드 전환과 초박막 InGaAs 도파관 광검출기의 작은 반사를 통해 InP 테이퍼를 제거하여 보다 간단한 제작 공정이 가능하다. (c) Si 도파관에서 광검출기로의 모드 전파. 초박형 InGaAs 멤브레인을 사용하면 테이퍼 없이 부드러운 모드 전환을 수행할 수 있다.

유선 및 광학 시스템

“First Monolithic Integration of Group IV Waveguide Photodetectors and Modulators on 300mm Si Substrates for 2μm Wavelength Optoelectronic Integrated Circuit”
 싱가포르 국립대학교 (University of Singapore, 논문번호 1676)

1310 및 1550nm 싱글 모드 파이버의 개발이 이론적 한계에 가까워짐에 따라 통신 용량 경쟁을 해결하기 위해 한 경로에 2μm 광학 스펙트럼 창을 설치했다. 싱가포르 대학교는 Si CMOS가 대량 제조 경로와 호환되는 2μm 파장 애플리케이션을 위해 300mm Si 기판에 그룹 IV 도파관 광검출기(PD)와 변조기를 처음으로 단일 방식으로 통합했다고 보고했다. 그들의 도파관 PD와 전기 흡수 변조기(EAM)는 Ge_{0.92}Sn_{0.08}/Ge 다중 양자 우물(MQW)을 활성 계층으로 사용한다. 이들은 Ge 버퍼층을 Ge-on-Si 도파관 및 그레이팅 커플러로 사용하여 빛이 각각 EAM과 PD에 결합되어 직접 변조 및 검출할 수 있도록 한다. 도파관 PD의 확장된 커플링 경로는 동일한 흡수층으로 표면 조명 모드에 걸쳐 광학 응답성을 35배 향상시켜 6GHz의 높은 3dB 대역폭을 가진 모든 GeSn 기반 2μm PD 중 525mA/W의 가장 높은 응답성을 이끌어낸다. 또한, 처음으로 동일한 Si 기판에서 PD와 EAM의 성공적인 작동과 함께 2μm 완전 통합 트랜시버의 타당성을 입증했다.



1676 논문의 대표그림

그림설명 1: Si 기판상의 2 μm 파장에 대한 모놀리식 통합 도파관 PD 및 EAM의 3D 개략도 이미지. 이 빛은 커플러를 통해 도파관에 결합되어 변조를 위해 EAM을 향해 전송된 다음 PD에 의해 감지

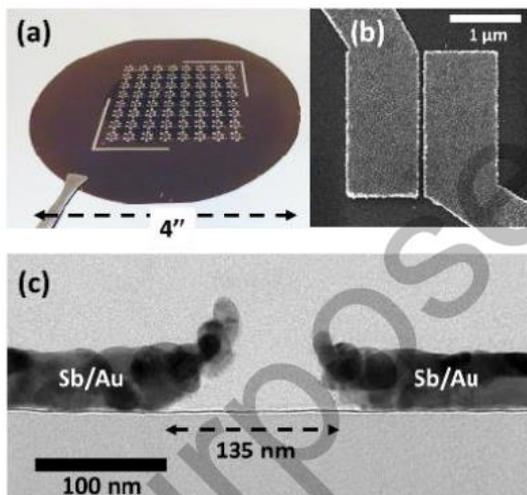
그림설명 2: 2 μm 통합 플랫폼용 300mm Si 기판에 있는 GeSn MQW 계층 스택의 단면 TEM 이미지.

최신 반도체 재료

“Wafer-Scale Bi-Assisted Semi-Auto Dry Transfer and Fabrication of High-Performance Monolayer CVD WS₂ Transistor”

TSMC (논문번호 1500).

TSMC는 반금속 Bi와 2차원 반도체 WS₂ 사이의 약하게 결합된 인터페이스를 이용하여 개발된 단층(1L) CVD WS₂에 새로운 웨이퍼 스케일 반자동 건식 전사 공정을 채용한 트랜지스터 기술을 보고했다. 단층 2D 반도체는 원자 크기의 채널 두께에서 캐리어 이동성이 잘 보존되고 벌크 반도체보다 짧은 채널 길이(LCH < 10nm)에서 정전 제어가 더 용이해 궁극적으로 미래 트랜지스터 기술을 위한 확장 채널 소재로서의 잠재력을 보여주었다. 이 새로운 단층 전사 방법은 웨이퍼 스케일에서 시연된다. 이 과정의 n-FET는 $0.73\text{k}\Omega\cdot\mu\text{m}$ 접촉 저항 및 게이트 길이 135nm에서 $V_{DS} = 1\text{V}$ 에서 최대 $250\mu\text{A}/\mu\text{m}$ 의 고전류를 달성한다.



1500 논문의 대표그림

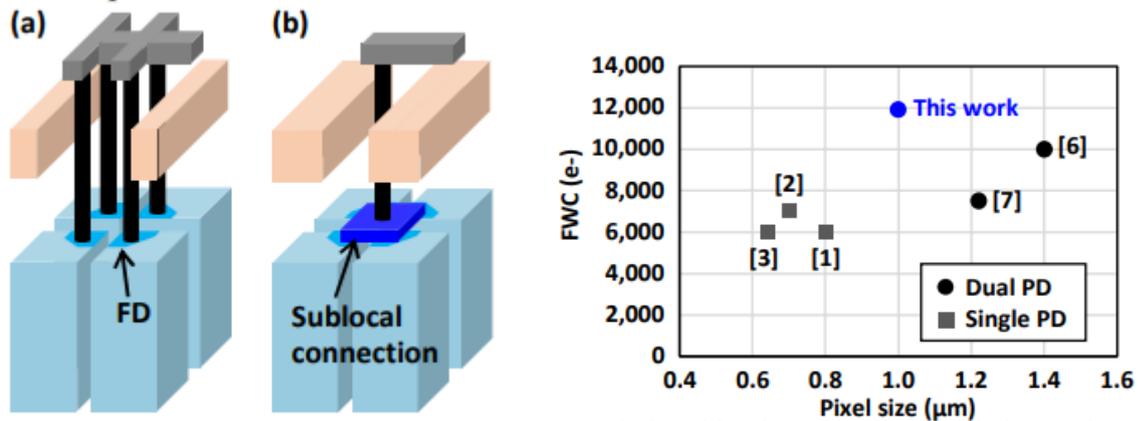
그림설명: (a) 글로벌 백게이트 장치 구조의 4" SiNx (100 nm)/p++-Si 웨이퍼에 전사된 2" 1L CVD WS₂의 사진. (b) Sb/Au 접점이 있는 장치 구조의 SEM 및 (c) 단면 TEM 이미지.

이미지 센서 기술

“A 2-Layer Transistor Pixel Stacked CMOS Image Sensor with Oxide-Based Full Trench Isolation for Large Full Well Capacity and High Quantum Efficiency”

소니 (Sony, 논문번호 1102)

Sony 는 대형 풀웰 용량(FWC)과 높은 양자효율(QE)을 보유한 2 레이어 트랜지스터 화소 적층형 CMOS 이미지센서(CIS) 개발을 시연한다. 포토다이오드(PD)와 픽셀 트랜지스터는 3 차원 순차적 통합 공정에 의해 서로 다른 Si 층에서 제작되어 PD 볼륨을 증가시키고, 다수의 부동 확산들을 연결하는 새로운 서브 로컬 연결을 도입하여 변환 계인과 랜덤 노이즈를 개선한다. 실리콘 산화물이 FTI 에 빛이 흡수되는 것을 방지하기 위해 기존의 폴리-Si 대신 처음으로 폴 트렌치 격리(FTI)용 내장재로 사용되며, 530nm 파장의 QE 는 19% 증가한다. 이들은 FWC 가 12,000e 인 1.0 μm 듀얼 PD CIS 를 보여주는데, 이전에는 더 큰 픽셀 크기에서만 달성되었다.



1102 논문의 대표그림

그림설명: 하위 로컬 연결이 없는 2 레이어 픽셀(a) 및 (b)의 장치 구조. (c) 이 연구에서 픽셀 크기와 FWC 사이의 관계는 이전 연구의 관계와 비교된다.

회로설계 하이라이트

머신 러닝

“A 17-95.6 TOPS/W Deep Learning Inference Accelerator with Per-Vector Scaled 4-bit Quantization for Transformers in 5nm”

엔비디아 (NVIDIA, 논문번호 1271)

자연어 처리 또는 머신 비전을 위한 전용 머신 러닝 프로세서는 에지 장치 및 데이터 센터 양쪽에서 중요한 역할을 하고 있다. NVIDIA의 연구원들은 5nm CMOS 공정을 이용한 최신 딥 러닝 가속기 시제품을 선보인다. 일반적으로 딥 러닝 가속기의 연산 정확도와 전력 소비량은 상충 관계를 갖고 있으나, 새롭게 제안된 가속기 구조에서는 종속 벡터 스케일링 기법을 제시하여 단 0.7%의 정확도 손실로 4b에서의 산술 연산을 수행, 95.6 TOPS/W 전력 효율성을 달성하였다.

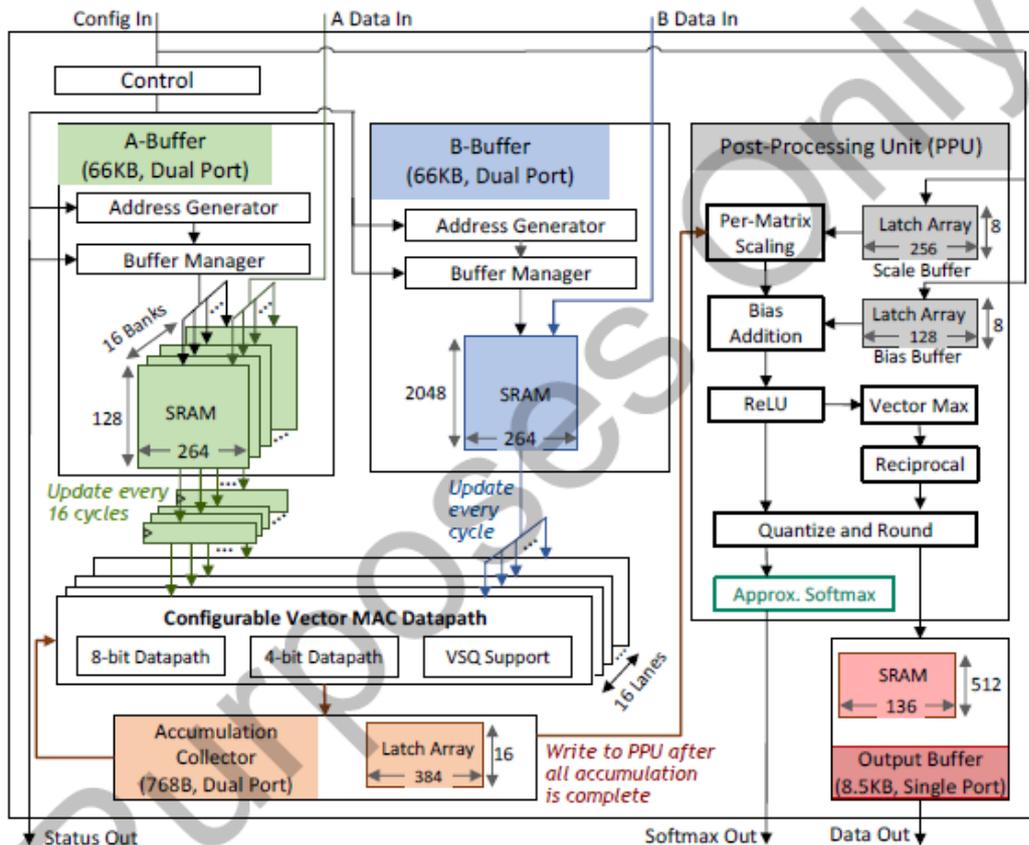


Fig.5: Accelerator block diagram.

Fig. 5: Accelerator block diagram.

그림 5: 가속기 블록 다이어그램.

1271 논문의 대표그림

그림설명: NVIDIA의 벡터별 확장 양자화 지원 딥 러닝 추론 가속기의 블록 다이어그램

DRAM 메모리

“A 16GB 1024GB/s HBM3 DRAM with On-Die Error Control Scheme for Enhanced RAS Features”

삼성전자 (Samsung Electronics, 논문번호 1170)

삼성은 자동차, 산업 및 데이터 센터 애플리케이션에서 보다 뛰어난 시스템 안정성, 가용성 및 서비스 가능성(RAS)을 목표로 성능이 향상된 3세대 10nm DRAM 램을 선보인다. 새롭게 제안하는 HBM3 DRAM은 16비트 워드 오류와 2개의 싱글 비트 오류를 동시에 수정할 수 있는 새로운 온-다이 오류정정부호(ECC)를 내장하여, 다른 DRAM 다이의 추가적 접근 없이 바로 오류를 수정하여 메모리 대기 시간의 개선을 이루었다. 이를 바탕으로 16GB DRAM 모듈에서 핀당 데이터 전송속도를 기존 5Gb/s/pin에서 8.0Gb/s/pin으로 개선하였다.

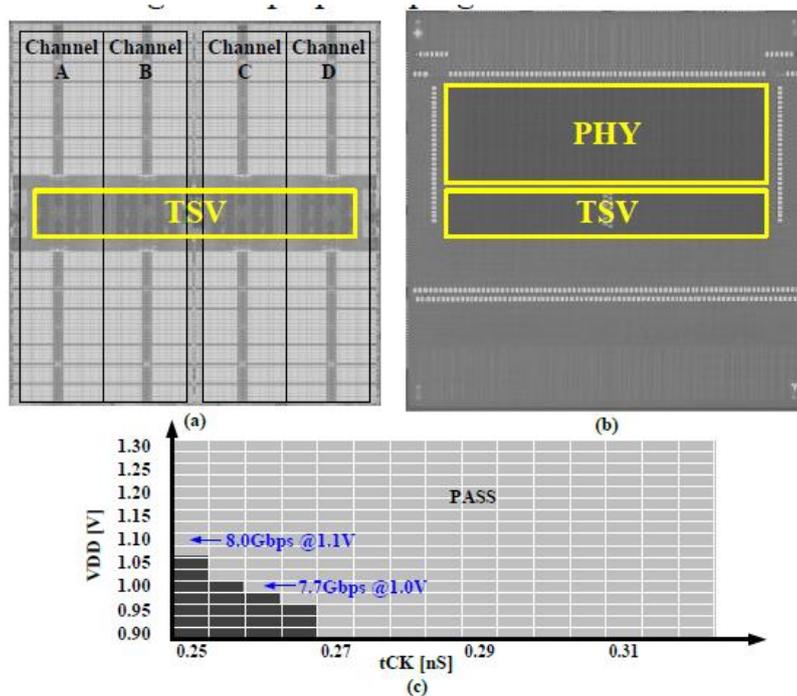


Fig. 6. Chip microphotographs of (a) Core-die and (b) Buffer-die, (c) measured tCK shmoo.

Fig. 6. Chip microphotographs of (a) Core-die and (b) Buffer-die, (c) measured tCK shmoo.

그림 6. (a) 코어 다이 및 (b) 버퍼 다이의 칩 마이크로 사진, (c) tCK shmoo 측정.

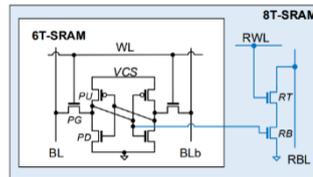
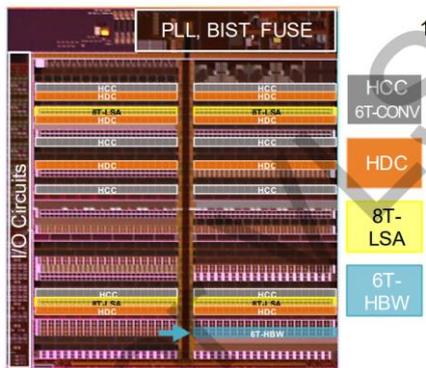
1170 논문의 대표그림

그림설명: (a) 코어-다이, (b) 버퍼-다이, (c) tCK shmoo 를 측정한 삼성의 HBM3 칩 사진.

SRAM 메모리

“Energy-Efficient High Bandwidth 6T SRAM Design on Intel 4 CMOS Technology”
 인텔 (Intel, 논문번호 1664)

Intel의 저자들은 Intel 4nm 급 CMOS 기술을 바탕으로, 고속 동작을 요구하는 주요 응용 시스템을 고려하여 에너지 효율을 극대화 한 새로운 대용량 초고속 SRAM 을 제시한다. 기존 6T 및 8T SRAM 구조의 한계성을 극복하여, 6T 구조의 저면적 장점과 8T 구조의 출력을 동적 전력 절감을 동시에 실현, 저면적 6T SRAM 와 비교하여, 8T 비트 셀은 낮은 동적 전력을 제공하지만 둘 다 만족시키지는 못한다. 본 논문에서는 기존 6T 설계에서 8T 와 유사한 성능을 실현, 비트셀 당 $0.03\mu\text{m}^2$ 면적만을 갖으면서 동적 전력소비를 5.6 배 개선한 최적화된 6T SRAM 설계를 제시한다.



	8T-LSA (8T-SRAM bitcell)	6T-CONV (HCC bitcell)	6T-HBW (HCC bitcell)
Array Efficiency, Density	52%, 13.7 Mb/mm ²	75%, 23.8 Mb/mm ²	61%, 19.4 Mb/mm ²
Overall Macro Area ^[1]	1.74 x	1 x	1.23 x
Read Energy / access ^[1,2]	1 x	5.61 x	1.03 x
Write Energy / access ^[1,2]	1 x	11.9 x	1.47 x
Bitcell Leakage	6 x	1 x	1 x

^[1] Output muxes are excluded from area and energy calculations

^[2] Read and write energy measurements are based on 50% '0' and 50% '1' array data for both read and write

1664 논문의 대표그림

그림설명: (a) Intel 4 CMOS 기술을 활용한 제안하는 SRAM 테스트 칩의 사진. (b) Intel 4 CMOS 기술 메모리 비트셀. (c) 60kB SRAM 매크로 기준 주요 성능 비교

SRAM 메모리

“Co-Optimization of SRAM Circuits with Sequential Access Patterns in a 7nm SoC Achieving 58% Memory Energy Reduction for AR Applications”

메타 (Meta, 논문번호 1148)

AR 애플리케이션은 에지 인텔리전스를 갖춘 센서를 위해 초저전력 동작을 요구한다. Meta Reality Labs 팀은 본 논문을 통하여 AR 안경 제스처 인식 작업을 위한 EMG 손목 밴드에 내장된 7nm SOC 솔루션의 초저전력 SRAM 설계를 발표한다. 연구진은 연속적인 메모리 읽기 및 쓰기 과정에서 요구되는 연산을 최소화 할 수 있는 새로운 순차 연산 방식을 제안, 기존대비 읽기 연산에서 52%, 쓰기 과정에서 58% 낮은 전력소비를 달성하였다.

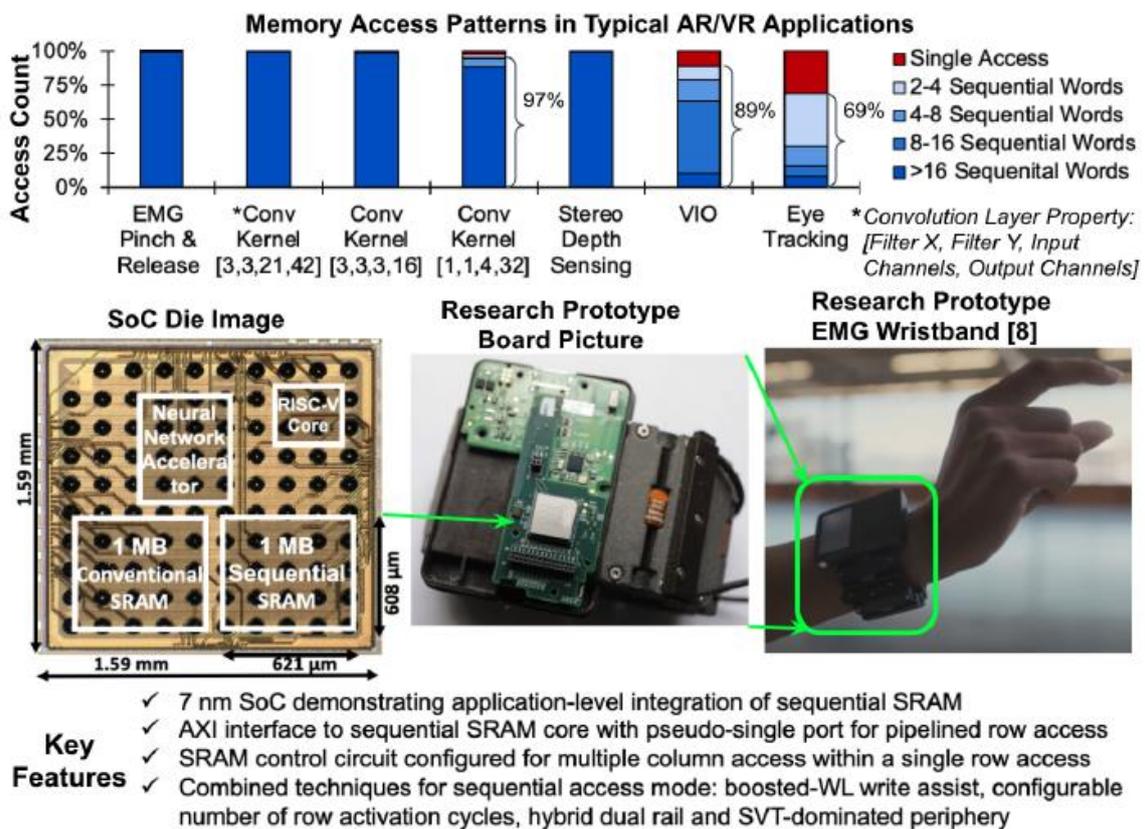


Fig. 1: (a) Application analysis of AR SoC SRAM data access showing high sequentiality. (b) Chip die photo and demo setup. Measured energy at 124 μJ per ‘pinch-and-release’ hand gesture detection.

Fig. 1: (a) Application analysis of AR SoC SRAM data access showing high sequentiality. (b) Chip die photo and demo setup. Measured energy at 124 μJ per ‘pinch-and-release’ hand gesture detection.

그림 1: (a) 순차적 데이터 접근에 특화된 AR SoC SRAM 애플리케이션 분석. (b) 칩 다이 사진 및 시연 환경. “핀치 앤 릴리스” 손 제스처당 124 μJ 의 에너지를 소비한다.

그림설명: (a) 순차적인 데이터 접근 특성을 갖은 AR SOC SRAM 동작 분석 (b) 칩 사진 및 시연 환경. “핀치 앤 릴리스” 손 제스처당 $124\mu\text{J}$ 의 에너지가 소비된다.

시스템-인-패키지 전원 관리

“Fully Integrated Voltage Regulators with Package-Embedded Inductors for Heterogeneous 3D-TSV-Stacked System-in-Package with 22nm CMOS Active Silicon Interposer Featuring Self-Trimmed, Digitally Controlled ON-Time Discontinuous Conduction Mode (DCM) Operation”

인텔 (Intel, 논문번호 1117)

Intel 은 22nm 활성 실리콘 인터포저에서 이기종 칩셋을 3D-TSV 스택형 시스템-인-패키지(SiP) 설계와 통합하는 최신 시스템-인-패키지 전원 관리 기술을 선보인다. 저자들은 3D-TSV 와 직접 연결된 패키지 기판에 인덕터를 내장하여 타일 형태로 인터포저의 완전히 통합된 전압 조절기를 제시한다. 전력 효율은 단일 타일의 경우 10mA – 300mA 에 걸쳐 균일하게 유지되며, 인접 타일의 조절기를 선택적으로 묶어 최대 1A 범위까지의 균일한 출력을 제공한다. 이를 통하여 다양한 전력 요구 사항에 따라 다양한 컴퓨팅, 메모리 및 통신 칩을 유연하고 효율적으로 통합할 수 있다.

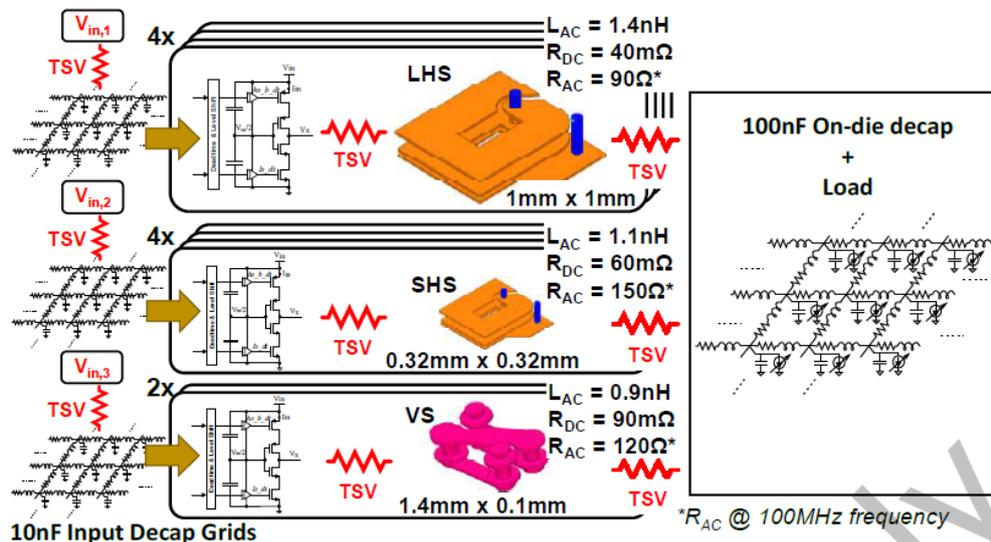


Figure 2: 10-tile test setup with inductor specifications

Figure 2: 10-tile test setup with inductor specifications

그림 2: 인덕터 사양의 10 소켓 테스트 설정

1117 논문의 대표그림

그림설명: 전력/효율/면적 트레이드오프를 위한 다양한 TSV 기반 인덕터를 갖춘 Intel 의 10 타일 완전 통합 DCM 전압 레귤레이터 테스트 시나리오

디지털 프로세서의 전원 관리

“A 3nm GAAFET Analog Assisted Digital LDO with High Current Density for Dynamic Voltage Scaling Mobile Applications”

삼성전자 (Samsung Electronics, 논문번호 1336)

모바일 SoC의 컴퓨팅 요구가 증가하면서 많은 프로세싱 코어를 최신 CMOS 노드에서 구현하는 과정에서 전원 관리의 중요성이 부각되고 있다. 삼성의 저자들은 높은 전류 밀도 전력 공급을 제공하는 3nm FET(GAAFET) 기술을 활용하여 아날로그 회로를 응용한 디지털 LDO 솔루션을 제시한다. 제안하는 하이브리드 LDO 설계는 CPU 코어의 동작 과정에서 능동적 노이즈 제거 및 고속 초과부하 감지 기능을 바탕으로 $1\text{mA} \sim 1.4\text{A}$ 수준의 정확한 조절을 제공, 1ns 동안 1A 동적 부하 변화에 대해 38mV 수준의 동작전압 감소를 실현하였다.

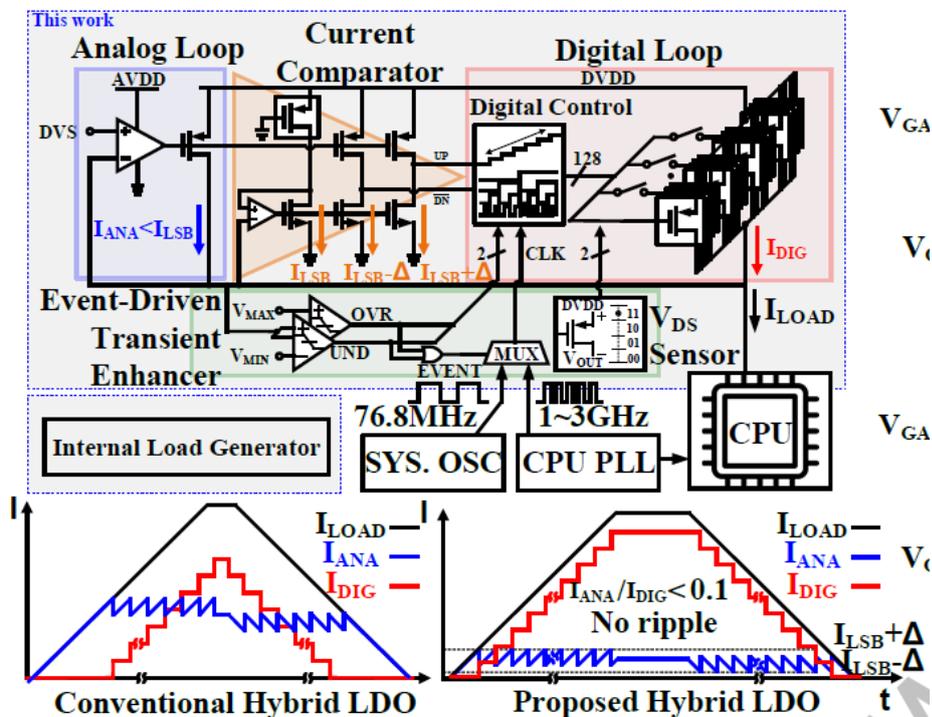


Fig.3. Proposed hybrid LDO structure with high current density

Fig. 3. Proposed hybrid LDO structure with high current density

그림 3. 높은 전류밀도를 가진 하이브리드 LDO 구조 제안

1336 논문의 대표그림

그림설명: 삼성이 제안한 모바일 SoC 애플리케이션용 하이브리드 LDO 구조.

유선 트랜시버

“A 72GS/s, 8-bit DAC-based Wireline Transmitter in 4nm FinFET CMOS for 200+Gb/s Serial Links”

미국 IBM 연구소 (IBM Research, USA, 논문번호 1241)

IBM은 데이터 센터의 네트워크 대역폭 증가에 대응하기 위한 초고속 시리얼 링크용 송신기 구조를 제안한다. 72GS/s로 동작하는 8b DAC 및 SST(소스 시리즈 종단) 토폴로지가 새롭게 제안되었으며, 기존의 성능을 56GBaud에서 72GBaud로 대폭 개선하였다. 제안하는 송신기 구조는 4nm FinFET CMOS 공정으로 제작되었으며, 288mW의 전력 소비로 216Gb/s PAM8 및 212Gb/s QAM64 OFDM 동작이 가능하다.

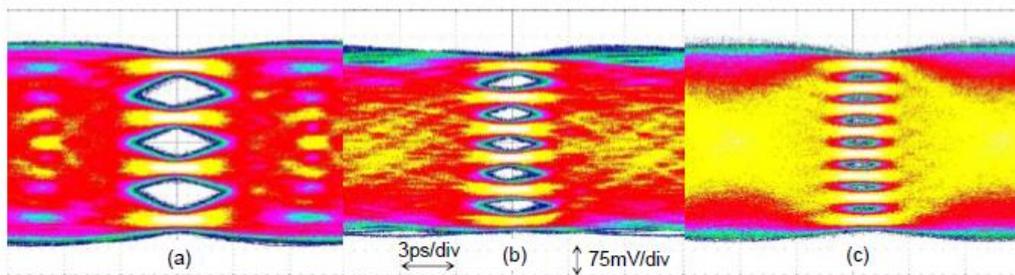


Fig. 8 Measured 72GS/s TX eye diagrams w/ FFE8 for (a) 144Gb/s PAM4 QPRBS13 (b) 180Gb/s PAM6 PRBS11 (d) 216Gb/s PAM8 PRBS15

Fig. 8 Measured 72GS/s TX eye diagrams w/ FFE8 for (a) 144Gb/s PAM4 QPRBS13 (b) 180Gb/s PAM6 PRBS11 (d) 216Gb/s PAM8 PRBS15

그림 8 (a) 144Gb/s PAM4 QPRBS13 (b) 180Gb/s PAM6 PRBS11 (d) 216Gb/s PAM8 PRBS15 용 FFE8 포함 72GS/s TX 아이 다이어그램 측정 결과

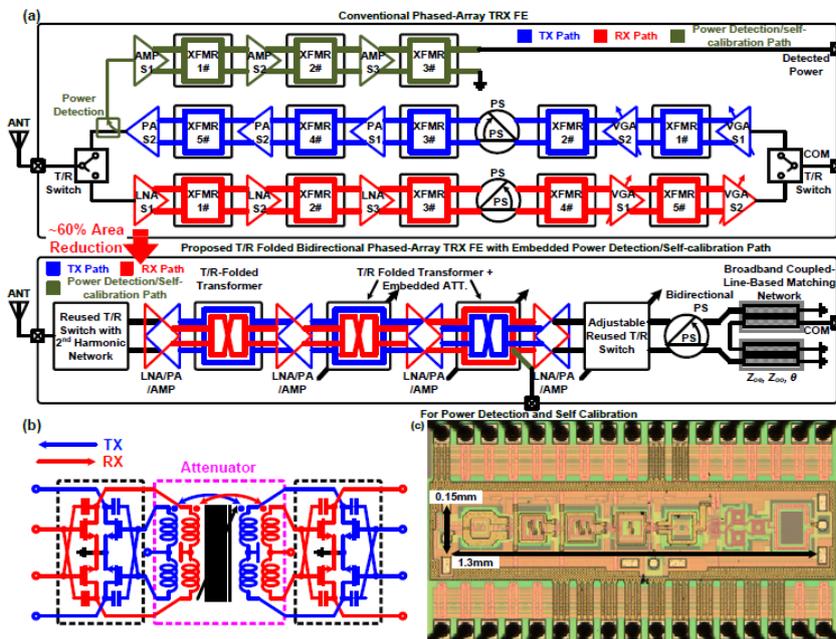
1241 논문의 대표그림

그림설명: IBM이 측정한 (a) 144Gb/s PAM4 (b) 180Gb/s PAM6 및 (c) 216Gb/s PAM8 용 FFE8의 72GS/s TX 아이 다이어그램

5G 트랜시버

“An Ultra-Compact Bidirectional T/R Folded 25.8-39.2GHz Phased-Array Transceiver Front-End with Embedded TX Power Detection/Self-calibration Path Supporting 64/256/512QAM at 28/39GHz band for 5G in 65nm CMOS Technology”
 칭화대학교 (Tsinghua University, 논문번호 1802)

칭화대학교의 연구원들은 다양한 지역의 5G 표준과 호환되는 28-39GHz 주파수 대역의 저면적 양방향 송수신기 구조를 발표한다. 광대역 변압기 기반 송신기와 수신기에서 광대역 빔 포밍을 실현하기 위해 고속 스위칭, 감쇠 및 위상 시프트 기술을 도입되었다. 연구진은 28-39GHz의 64/256/512QAM을 지원하면서도 19.2dB RX 이득과 12.8dBm 이상의 TX 전력을 지원, 결과적으로 칩면적을 25% 이상 줄이는 성과를 거두었다.



1802 논문의 대표그림

그림설명: (a) 칭화대학교가 제안한 초소형 양방향 Tx/Rx는 28/39GHz 광대역 페이즈드 어레이 트랜시버의 구조. 전력 감지 및 자체 보정을 위한 새로운 설계가 내장되어 있다. (b) Tx/Rx 폴딩 아키텍처. Tx/Rx 동작에서 재사용되는 양방향 변압기 기반 고해상도 감쇠기를 제안하고 있다. (c) 제안하는 구조를 구현한 칩 사진.

5G 트랜시버

“A 39GHz CMOS Bi-Directional Doherty Phased-Array Beamformer Using Shared-LUT DPD with Inter-Element Mismatch Compensation Technique for 5G Base-Station”

도쿄공업대학 (Tokyo Institute of Technology, 논문번호 1383)

도쿄공업대학교는 도허티 저소음 전력 증폭기를 사용하는 위상 배열 빔포머를 기반으로 새로운 개념의 5G 트랜시버를 선보인다. 개별 안테나에서 TX 전력 출력의 균일성을 개선하기 위해 디지털 및 아날로그 보정 기술이 새롭게 제안되었으며, 각 안테나에 대해 공유 디지털 보정, 개별 위상 및 게인 보정을 사용하여 전송 오류 벡터 크기(EVM)를 최대 9.1%, 전송을 최대 11.8% 향상시키는 성과를 거두었다. 본 논문을 통해서 보고되는 칩은 64 QAM 변조 시 초당 최대 3.5G 심볼을 처리할 수 있으며, 21-Gb/s 단일 캐리어 데이터 스트리밍도 지원한다.

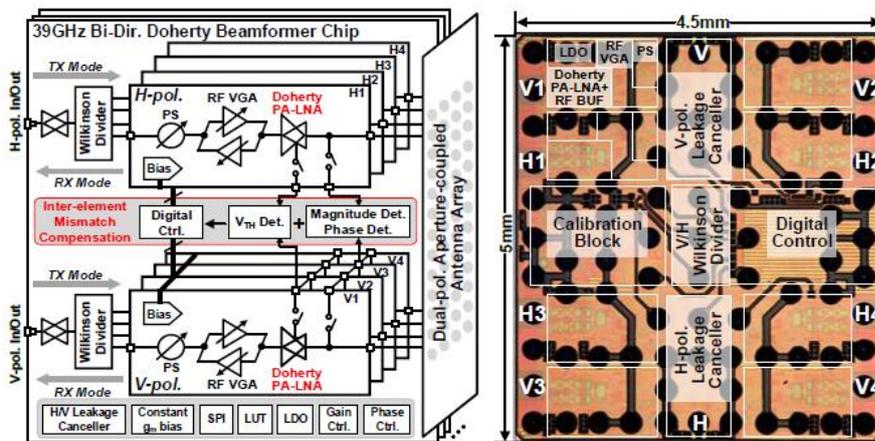


Fig. 1. Proposed phased-array beamformer chip and die micrograph.

Fig. 1. Proposed phased-array beamformer chip and die micrograph.

그림 1. 제안된 위상 배열 빔포머 구조 및 칩 사진.

1383 논문의 대표그림

그림설명: 도쿄공업대학교의 소자간 불일치 보상을 지원하는 39-GHz 양방향 도허티 위상 배열 빔포머.

이미징 & LIDAR

“1200x84-pixels 30fps 64cc Solid-State LiDAR RX with a HV/LV Transistors Hybrid Active-Quenching-SPAD Array and Background Digital PT Compensation”

도시바 (Toshiba, 논문번호 1288)

VLSI 기술로 인한 소형 송수신기의 발전으로 최근 LIDAR 솔루션의 크기와 비용이 크게 절감되고 있다. 도시바의 연구진은 손바닥 크기의 (64cc) 시스템에 내장된 CMOS-SPAD 기반 LIDAR 리시버를 선보인다. 1200x84 센서는 딥 트렌치 절연(DTI) 기법이 적용된 최적화된 active quench SPAD 픽셀을 내장하고 있다. 기존의 구조가 갖고 있는 높은 작동 전압 기반의 오프칩 구성 요소로 인한 한계점을 해결하기 위해서, 새로운 SPAD 프로세스 및 온도 변화를 보상하는 온칩 디지털 백그라운드 저전압 제어 솔루션이 제시되었으며, 궁극적으로 시스템 구현에 요구되는 비용 절감의 효과를 거두었다. 새롭게 제안된 LIDAR 시스템은 마이크로 스캐닝 미러를 탑재한 CMOS 수신기, 28ch ADC 및 FPGA 를 포함하고 있으며, 최대 온도 90°C, 주변 밝기 110kLux 의 야외 환경에서도 30FPS 급의 3D 포인트 클라우드 생성을 지원한다.

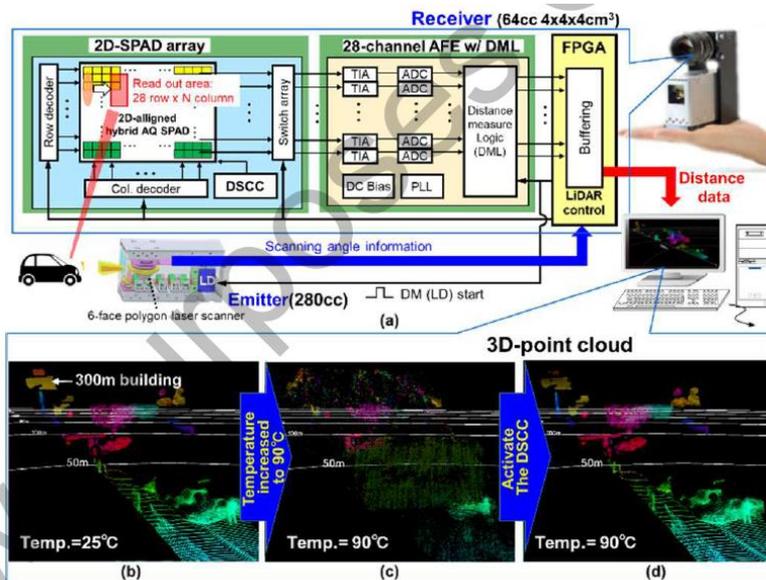


Figure 4. (a) Our palm-sized proof of concept LiDAR and its block diagram. (b) The 3D point cloud data at 25°C and (c) at 90°C with the proposed DSCC OFF, and (d) DSCC ON.

Figure 4. (a) Our palm-sized proof of concept LiDAR and its block diagram. (b) The 3D point cloud data at 25°C and (c) at 90°C with the proposed DSCC OFF, and (d) DSCC ON.

그림 4. (a) 손바닥 크기로 구현된 LiDAR 시스템의 블록 다이어그램. 3D 포인트 클라우드 생성 결과: (b) 25°C 환경, (c) 90°C 환경에서 DSCC OFF 상황, (d) 90°C 환경에서 제안하는 DSCC ON 경우.

1288 논문의 대표그림

그림설명: (a) Toshiba 의 손바닥 크기로 구현된 LiDAR 시스템의 블록 다이어그램. 3D 포인트 클라우드 생성 결과: (b) 25°C 환경, (c) 90°C 환경에서 DSCC OFF 상황, (d) 90°C 환경에서 제안하는 DSCC ON 경우.

이미징 & LIDAR

“A Hybrid Indirect ToF Image Sensor for Long-Range 3D Depth Measurement Under High Ambient Light Conditions”

Toppan Inc. (논문번호 1190)

3D 깊이 카메라 및 LIDAR 를 위한 고해상도 ToF 이미지 센서는 전통적으로 거리 범위 또는 정밀도 중 하나를 희생해야 하는 문제가 있다. Toppan Inc.는 Brookman Technology 및 시즈오카 대학의 연구진과 협력하여 새로운 타이밍 체계를 제안, 장거리와 높은 정밀도를 동시에 달성할 수 있는 간접 ToF 설계 기술을 발표한다. 새롭게 제안하는 센서 기술은 복수의 카메라가 동일한 시야에서 동시에 작동할 수 있는 간접역제 기술을 바탕으로 야외 사용을 포함한 광범위한 용도에 적합하다. 연구팀은 최대 100Lux 주변 조명으로 15cm 미만의 정밀도를 유지하면서 30m 범위 이미징을 달성하는 VGA 센서의 기술을 실증하였다.

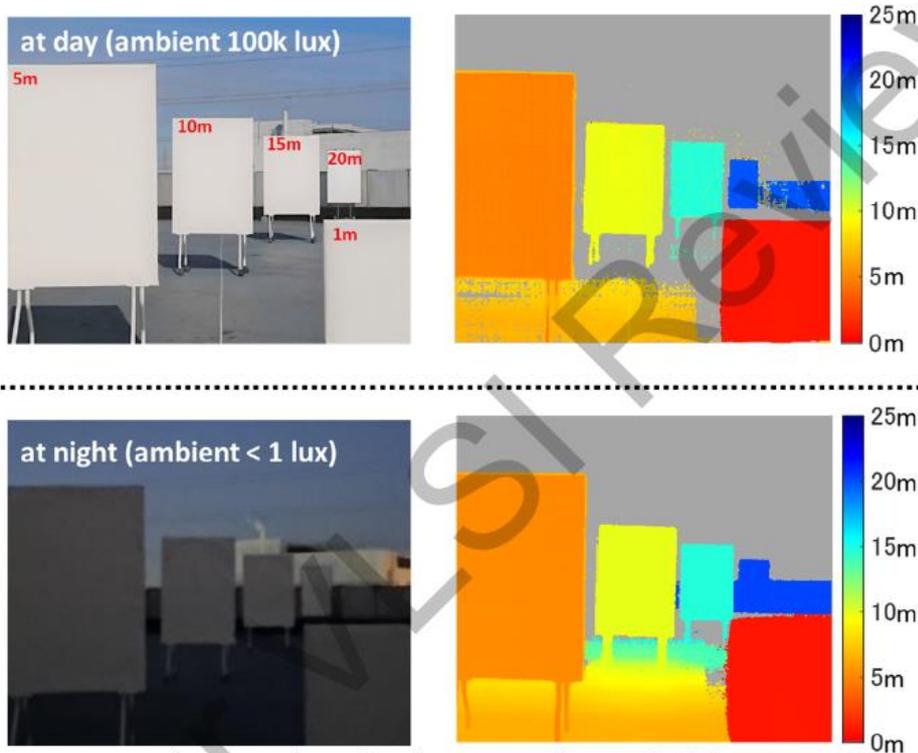


Fig.5 Outdoor depth maps at day and night.

Fig. 5 Outdoor depth maps at day and night.

그림 5 제안하는 센서로 측정한 낮과 밤의 야외 깊이 지도.

1288 논문의 대표그림

그림설명: Toppan Inc.의 하이브리드 TOF: 주간(100k 럭스)과 야간(1 럭스 미만)에서 1-20m 범위의 야외 깊이 지도.

아날로그-디지털 변환기

“An 8-bit 56GS/s 64x Time-Interleaved ADC with Bootstrapped Sampler and Class-AB Buffer in 4nm CMOS”

스위스 IBM 연구소 (IBM Research, Switzerland, 논문번호 1215)

스위스의 IBM Research 는 최신 4nm CMOS 공정에서 8b 해상도의 56GS/s ADC 를 구현하였다. 고속 시리얼 링크를 위한 최근의 ADC-기반 수신기는 112Gb/s 이상의 요구 속도에 도달하기 위해 시간-분할 방식을 일반적으로 사용한다. 본 논문에서는 채널 간 오프셋, 보상이득 및 스큐 보정을 위한 아날로그 보정 기법을 통해 64 개의 ADC 채널을 시간-분할하는 개념을 제안한다. 높은 공급 전압을 요구하지 않고, 4nm 기술 노드와 호환되는 0.8V 의 단일 공급 전압에서 작동하면서도 여전히 0.8V 최대 입력 스wing 을 유지하는 새로운 Class-AB 입력 버퍼 및 부트스트랩식 트랙-앤-홀드 샘플링 장치가 함께 고안되었다. 이를 바탕으로 >27GHz 대역폭에서 47fF/변환 에너지 효율을 달성하였다.

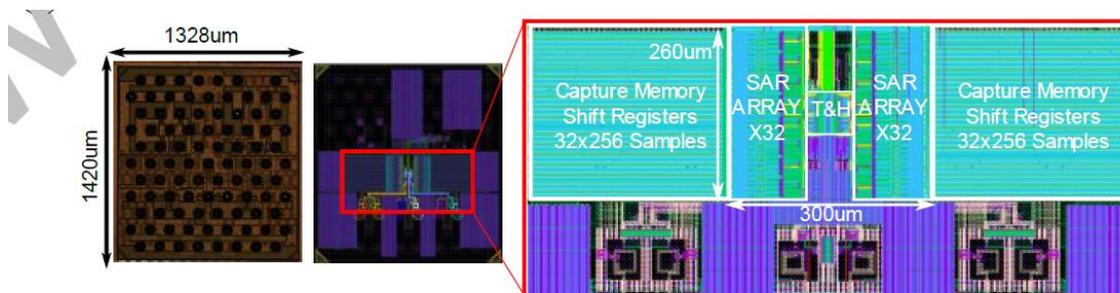


Fig. 5 ADC die micrograph and layout details.

Fig. 5 ADC die micrograph and layout details.

그림 5 ADC 칩 사진 및 레이아웃 결과

1215 논문의 대표그림

그림설명: 4nm CMOS 공정으로 제작된 56 GS/s 8 비트 비동기 SAR ADC 의 칩 사진 및 레이아웃 세부 정보. 16x4 시-분할 ADC 는 새로운 부트스트랩 기술과 1st rank 인터리버 기반의 class-AB 팔로워를 사용한다.