



2022 年度 IEEE VLSI 技术与电路研讨会的技术要点

2022 年 IEEE VLSI 技术与电路研讨会是记录了微/纳米集成电子的步伐、进展和演变的顶级国际会议，定于 2022 年 6 月 12 日至 17 日举行。这场联合研讨会将在美国夏威夷举行，会议分两种形式，一是现场会议，在希尔顿夏威夷度假村举行，方便与会者会面和交流，而是点播会议，方便无法到场的人员参加精选的报告和分组会议。

本年度研讨会恰逢固态晶体管发明 75 周年。

研讨会的总体主题“用于构建未来关键基础设施的技术和电路”旨在将先进的技术开发、创新的电路设计以及它们所能实现的应用整合在一起，努力促进全球社会向智能互联设备、基础设施和系统所代表的新时代过渡，从而改变人类相互交流的方式。

以下是针对此主题的一些重点论文：

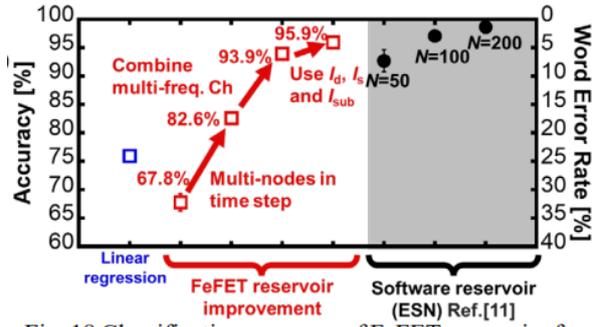
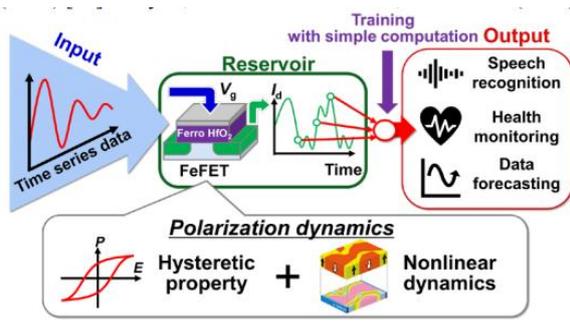
技术与电路联合研讨会亮点

今年，以前单独召开的技术研讨会和电路研讨会合并召开。以下是一些精选论文，代表了技术与电路领域的共同进步：

超越 CMOS 的机器学习

“基于并行数据处理的 HZO/Si FeFET 储备池计算语音识别新方案的实验演示”——东京大学（论文 1491）

东京大学的研究人员提出了一种新的储备池计算实现方法，即在并行数据处理器中使用铁电栅极 MOSFET (FeFET) 进行语音识别。储备池计算是一种机器学习技术，为边缘 AI 应用提供高效的在线学习，因为它只包含一层需要训练的读数权值。他们展示了 FeFET 的极化动力学可以在存储器操作中执行计算。基本的机器学习任务，例如短时记忆 (STM) 和奇偶校验 (PC) 任务，可以使用从单个 FeFET 漏极电流的时间响应中提取的虚拟节点来成功执行。在报告的语音识别实验中，其准确率达到 95.9% 以上。



图片文件：1491

说明：东京大学提出了一种新的储备池计算实现方法，即在并行数据处理器中使用铁电栅极 MOSFET (FeFET) 进行语音识别（左），该方法的准确性与基于软件的储备池计算（右）类似。

量子计算

“在 10mK 下工作的可扩展 1.4μW 低温 CMOS SP4T 多路复用器，用于进行高保真超导量子比特测量”——比利时鲁汶大学（论文 1216）

鲁汶大学的研究人员报告了在 10mK 基础温度下工作的超低功率低温 CMOS 单刀四掷(SP4T) RF 多路复用器的电气性能。他们首次使用多路复用器对超导量子比特进行基准测试，获得了高于 35μs 的量子比特相干时间，平均单量子比特栅极保真度达到 99.93%，这超过了基于表面代码的量子纠错所需的阈值。这项工作展示了超导量子比特与超低功率低温 CMOS 器件在低温下的可操作性，为先进的协整方案铺平了道路。

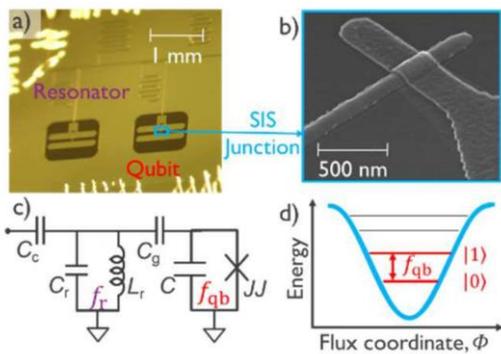


Fig. 4 a) Optical image of the qubit chip. b) SEM image of overlap superconductor-insulator-superconductor (SIS) Josephson junction (JJ). c) Equivalent circuit of the resonator-qubit system. d) Potential profile and qubit energy levels.

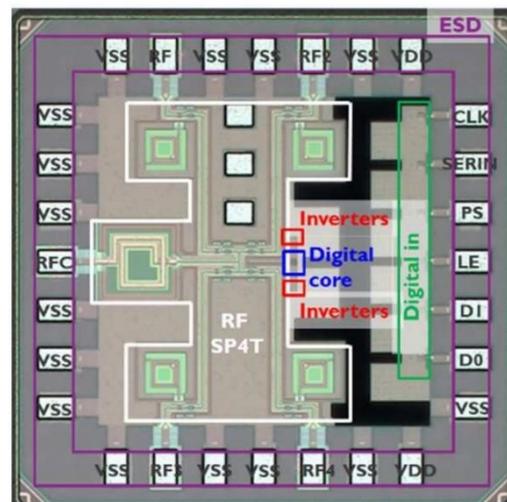


Fig. 4 a) Optical image of the qubit chip. b) SEM image of overlap superconductor-insulator-superconductor (SIS) Josephson junction (JJ). c) Equivalent circuit of the resonator-qubit system. d) Potential profile and qubit energy levels.

图 4 A) 量子比特芯片光学图像。b) 重叠超导体-绝缘体-超导体(SIS)约瑟夫逊结(JJ)的 SEM 图像。c) 谐振器-量子比特系统等效电路。d) 势能剖面 and 量子比特能级。

图片文件：1216

说明：量子器件的组成包括一个耦合到超导谐振器的高相干超导量子比特（最左侧的面板），以及一个定制设计的低功耗 RF SP4T 低温多路复用器的内部架构（右侧面板）。

存内计算

“一个基于多级单元 ReRAM 的 8 位 20.7 TOPS/W 计算引擎”——密歇根大学（论文 1421）

密歇根大学的研究人员与 Applied Materials 合作报告称，采用多值阻变存储器 (ReRAM) 的内存模拟计算有望为机器学习和科学计算提供高度密集和高效的计算。这些作者提出了一个 SoC 原型，由四个基于 ReRAM 的自包含内存计算块和一个 RISC-V 主机组成。使用 128 个 MNIST 数据集，测量得出的原始峰值能效和归一化峰值能效分别为 20.7 和 662 TOPS/W，报告的计算密度为 8.4 TOPS/mm²，分类精度为 96.8%。

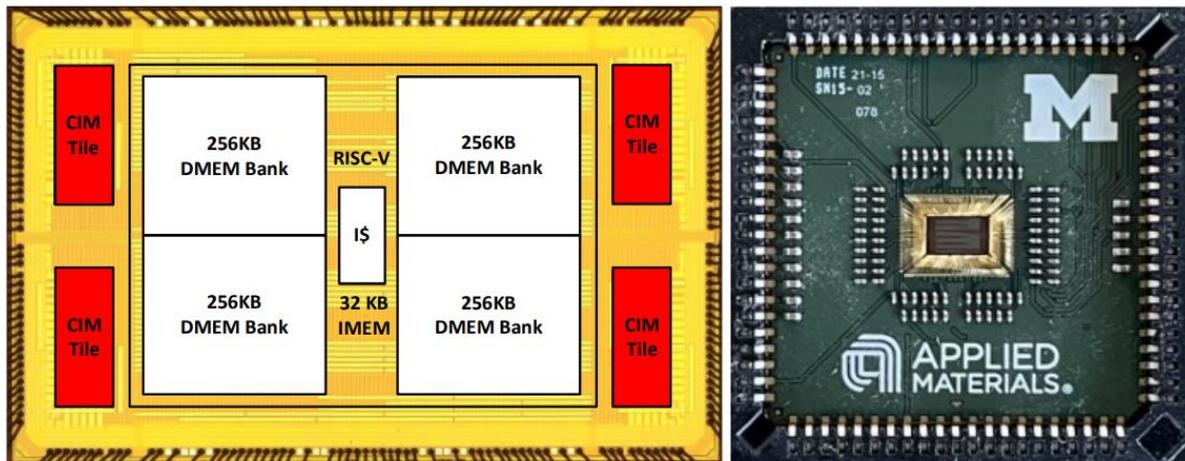


Fig. 9. Die micrograph and prototype chip on custom substrate PCB in PLCC socket. Prototype die measures 3.2 x 5.1mm.

Fig. 9. Die micrograph and prototype chip on custom substrate PCB in PLCC socket. Prototype die measures 3.2 x 5.1mm.

图 9. PLCC 插座中的定制基板 PCB 上的芯片显微图和原型芯片。原型芯片的尺寸为 3.2 x 5.1mm。

图片文件：1421

说明：采用多值(MLC) ReRAM 的内存模拟计算有望为机器学习和科学计算提供高度密集和高效的计算支持。图片展示的是一个 SoC 原型，由四个基于 ReRAM 的自包含 CIM 块和一个 RISC-V 主机组成。测量得出的原始峰值能效和归一化峰值能效分别为 20.7 和 662 TOPS/W。计算密度为 8.4 TOPS/mm²。

存内计算

“子阵列间具有脉冲宽度调制的 40nm 模拟输入无 ADC 存内计算 RRAM 宏电路”——乔治亚理工学院（论文 0059）

存内计算(CIM)已经作为传统数字实现的一种具有吸引力的替代方案，用于广泛的乘加运算(MAC)，适合深度神经网络(DNN)应用。乔治亚理工学院提出了一种无 ADC 的基于 RRAM 的内存计算(CIM)宏电路，由 1T1R 位单元组成。大多数 CIM 宏电路都使用 ADC，但由于量化和噪声，会带来性能限制和精度损失。这项工作提出了一种无 ADC 的存储方案，使用直接数字化的模拟信号处理，使传感电路的占用面积减少一半，吞吐量提高 6.9 倍。提出的方案使能效提高了 11.6 倍，计算效率提高了 4.3 倍。

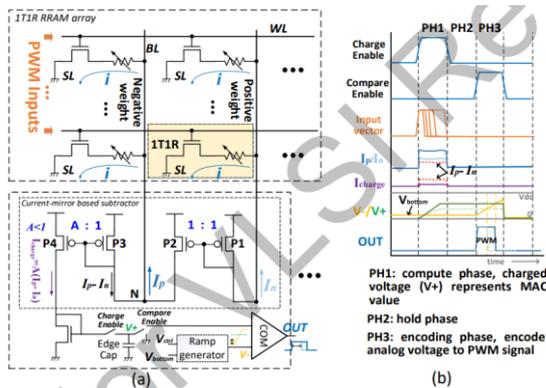


Fig. 3. Structure and operation of the proposed ADC-free compute scheme using 1T1R array.

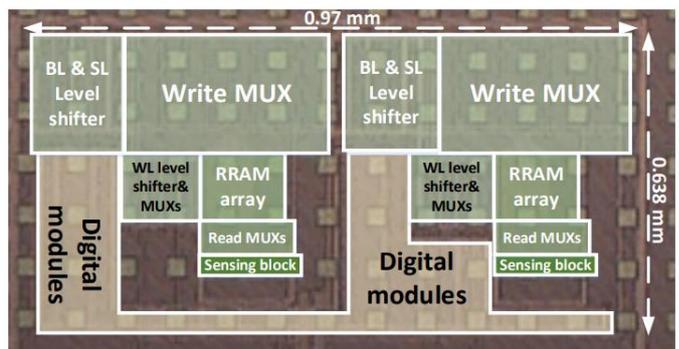


Fig. 3. Structure and operation of the proposed ADC-free compute scheme using 1T1R array.

图 3. 提出的使用 1T1R 阵列、无 ADC 计算方案的结构和操作。

图片文件：1421

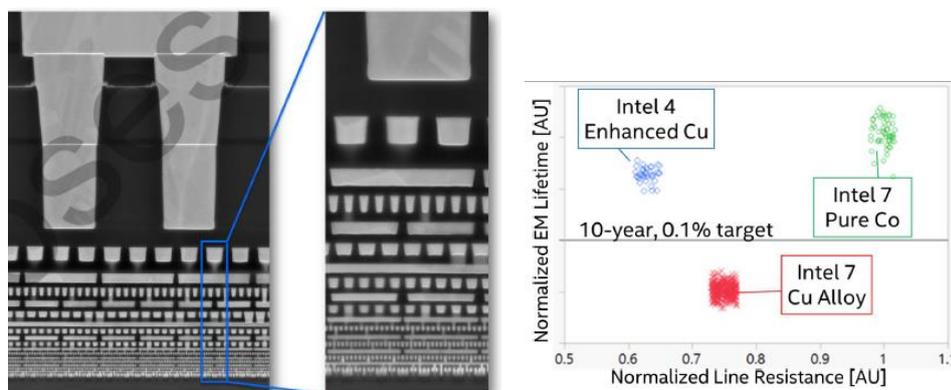
说明：（左）提出的使用 1T1R 阵列、无 ADC 计算方案的结构和操作。（右）双阵列 RRAM 宏的芯片照片，利用标签标明子模块。

技术亮点

先进的 CMOS 技术

“英特尔 4 CMOS 技术采用先进的 FinFET 晶体管，针对高密度和高性能计算进行了优化”——英特尔（论文 1787）

摩尔定律继续快速发展：英特尔推出了一种新的先进 CMOS FinFET 技术 Intel 4，将高性能逻辑库的面积缩小 2 倍，在 iso-power 下性能比 Intel 7 提高了 20% 以上，这延伸了摩尔定律。这个经过微缩的高性能库提供 50nm 栅极间距，30nm 翅片距和 30nm 最小金属间距。该节点提供 8VT (4NVT + 4PVT)，将 N/PMOS 的范围扩展到 190mV/180mV，使设计人员能够在功率和速度要求之间进行选择。EUV 光刻技术广泛应用于简化工艺流程，提高成品率。互连堆栈包含 16 层金属，在下方的关键层中采用强化的铜合金，以提供更出色的抗电迁移能力和更低的线阻。



图片文件：1787

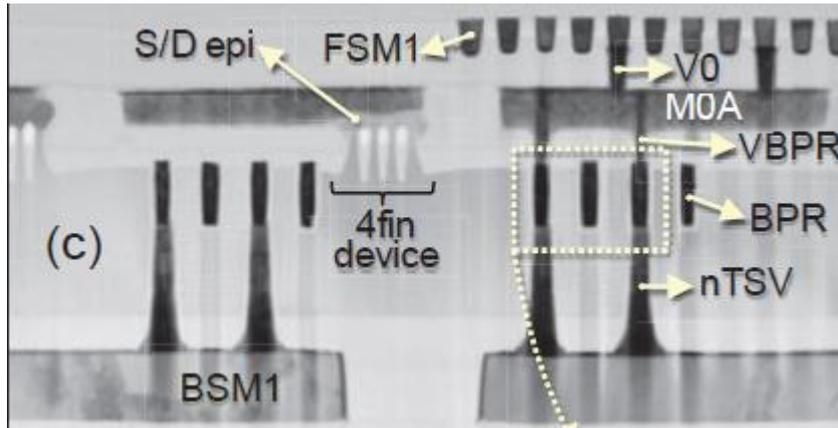
插图 1：Intel 4 互连堆栈的截面图。EUV 光刻技术在下方金属层中用于简化工艺流程，提高产出。

插图 2：Intel 4 技术和 Intel 7 技术采用的不同合同的归一化电迁移使用寿命与归一化线电阻。

先进的 CMOS 技术

“使用晶圆两面通过埋入式电源轨进行路由来连接的扩展式 FinFET”——imec (1419)

近年来，imec 开发了埋入式电源轨(BPR)技术，将电源轨压在晶体管下，避免了信号线路和电源线路发生路由冲突，具有降低 IR 压降和增加路由密度的双重好处。据 imec 报告，经过微缩的 finFET 这里采用一种新路由方案，可以从晶圆两面通过 BPR 实现电源连接。在通孔光刻之后，通过一个金属化步骤在正面与 p/n S/D-epi 和 BPR 进行接触，该步骤的预清洁经过优化，同时保持良好的接触界面。经过晶圆翻转、粘接和极力减薄之后，高度微缩的 323nm 深纳米硅通孔(nTSV)与 BPR 贴合，提供严密的覆盖控制和不变的 BPR 电阻。通过将功率传输网络移至背面，它可以减少根据为基于 2nm 设计规则的低功耗 64 位 CPU 生成的片上功率热图预测的动态和静态 IR 压降值。在经过背面处理后，P/NMOS 显示出类似甚至更出色的 ION-IOFF，并增加了额外的退火来提高 VT 的恢复力、移动性和 BTI。



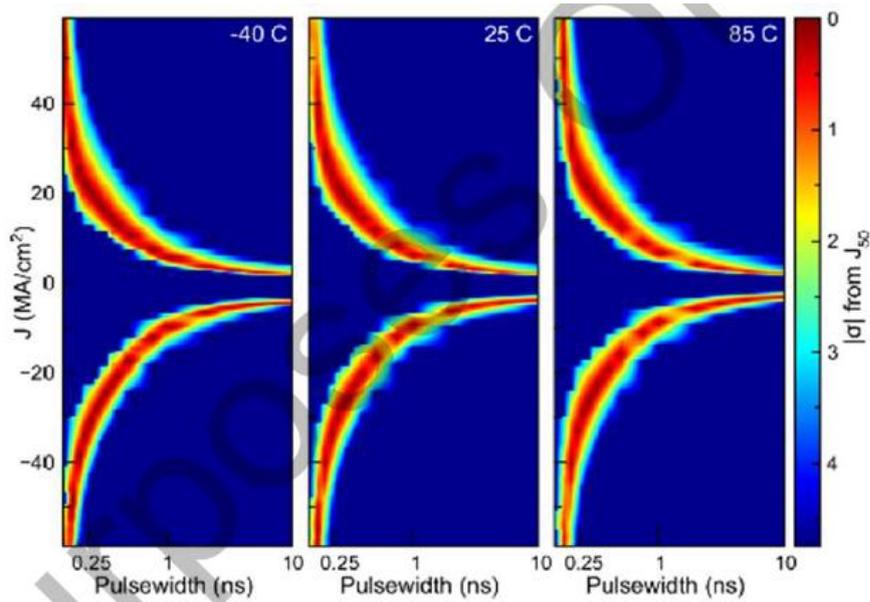
图片文件：1491

说明：TEM 图像显示了用一种新路由方案构建的 finFET，其中晶圆的两面都可以用于通过埋入式电源轨(BPR)进行器件连接。一直到 M1 层的 FinFET 都是在晶圆正面(FS)构建的，然后晶圆被翻转，粘接到载体晶圆上，然后减薄。在晶圆正面，M1 线(FSM1)通过 V0 孔连接至 MOA 线，然后通过 VBPR 孔连接至 BPR 线。

MRAM 存储器技术

“可靠的亚纳秒 MRAM，采用双自旋转矩磁隧道结”——IBM (论文 1367)

自旋转矩磁随机存取存储器(STT-MRAM)技术已显示出比闪存或 SRAM 更节能，目前已投入量产。但是，STT-MRAM 位单元器件的可靠性和速度仍然有待提高。在本文中，IBM 通过使用双自旋转矩磁隧道结(DS-MTJ)演示了在两个终端 STT-MRAM 器件中使用亚纳秒切换实现的两种改善。在 ≤ 250 ps 的写脉冲和紧密分布条件下， -40°C 到 85°C 的温度范围内可以在写操作中实现低误差。为了建立可靠性，在 $1\text{E}10$ 次写周期后，没有出现任何退化。将这种双端 DS-MTJ STT-MRAM 器件与最近发布的三端自旋轨道转矩(SOT) MRAM 器件进行比较，显示开关电流密度降低了 10 倍，同类功耗降低了 3-10 倍。



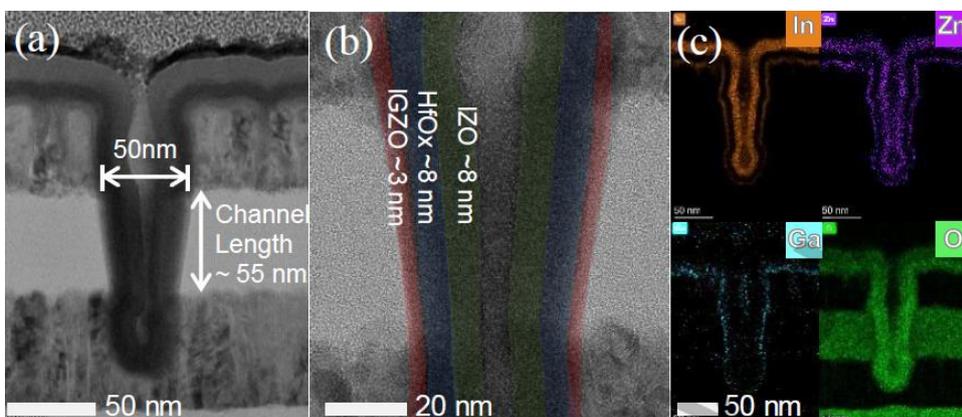
图片文件：1367

说明：单个器件的写错误率，使用正常分位数刻度绘制（使用与 50%开关电流密度的标准偏差的绝对值），在-40°C、25°C和 85°C下测量，脉冲宽度为 225 ps 到 10 ns。

DRAM 存储器技术

“垂直环沟道(CAA) IGZO FET 小于 50nm CD，具有 32.8 μ A/ μ m ($V_{th} + 1V$)高读取电流，表现良好的热稳定性可达 120°C，适用于低延迟、高密度 2T0C 3D DRAM 应用”——华为（论文 1736）

华为首次报告高性能 DRAM 的开发成果。他们展示了一个垂直环沟道(CAA) IGZO FET，将有效尺寸成比例缩小到小于 50 \times 50nm²。采用优化的 IGZO 厚度(~3nm)和高 k 介质(HfOx)，在通道长度为 55nm、临界尺寸(CD)为 50nm 的 IGZO CAA FET 中，在 $V_{th} + 1V$ 时实现 32.8 μ A/ μ m 的大电流密度，亚阈值摆幅为 92mV/dec。-40°C 到 120°C 的温度变化试验和正偏温应力(PBTS)也证明了良好的热稳定性和可靠性。结果表明，CAA IGZO FET 是未来超过 1 α 节点的高密度、高性能 3D DRAM 的理想选择。



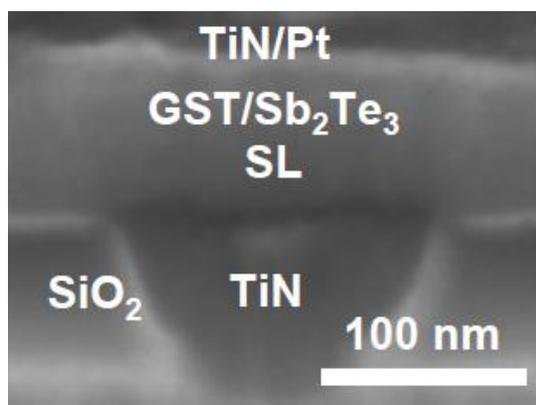
图片文件：1736

说明：通过 TEM 显示华为公司的 IGZO-CAA（垂直环沟道）FET 的横截面，CD 约为 50nm。8nm HfO_x 介质，约 55nm 通道长度

PCM 存储器技术

“基于 Ge₂Sb₂Te₅ 的超晶格相变存储器的首次演示，具有低复位电流密度(~3 MA/cm²)和低电阻漂移(105℃时~0.002)”——斯坦福大学（论文 1387）

相变存储器(PCM)为需要高密度存储的广泛应用提供可编程和非易失性存储器。斯坦福大学介绍了 PCM 存储器结构的进展，他们研究了超晶格 PCM (SL-PCM)异质结构，该结构可以降低 Reset 电流密度(Jreset)和电阻漂移系数(ν)。但是，尚未使用众所周知的相变材料 Ge₂Sb₂Te₅ (GST)对 SL 进行研究，SL 界面和混合层的作用也仍然未知。该研究首次使用基于 GST/Sb₂Te₃ 的 SL，它们在底部电极直径低至 110nm 的蘑菇结构单元 PCM 中同时实现 Jreset \approx 3-4 MA/cm²和 7 个电阻状态($\nu \approx$ 0.002)。即使在 10⁶次循环和高温(105℃)下，仍然可以分别保持低 Jreset 和 ν 。他们还发现，SL-PCM 中的 Jreset 和 ν 都随着超晶格界面数量增加而减少。



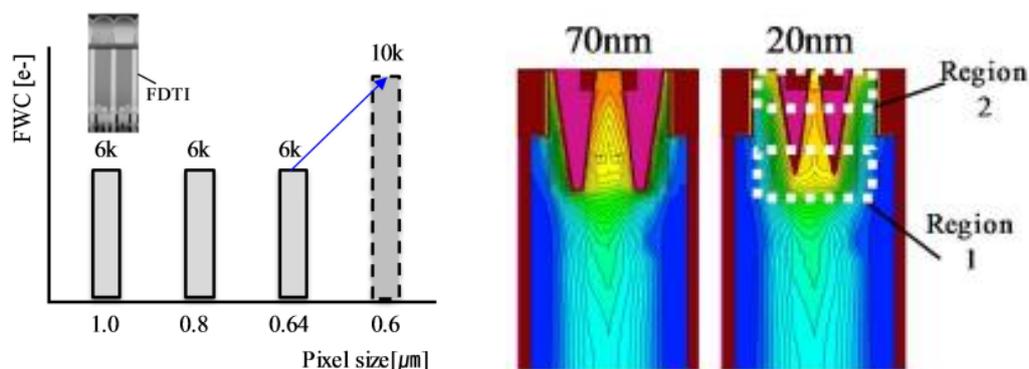
图片文件：1387

说明：蘑菇结构单元 GST/Sb₂Te₃ 超晶格相变存储器件的横截面扫描电子显微镜图像，插图显示了原子锐化的超晶格界面和类似范德华氏的缺口。

图像传感器技术

“全阱容量为 10,000e 的 0.6 μ m 小像素高分辨率 CMOS 图像传感器——采用双垂直转移栅极技术”——三星电子（论文 1704）

CMOS 像素竞争持续不止：三星电子利用双垂直转移栅极(D-VTG)技术，开发出了全阱容量(FWC)为 10,000e、使用 0.6 μm 像素的 200Mp 图像传感器原型。相比使用单个垂直转移栅极(S-VTG)，D-VTG 的 FWC 提高了 60%，并通过提高 TG 电压的可控性改善了转移能力。他们还通过 VTG 的间隙、深度和锥度斜率优化了光电子转移。



图片文件：1704

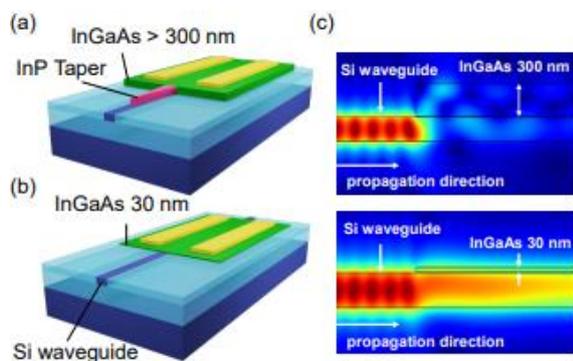
插图 1：根据像素大小决定的三星电子全阱容量。在 0.6 μm 像素间距下，可以实现 10k e 全阱容量。

插图 2：使用单双垂直转移栅极时的电位曲线

有线和光通信系统

“低电容超薄 InGaAs 薄膜硅槽波导光电探测器面向无接收机的系统”——东京大学（论文 1455）

东京大学提出了一种 Si/III-V 混合波导光电探测器，由超薄 InGaAs 膜和硅槽波导组成，可以实现低电容和高响应率，同时提高了高速数据中心和主干链路的速度。硅槽波导中的强光约束增强了 InGaAs 膜的光吸收。最终，他们成功展示出 1A/W 的高响应率和足够低的 1.9fF 电容，实现了一个无接收机（无 TIA）的系统。



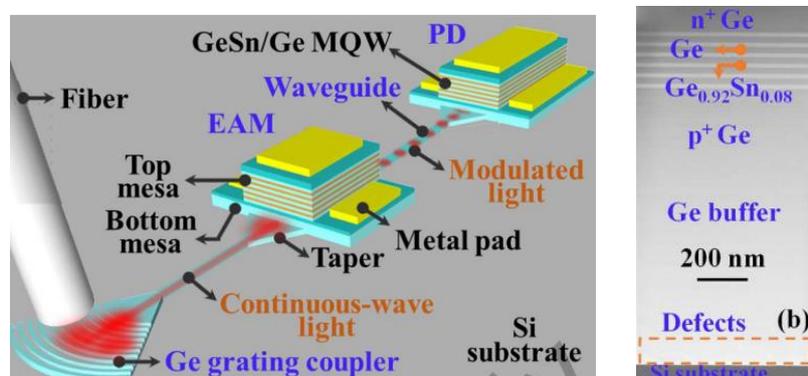
图片文件：1455

说明：(a)传统的锥形 InGaAs 波导光电探测器和(b)建议的超薄 InGaAs 膜光电探测器的原理图。超薄 InGaAs 膜波导光电探测器的模式转换和小反射更平滑，可以消除 InP 锥度，使制作过程更简单。(c)从硅波导到光电探测器的模式传播。通过使用超薄 InGaAs 薄膜，可以实现更平滑的无锥度模式转变。

有线和光通信系统

“IV 类波导光电探测器和调节器在 300mm 硅基板上的首次单片集成，适用于 2μm 波长光子集成电路”——新加坡国立大学（论文 1676）

随着 1310 和 1550nm 单模光纤的发展接近理论极限，单一通路的 2μm 光谱窗口可以解决通信容量紧张的问题。新加坡大学报告了 IV 类波导光电探测器(PD)和调节器在 300mm 硅基板上的首次单片集成，面向具有硅 CMOS 兼容性、可批量生产的 2μm 波长应用。它们的波导 PD 和电吸收调节器(EAM)采用 Ge_{0.92}Sn_{0.08}/Ge 多量子井(MQW)作为有源层。它们利用 Ge 缓冲层作为砷上锗波导和光栅耦合器，使光可以耦合到 EAM 和 PD，分别进行直接调制和检测。在具有相同吸收层的表面照射模式下，波导 PD 的扩展耦合路径使光响应率提高了 35 倍，在所有基于 GeSn 的 2μm PD 中响应率最高达到 525mA/W，在 6GHz 下带宽高达 3dB。此外，通过在相同的硅基底上成功使用 PD 和 EAM，他们首次展示了 2μm 全集成收发器的可行性。



图片文件：1676

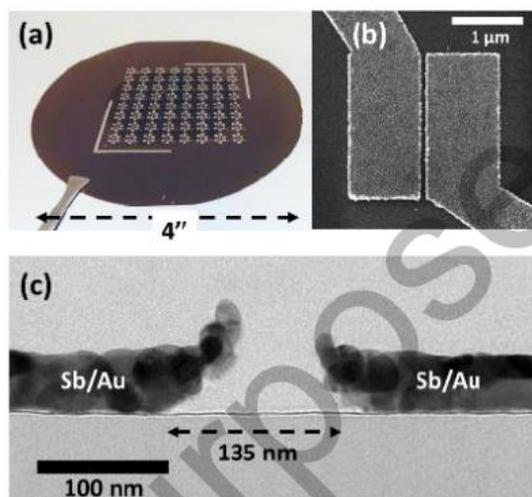
插图 1：硅基底上适用于 2 μm 波长的单片集成波导 PD 和 EAM 的 3D 原理图。光通过耦合器耦合到波导，并传输到 EAM 进行调制，然后由 PD 检测

插图 2：300mm 硅基底上适用于 2 μm 集成平台的 GeSn MQW 层堆栈的横截面 TEM 图像。

先进材料

“高性能单层 CVD WS_2 晶体管的晶圆级 Bi 辅助半自动干式转移和制造”——TSMC
(论文 1500)。

TSMC 报告了一种晶体管技术，采用一种新晶圆级半自动干式转移工艺，用于利用半金属 Bi 和二维半导体 WS_2 之间的弱耦合界面开发的单层(1L) CVD WS_2 。相比体材料半导体，单层 2D 半导体在原子级通道厚度下可以充分保持载流子迁移率，在更短通道长度(LCH < 10nm)下具有更好的静电控制特性，因此很可能作为未来晶体管技术的最终尺寸微缩沟道材料。这种新的单层转移方法是在晶圆级上演示的。在接触电阻 < $0.73k\Omega\cdot\mu m$ ，栅极长度为 135nm 时，此工艺中的 n-FET 可以实现高导通电流，在 $V_{DS} = 1V$ 时高达 $250\mu A/\mu m$ 。



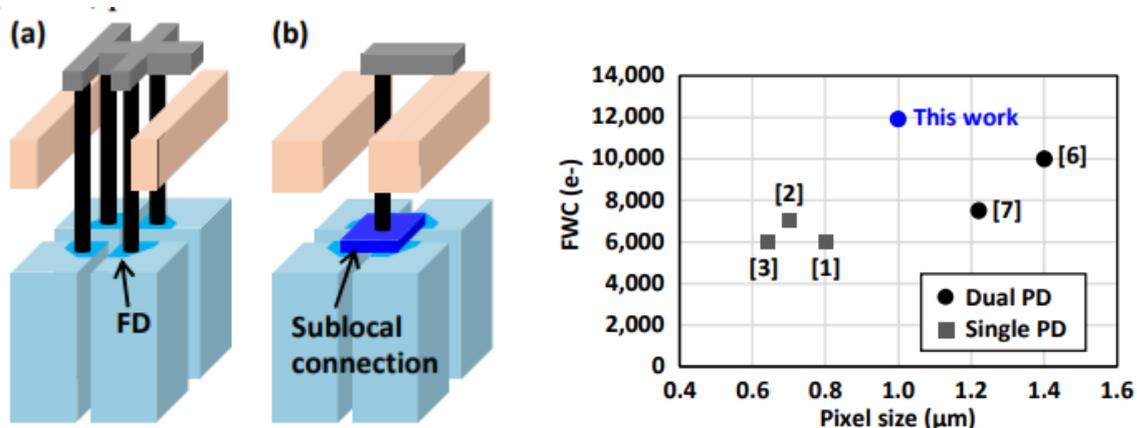
图片文件：1500

说明：(a) 2" 1L CVD WS_2 转移到采用全局背栅极器件结构的 4" $SiNx$ (100 nm)/p++-Si 晶圆上的照片。(b) SEM 和(c)具有 Sb/Au 触点的器件结构的横截面 TEM 图像。

图像传感器技术

“一种2层晶体管像素堆栈 CMOS 图像传感器，提供基于氧化物的完全沟道隔离，以实现大阱容量和高量子效率”——索尼（论文 1102）

索尼展示了具有大阱容量(FWC)和高量子效率(QE)的2层晶体管像素堆栈 CMOS 图像传感器(CIS)的开发成果。光电二极管(PD)和像素晶体管采用三维顺序集成工艺在不同的硅层上制造，以增加 PD 数量，并采用连接多个浮动扩散的局部连接，以改善转换增益和随机噪声。硅氧化物首次代替传统的多晶硅作为完全沟道隔离(FTI)的嵌入材料，以防止光被 FTI 吸收，在 530nm 波长下的 QE 提高了 19%。他们展示了一款 1.0 μm 双 PD CIS，FWC 为 12,000e⁻，以前只能通过较大的像素尺寸实现。



图片文件：1102

说明：(a)没有和(b)有子局部连接的2层像素器件结构。(c)本次研究中与之前研究中的像素尺寸和 FWC 的比较关系。

电路亮点

机器学习

“5nm 工艺下具有逐向量缩放 4 位量化的 17-95.6 TOPS/W 深度学习加速器”——
NVIDIA (论文 1271)

用于自然语言处理或机器视觉的专用机器学习处理器正在成为边缘设备和数据中心的主力。NVIDIA 的研究人员展示了他们采用 5nm CMOS 工艺的最新深度学习加速器原型。在加速器中，高精度计算和高功耗之间存在基本关联。另一方面，低精度计算往往会导致不正确的分类，且令用户不满。作者提出了一种新方法来解决这一挑战，也就是使用与数据相关的向量缩放在 4b 下执行算术任务，在损失 0.7% 的精度下实现 95.6 TOPS/W 的能效。

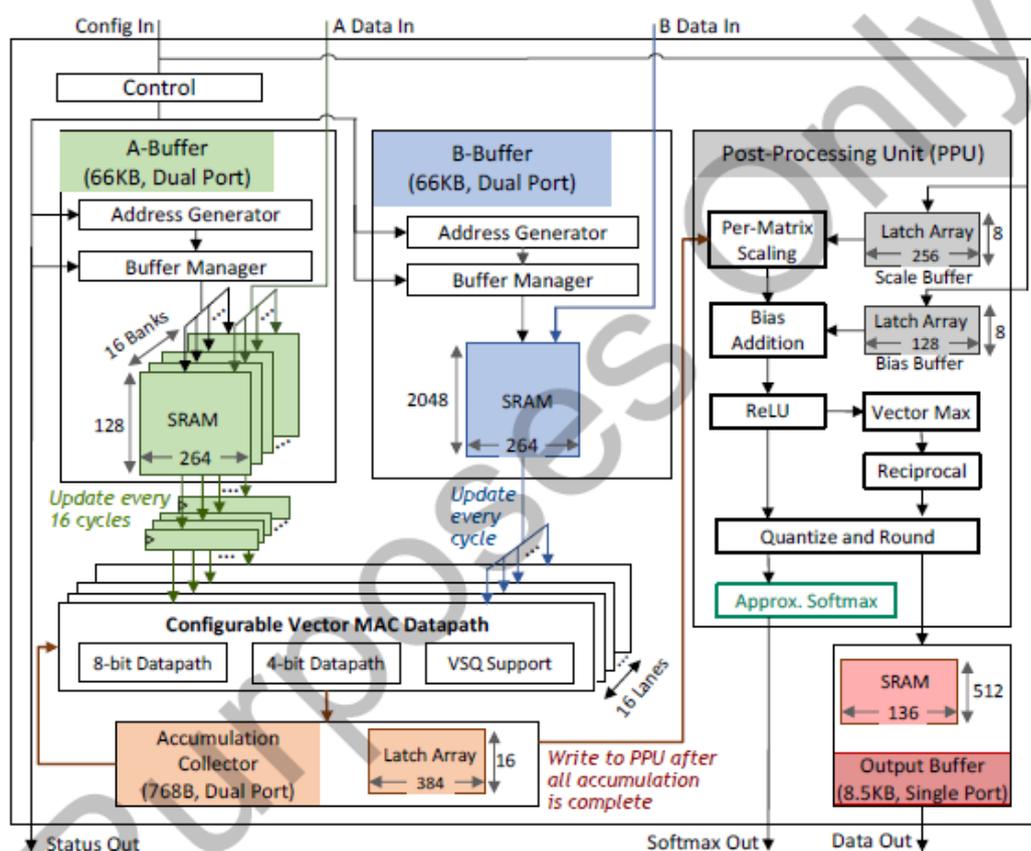


Fig.5: Accelerator block diagram.

Fig. 5: Accelerator block diagram.

图 5：加速器框图。

图片文件：1271

说明：NVIDIA 提出的深度学习推理加速器的框图，支持逐向量缩放量化

DRAM 存储器

“采用片上错误控制方案来增强 RAS 特性的 16GB 1024GB/s HBM3 DRAM”——三星电子 (论文 1170)

三星电子推出了性能得到改进的第三代 10nm DRAM，旨在实现更高的系统可靠性、可用性和可服务性(RAS)，适用于汽车、工业和数据中心应用。他们在“高带宽存储器-3”(HBM3) DRAM 中实现了这一目标，侧重于利用一个新片上错误代码纠正(ECC)方案来改善纠错功能，该方案能同时纠正一个 16 位字错误和 2 个单位错误。在同一个 DRAM 芯片上本地纠正每个错误，而不是访问 DRAM 堆栈中的其他芯片，这样可以改善延迟，并将引脚数据速率从上一代的 5Gb/s/引脚提高到 8.0Gb/s/引脚，每个存储器块的总内存带宽为 1024GB/s。这一点在 16GB DRAM 模块中进行了展示。

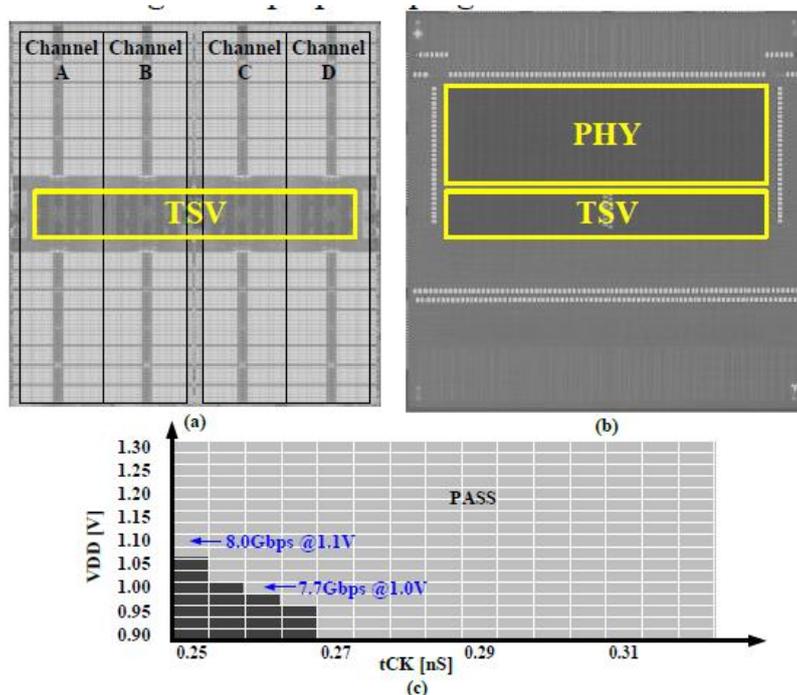


Fig. 6. Chip microphotographs of (a) Core-die and (b) Buffer-die, (c) measured tCK shmoo.

Fig. 6. Chip microphotographs of (a) Core-die and (b) Buffer-die, (c) measured tCK shmoo.

图 6. (a) Core 芯片和(b) Buffer 芯片的显微照片，(c)测量的 tCK shmoo。

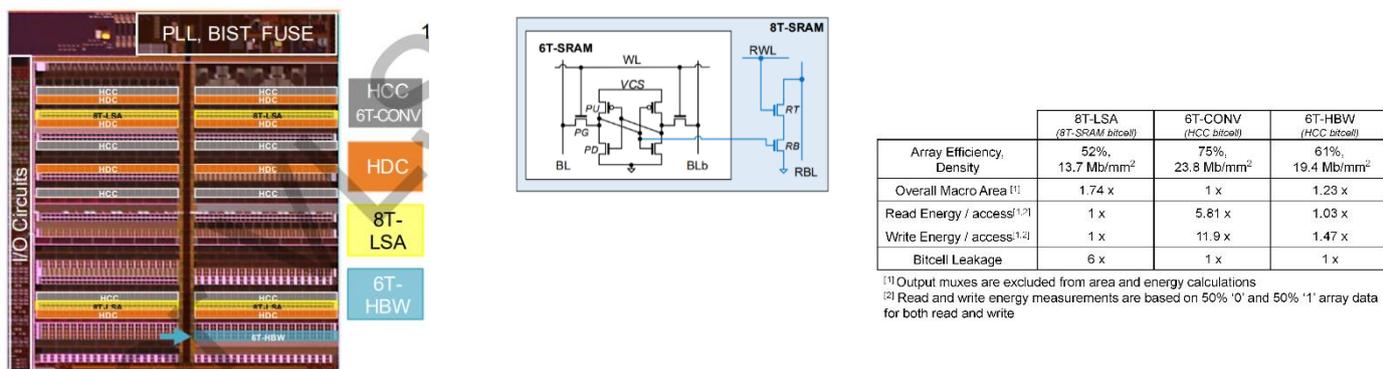
图片文件：1170

说明：三星 HBM3 芯片的(a) Core 芯片和(b) Buffer 芯片的显微照片，(c)测量的 tCK shmoo。

SRAM 存储器

“基于 Intel 4 CMOS 工艺的高能效高带宽 6T SRAM 设计”——英特尔（论文 1664）

英特尔的研究人员介绍了采用英特尔 4nm 级 CMOS 工艺的高能效 SRAM。面向高吞吐量应用的高能效计算对片上存储器提出了更高容量和更大带宽的挑战。传统的 6T SRAM 可满足低面积需求，而 8T 位单元可以提供较低的动态功率，但两者均无法双管齐下。本文提出了一种经过优化的 6T SRAM 设计，位单元面积为 $0.03\mu\text{m}^2$ ，功率与 8T 相近，动态功率比传统 6T 设计低 5.6 倍。



图片文件：1664

说明：(a) Intel 4 CMOS 工艺测试芯片的芯片显微照片。(b) Intel 4 CMOS 工艺存储器位单元。(c) 60kB 宏功能实现的密度和每次访问的功率比较

SRAM 存储器

“7nm SoC 中 SRAM 电路与序列访问模式的协同优化使得 AR 应用中存储器能耗降低 58%”——Meta (论文 1148)

AR 应用要求具有边缘智能的传感器能够实现超低功耗。在本论文中，Meta Reality Labs 团队描述了 7nm SOC 中的 SRAM 的低功耗设计，该 SOC 嵌入在一个原型肌电图(EMG)腕带中，方便 AR 眼镜执行手势识别任务。他们提出采取特定的序列操作，而不是随机访问，以实现为感知模式优化的存储器设计。在该模式下，对于连续执行的存储器读取和写入，其电路操作次数大幅降低。与传统的存储器设计相比，该设计使得读取功率降低 52%，写入功率降低 58%。

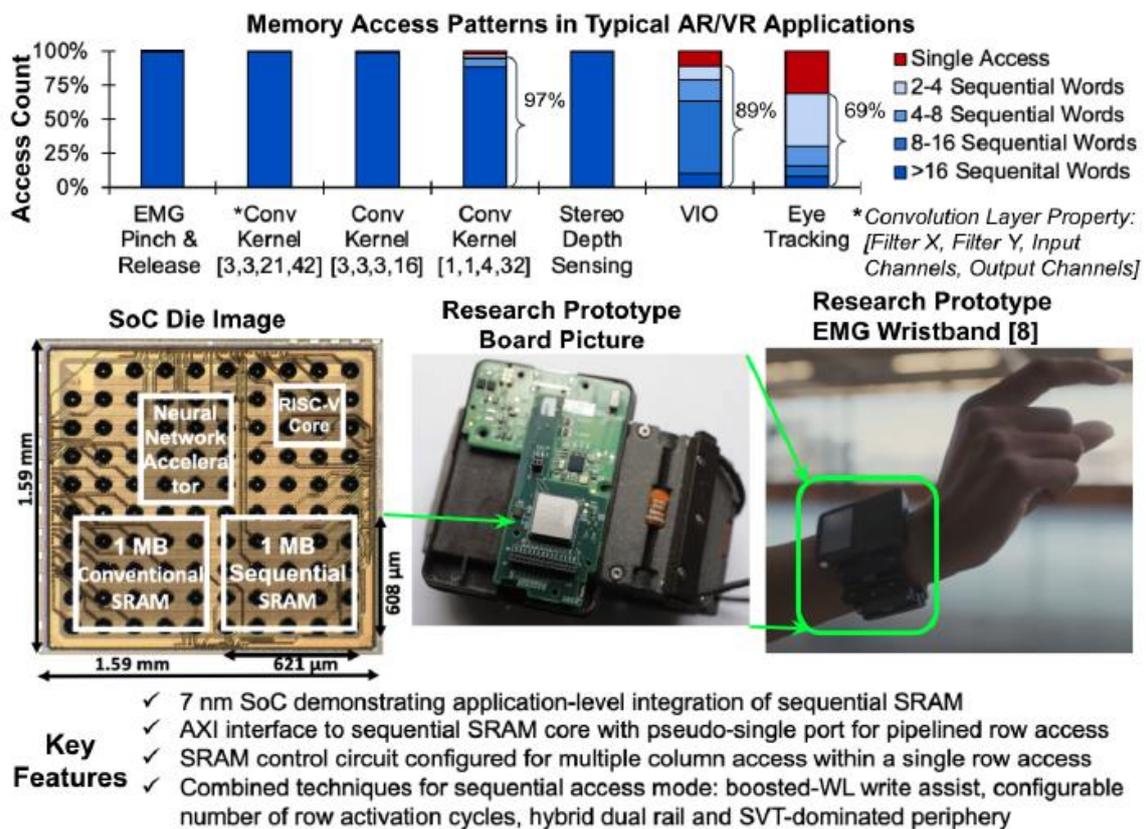


Fig. 1: (a) Application analysis of AR SoC SRAM data access showing high sequentiality. (b) Chip die photo and demo setup. Measured energy at $124 \mu\text{J}$ per 'pinch-and-release' hand gesture detection.

Fig. 1: (a) Application analysis of AR SoC SRAM data access showing high sequentiality. (b) Chip die photo and demo setup. Measured energy at $124 \mu\text{J}$ per 'pinch-and-release' hand gesture detection.

图 1: (a) AR SoC SRAM 数据访问的应用分析显示出高序列性。(b) 芯片照片和演示设置。每次“捏放”手势检测的测量能耗为 $124 \mu\text{J}$ 。

说明: (a) Meta 的 AR SoC SRAM 数据访问的 AR 应用分析显示出高序列性, (b) 芯片照片和演示设置。每次“捏放”手势的测量能耗为 $124\mu\text{J}$ 。

系统级封装电源管理

“全集成电压稳压器，带有封装嵌入式电感，适用于采用 22nm CMOS 有源硅中介层的异构 3D-TSV 堆栈系统级封装，支持自动调整、数字控制的导通时间断续导电模式 (DCM)操作”——英特尔（论文 1117）

英特尔报告称，他们先进的系统级封装(SiP)电源管理支持在 22nm 有源硅中介层上进行异构芯片组与其 3D-TSV 堆栈系统级封装(SiP)的集成。作者将电感嵌入封装基底中，该基底通过 3D-TSV 以平铺形式直接连接至中介层芯片上的全集成电压稳压器。图中显示，对于单块，能效在 10mA – 300mA 范围内是平坦的，通过在邻近块选择性地组合使用稳压器，最高可达 1A 范围。这样便于灵活且经济高效地集成各种计算、存储器和通信芯片系统中，以满足各种功率要求。

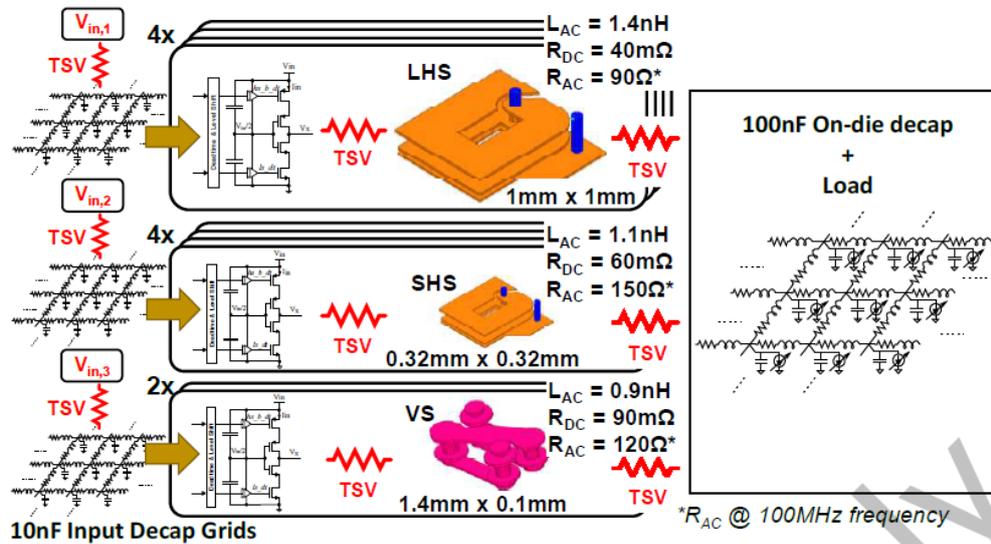


Figure 2: 10-tile test setup with inductor specifications

Figure 2: 10-tile test setup with inductor specifications

图 2：10 块测试设置，包含电感规格

图片文件：1117

说明：英特尔的 10 层全集成 DCM 电压稳压器测试设置，采用各种基于 TSV 的电感实现功率/效率/面积之间的取舍

数字处理器的电源管理

“3nm GAAFET 模拟辅助数字 LDO，具有高电流密度，适用于动态电压调节的移动应用”——三星电子（论文 1336）

先进 CMOS 工艺下，对于具有多个处理核心的移动 SoC，其计算需求日益攀升，从而增加了电源管理的难度。来自三星电子的研究人员提出了他们采用 3nm 全环绕栅极 FET (GAAFET) 技术的模拟辅助数字 LDO 解决方案，提供高电流密度功率传输。该设计提供主动电源降噪和

CPU 内核快速瞬变负载检测。他们提出的混合 LDO 在 1mA 到 1.4A 负载范围内能实现准确调节，在 1ns 内 1A 动态负载下电源压降仅为 38mV。

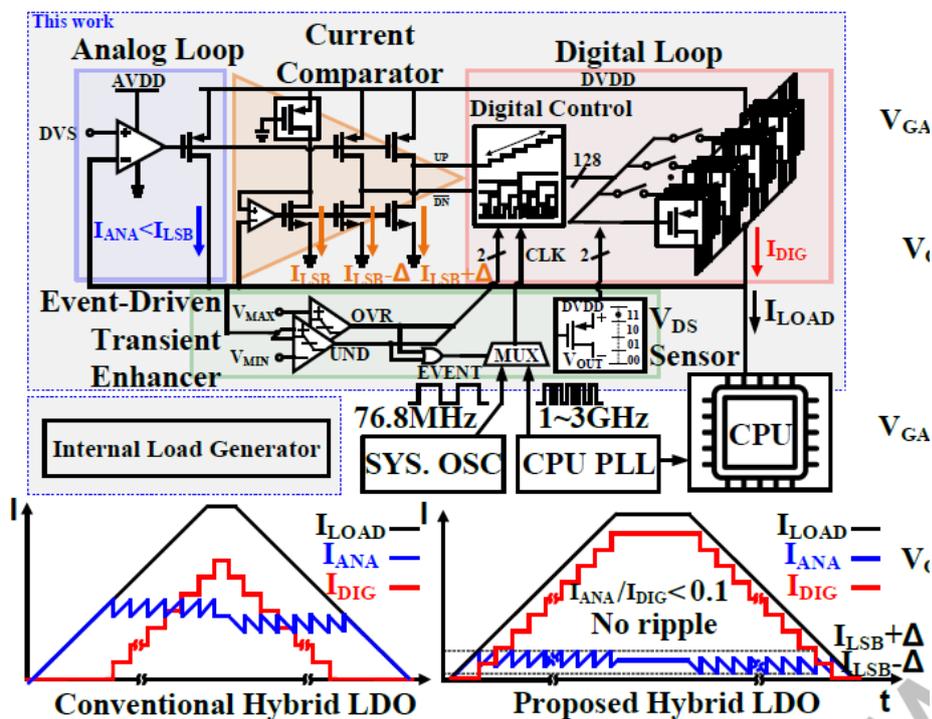


Fig.3. Proposed hybrid LDO structure with high current density

Fig. 3. Proposed hybrid LDO structure with high current density

图 3. 建议的混合 LDO 结构，具有高电流密度

图片文件：1336

说明：三星电子提出的用于移动 SoC 应用的混合 LDO 架构。

有线收发器

“基于 72GS/s、8 位 DAC 的有线发射机，采用 4nm FinFET CMOS，适用于 $200+\text{Gb/s}$ 串行链接”——美国 IBM 研究中心（论文 1241）

IBM 报告了一种用于超高速串行有线链路的发射机，以满足数据中心不断增长的网络带宽需求。其方法是基于一个 8 位 DAC，支持 72GS/s 的转换率和源串联终端(SST)拓扑。之前基于 SST 设计的方案都没有超过 56GBaud，而本次设计达到了 72GBaud。他们的 4nm FinFET CMOS IC 展示其支持 216Gb/s 的 PAM8 模式和 212Gb/s 的 QAM64 OFDM 模式，功耗为 288mW。

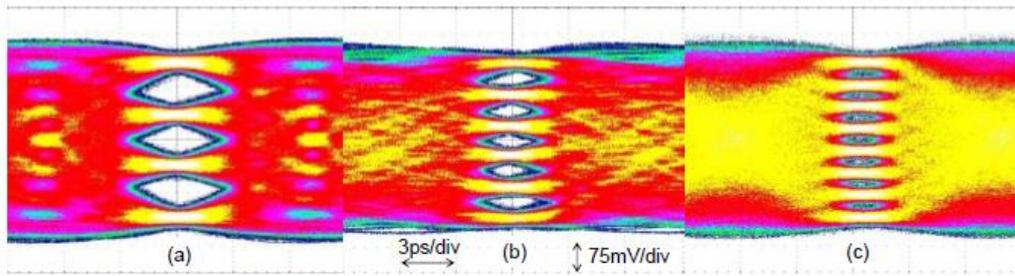


Fig. 8 Measured 72GS/s TX eye diagrams w/ FFE8 for (a) 144Gb/s PAM4 QPRBS13 (b) 180Gb/s PAM6 PRBS11 (d) 216Gb/s PAM8 PRBS15

Fig. 8 Measured 72GS/s TX eye diagrams w/ FFE8 for (a) 144Gb/s PAM4 QPRBS13 (b) 180Gb/s PAM6 PRBS11 (d) 216Gb/s PAM8 PRBS15

图 8 (a) 144Gb/s PAM4 QPRBS13 (b) 180Gb/s PAM6 PRBS11 (d) 216Gb/s PAM8 PRBS15 的 72GS/s TX 测量眼图 (带 FFE8)

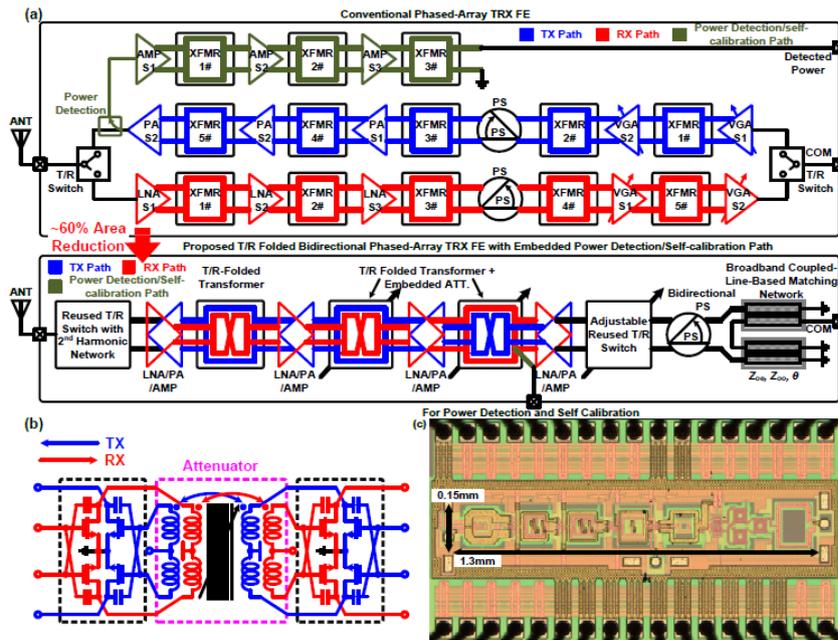
图片文件：1241

说明：IBM 面向(a) 144Gb/s PAM4 (b) 180Gb/s PAM6 和(c) 216Gb/s PAM8 的 72GS/s TX 实测眼图 (带 FFE8)

5G 收发机

“超紧凑双向 T/R 折叠 25.8-39.2GHz 相控阵收发器前端，包含嵌入式 TX 功率检测/自校准路径，在 5G 28/39GHz 波段下支持 64/256/512QAM，采用 65nm CMOS 技术”——清华大学 (论文 1802)

清华大学的研究人员展示了一种节省面积的双向发射机和接收机，可在 28-39GHz 的所需宽频范围内兼容 5G，适配全球采用的不同频段。基于宽带变压器的发射机和接收机采用快速开关、衰减和移相技术来实现宽带波束形成。此方案支持 28-39GHz 的 64/256/512QAM，具有 19.2dB RX 增益和 >12.8dBm 的 TX 功率。与前代方案相比，其面积减小 25% 以上。



图片文件：1802

说明：(a) 清华大学提出的超紧凑型双向 Tx/Rx 折叠 28/39GHz 宽带相控阵收发机前端，采用嵌入电源检测/自校准路径。(b) 清华大学提出的 Tx/Rx 折叠型架构，包含基于 Tx/Rx 复用双向变压器的高精度衰减器。(c) 芯片显微照片。

5G 收发机

“39GHz CMOS 双向 Doherty 相控阵波束成形器，使用共享 LUT DPD 和元件间失配补偿技术，适用于 5G 基站”——东京工业大学（论文 1383）

东京工业大学报告了一种基于相控阵波束成形器的 5G 收发器，该波束成形器采用 Doherty 低噪声功率放大器。他们研究了数字和模拟校正技术，以提高单独天线间 TX 功率输出的均匀性。他们提出的方法使用共享数字校正和每个天线的单独相位和增益校正，将发射误差矢量幅值 (EVM) 改善了多达 9.1%，将发射至接收 EVM 改善了多达 11.8%。在 64 QAM 调制下，该芯片能够实现最大每秒 3.5G 符号率，另外该芯片还支持 21-Gb/s 单载波数据流传输。

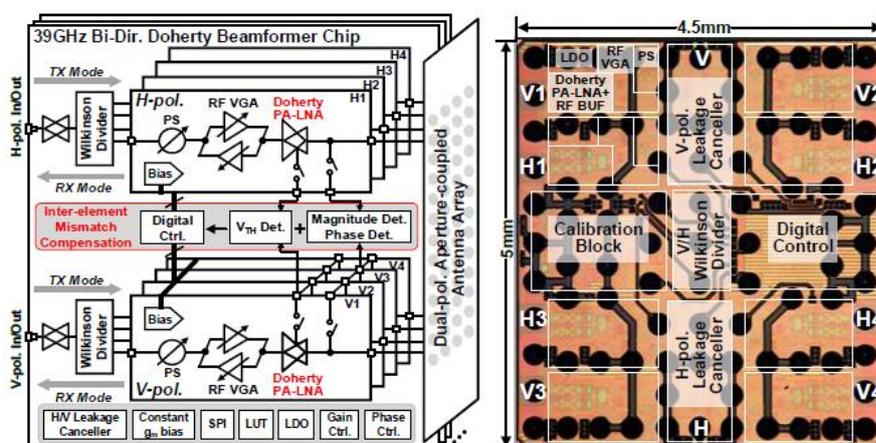


Fig. 1. Proposed phased-array beamformer chip and die micrograph.

Fig. 1. Proposed phased-array beamformer chip and die micrograph.

图 1. 相控阵波束成形芯片和芯片显微照片。

图片文件：1383

说明：东京工业大学提出的具有元件间失配补偿技术的 39-GHz 双向 Doherty 相控阵波束成形器。

成像与 LIDAR

“1200x84 像素 30fps 64cc 固态 LiDAR RX，提供 HV/LV 晶体管混合有源抑制 SPAD 阵列和背景数字 PT 补偿”——东芝（论文 1288）

近期芯片级 VLSI 接收机和紧凑型发射机推动了 LIDAR 尺寸和成本的降低。东芝公司推出一种基于 CMOS-SPAD 的 LIDAR 接收机，嵌入在手掌大小的 64cc 容量系统中。1200x84 传感器嵌入经过优化的有源抑制 SPAD 像素与深入沟道绝缘(DTI)。为 SPAD 产生高工作电压会因为许多片外组件而增加成本：此方案嵌入一个片上数字背景低压控制环路，用于补偿 SPAD 工艺和温度漂移，降低了系统的硬件成本。该 LIDAR 系统将 CMOS 接收器与微扫描镜、28

通道 ADC 和 FPGA 结合，可以在户外 110kLux 明亮的环境光，以及高达 90°C 的系统温度下，以 30FPS 的速度演示 3D 点云生成。

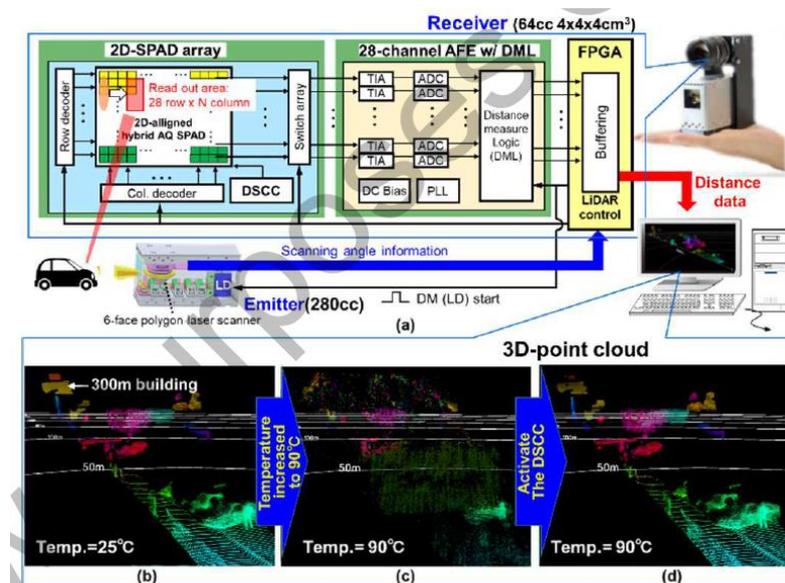


Figure 4. (a) Our palm-sized proof of concept LiDAR and its block diagram. (b) The 3D point cloud data at 25°C and (c) at 90°C with the proposed DSCC OFF, and (d) DSCC ON.

<p>Figure 4. (a) Our palm-sized proof of concept LiDAR and its block diagram. (b) The 3D point cloud data at 25°C and (c) at 90°C with the proposed DSCC OFF, and (d) DSCC ON.</p>	<p>图 4. (a)手掌大小的概念验证 LiDAR 及其框图。(b) 25°C 时的 3D 点云数据，(c)在 90°C 时，建议 DSCC OFF，(d) DSCC ON。</p>
--	--

图片文件：1288

说明：(a)东芝的手掌大小的概念验证 LiDAR 及其框图。(b) 25°C 时的 3D 点云数据，(c)在 90°C 时，建议 DSCC OFF，(d) DSCC ON。

成像与 LIDAR

“一种用于在高环境光条件下进行远距离 3D 深度测量的混合间接 ToF 图像传感器”——Toppan Inc. (论文 1190)

用于 3D 深度相机和 LIDAR 的高分辨率间接飞行时间(ToF)图像传感器通常需要在距离范围或精度之间取舍。Toppan Inc.与 Brookman Technology 和静冈大学的研究人员合作，提出了间接 ToF 的一种新时序方案，打破了这种取舍局面，实现了长距离和高精度。该传感器技术适用于广泛的应用，包括户外使用，因此他们提出了一种干扰抑制技术，允许同时在同一个视场中使用多个摄像机。他们演示了 VGA 传感器使用的技术，可以实现 30 米范围成像，同时在全高达 100Lux 环境光下保持<15cm 的精度。

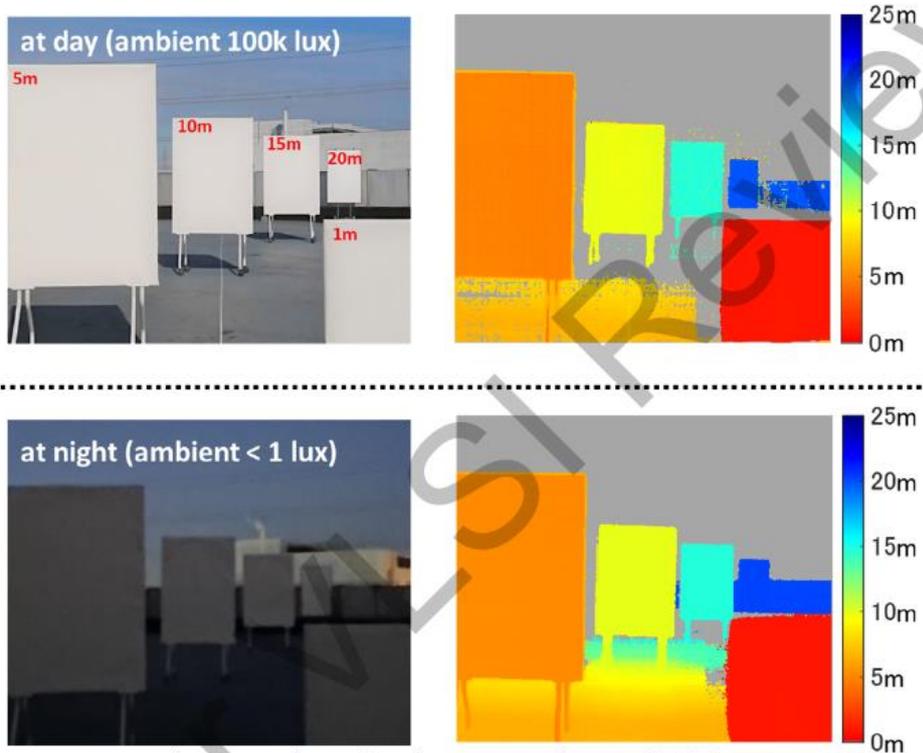


Fig. 5 Outdoor depth maps at day and night.

Fig. 5 Outdoor depth maps at day and night.

图 5 白日 and 夜间的户外深度图。

图片文件：1288

说明：Toppan Inc 的混合 TOF：白日(100k lux)和夜间(< 1 lux)在 1–20 m 范围内的户外深度图。

模数转换器

“8 位 56GS/s 64x 时间交织 ADC，采用 4nm CMOS，其中包含自举式采样器和 AB 类缓冲器”——瑞士 IBM 研究中心（论文 1215）

瑞士 IBM 研究中心提出一款 56GS/s ADC，采用先进的 4nm CMOS 工艺，分辨率为 8b。面向基于 ADC 的高速串行链路接收机依赖于时间交织来达到 112Gb/s 及以上所需速度。此方案交替使用 64 个 ADC 通道，提供模拟前台校准，以实现通道间偏移、增益和偏斜校正。提出一种新型的 AB 类输入缓冲器和自举跟踪与保持采样器，它不需要高电源电压，可以采用单个 0.8V 低电源电压，兼容 4nm 工艺节点，但仍保持 0.8V 峰峰值输入摆幅。该设计在 >27GHz 带宽下，具有 47fF/转换步骤能效，实现了高性能。

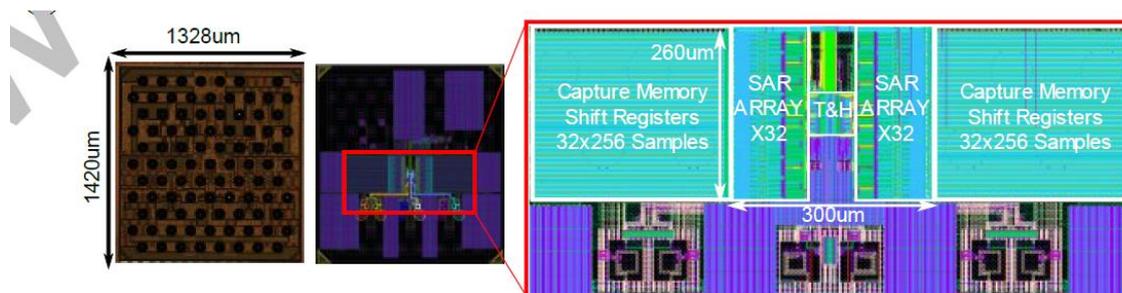


Fig. 5 ADC die micrograph and layout details.

Fig. 5 ADC die micrograph and layout details.

图 5 ADC 芯片显微照片和布局细节。

图片文件：1215

说明：IBM 采用 4nm CMOS 工艺设计制造的 56 Gs/s 8 位异步 SAR ADC 的芯片显微照片和布局。这款 16x4 交织 ADC 在第一阶交织器中使用新型的自举技术和 AB 型缓冲电路。