



2023 年 VLSI テクノロジー&回路シンポジウムの技術ハイライト

2023 年の VLSI テクノロジー&回路シンポジウムは、半導体集積回路技術の進歩、進展、および進化を議論する最高峰のプレミア国際会議で、2023 年 6 月 11 日から 16 日にかけて、京都のリーガロイヤルホテルで開催され、参加される方々へのネットワーキングの機会を提供致します。

本シンポジウムの全体テーマは、「**Rebooting VLSI Technology and Circuits for a Sustainable Future**」です。スマートコネクテッドデバイス、インフラストラクチャおよびシステムは人々のコミュニケーションのかたちを変えていきます。新しい時代へと移行するグローバル社会の一部として、先端技術開発、革新的な回路設計、およびそれらが可能にする応用システムが披露され、議論される場となることを期待しています。

以下に、このテーマに沿ったテクノロジー&回路シンポジウムのハイライト論文を紹介致します

Joint Technology and Circuits Highlights

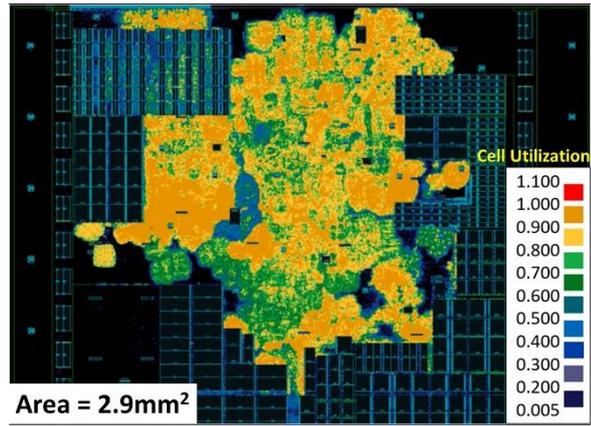
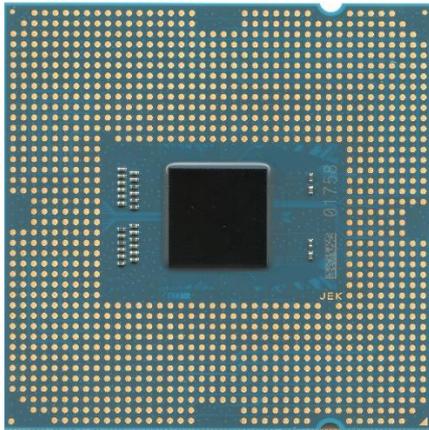
ここでは、テクノロジーと回路の融合がもたらす一歩を象徴する論文を紹介致します。

Processors

“パワービア(裏面電力供給)技術を用いたインテル 4 E-Core 実装” – インテル (Paper T1-1)

インテルはこの度、高収力裏面電力供給を可能にするパワービアテクノロジー*を開発し、そのテクノロジーを用いたインテル E-Core の実装について報告します。パワービアはムーアの法則を持続させる革新的技術であり、この技術によりインテル E-Core における標準セル使用率を広い領域で 90%以上とすることに成功し、IR ドロップを削減することで 5%以上の周波数改善も可能にしています。スループット時間はやや高いが許容範囲内であることをシリコン上でのデバッグで実証し、パワービアテストチップの熱特性はロジックの微細化から予想される高い電力密度に見合うものであることも確認しました。

* パワービアテクノロジーはセッション T6-1 で報告されます。

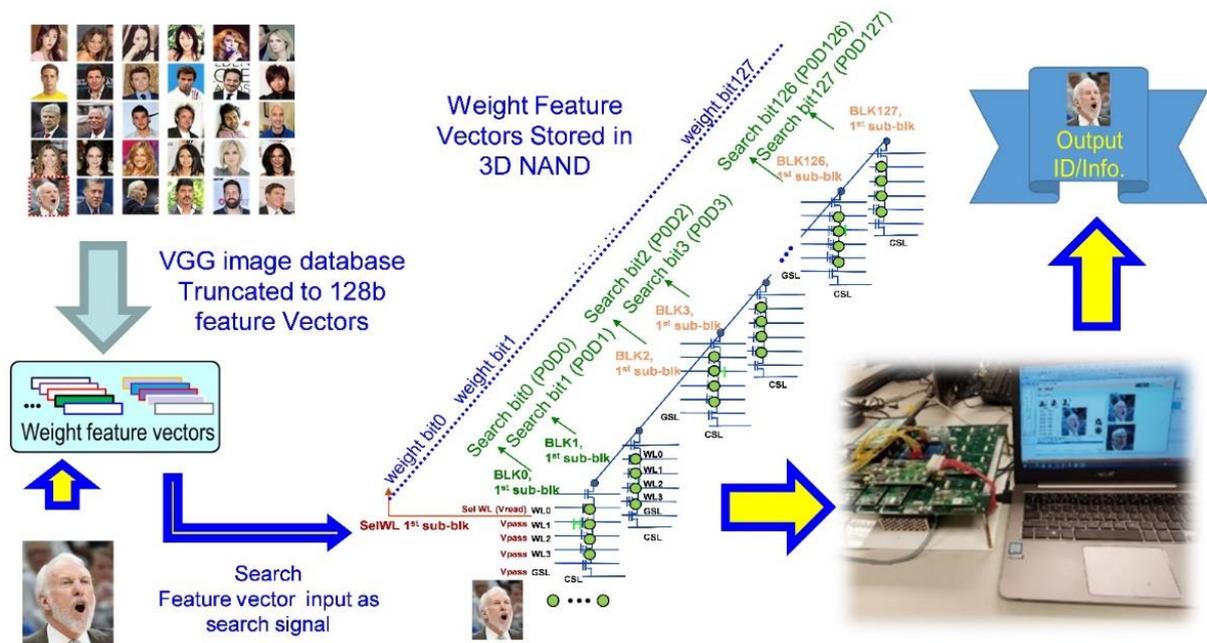


図の説明：ダイ写真（PowerVia を用いた intel 4）とセル密度プロット

Devices and Accelerators for Machine Learning

“高密度（43Gb）・高検索帯域幅（300Gb/s）3D NAND ベースの 3 値コンテンツアドレスブルメモリ（TCAM）とハミング距離の近似検索用インメモリ検査アクセラレータをチップで実証” – Macronix International Co., Ltd. (Paper T15-1)

Macronix International Co., Ltd. は、96 層 3D NAND を使った高密度(43Gb) なインメモリ検索チップを発表します。String-select line と呼ぶ新しい回路設計により、400mW 以下の消費電力で最大 300Gb/秒のバンド幅を達成し、連想メモリや近似検索に適したチップであることを実証しました。



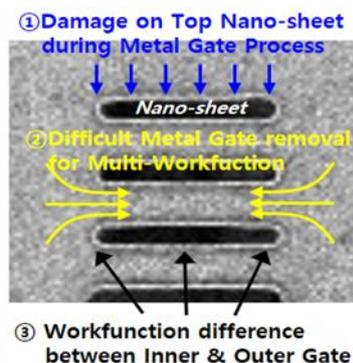
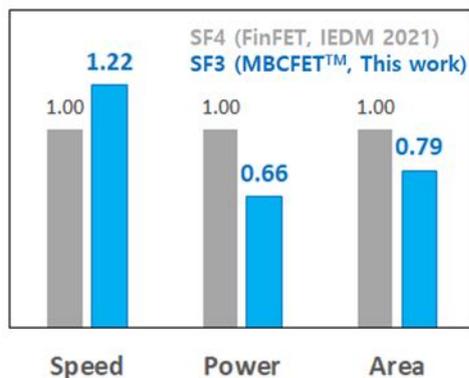
図の説明：インメモリ検索のプロセスフロー。特徴ベクトルはチップ内に格納されており、検索データがチップに入力されると一致する BL アドレスが直接計算されます。

Technology Highlights

Advanced CMOS Technology

“世界初 Gate-All-Around (GAA) 3nm ファウンダリ向けプラットフォーム(SF3) 開発”
– Samsung Electronics Co. Ltd. (Paper T1-2)

本論文では、FinFET から GAA (Gate-All-Around) トランジスタ・アーキテクチャへの移行に関する技術詳細を報告します。サムスは、4nm FinFET プラットフォームに比べ、22%の速度向上と34%の電力向上、0.79倍の論理面積削減を実現する世界初のGAA 3nm ファウンドリプラットフォーム技術(SF3)を公開しました。SF3 テクノロジーは、業界初の量産型GAA (SF3E) のアップグレード版です。マルチブリッジチャンネル FET (MBCFET™) のユニークなプロセス設計により、SF3は、一定のスタンダードセルの高さで同等の性能を持つ様々なナノシート幅を提供し、チップレベルの電力-性能マトリックスをFinFETプラットフォームよりも大幅に強化します。

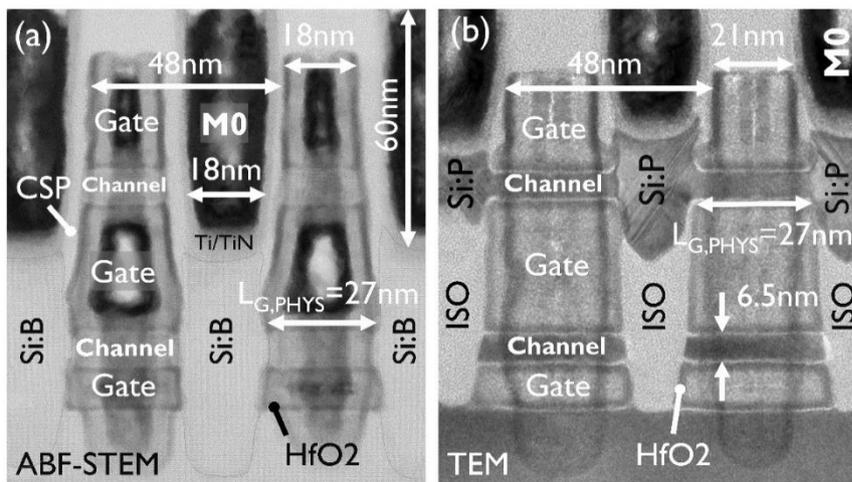


図の説明：(左) 今回開発された世界初 GAA SF3 と FinFET SF4 の性能/消費電力/面積の比較。(右) 開発された MBCFET™ の断面図及び固有プロセス最適化のポイント

Advanced CMOS Technology

“ゲートピッチ 48nm のナノシート構造のモノリシック Complementary FETs(モノリシック CFET)– Imec (Paper T1-3)

IMEC はゲートピッチ 48nm のモノリシック CFET を開発しました。モノリシック CFET の製造プロセスはボトム側トランジスタのチャンネルとゲート電極、トップ側トランジスタのチャンネルとゲート電極を積層しますが、縦方向のボトム側トランジスタ(PFET)とトップ側トランジスタ(NFET)のスペースは 30nm です。モノリシック CFET のサブスレッショルド・スウィングは NFET が 70mV/dec.、PFET は 75mV/dec.と良好な特性を得ています。またインナー Spacer の形成、マルチ Vt を可能にするミドル・ダイエレクトリック・アイソレーションを導入しています。

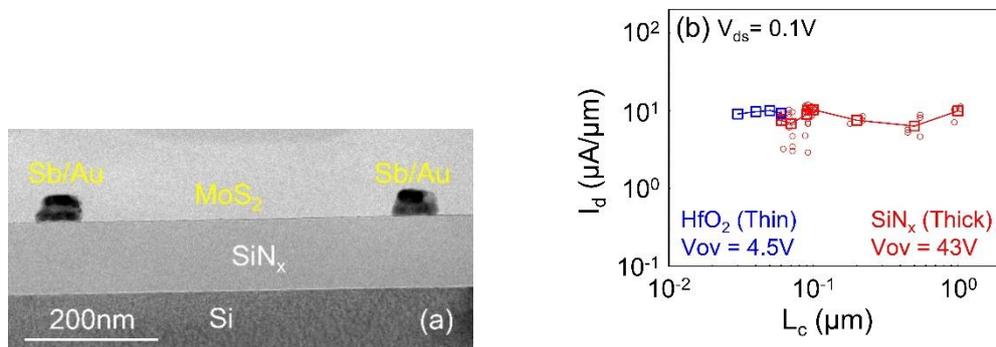


図の説明：断面 TEM 写真 (a) ボトム pFET, (b) トップ nFET

Advanced Process and Materials

“単層2次元チャネルトランジスタのコンタクト長微細化における低抵抗コンタクト”
 –Taiwan Semiconductor Manufacturing Company, National Yang Ming Chiao Tung University, Nanjing University, National Cheng Kung University (Paper T1-4)

TSMC を中心とした本研究グループは、2次元遷移金属ジカルコゲナイド (2D TMD) を用いた微細トランジスタ実現の鍵となる、Sb-MoS₂系におけるコンタクト長微細化のシナリオを示しました。2D TMD は、将来世代の微細ロジックトランジスタチャネルへの用途が期待されていますが、実現に向けてコンタクト長の微細化が一つの鍵となります。TCAD を用いた先行研究では、コンタクトと単層 MoS₂ 間の距離を小さくすることが微細コンタクトでの低コンタクト抵抗 (Rc) の鍵であると明らかにされていました。今回この TCAD モデルを透過型電子顕微鏡 (TEM) 画像と実験データから検証したところ、コンタクト長を 15nm まで微細化しても Rc は 250 Ω-μm にとどまると予想されます。これらの値は将来の微細化トランジスタの現実的な寸法と Rc になり得ます。

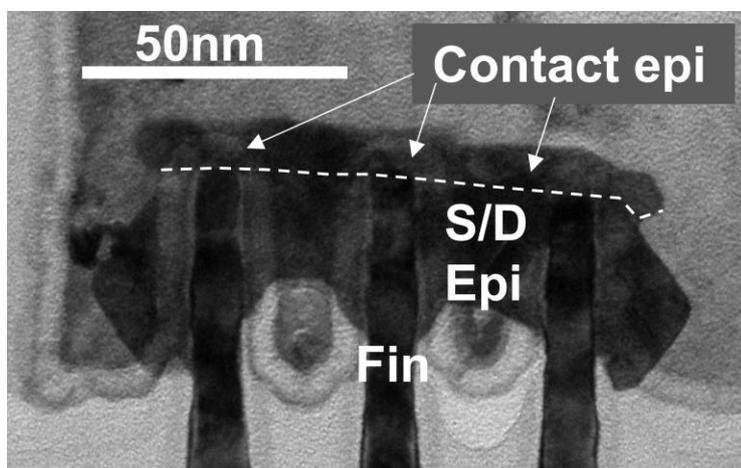


図の説明：コンタクトの断面 TEM 写真(a)とオン電流の Lc 依存性(b)

Advanced Process and Materials

“ 10^{-9} ohms.cm² 以下のコンタクト抵抗を実現する、立体トランジスタ用コンタクトキャビティ形成技術と SiGe:B 選択低温エピタキシャル成長技術” – Applied Materials, IBM Semiconductor Technology Research (Paper T1-5)

Applied Materials と IBM のグループは、 2×10^{21} atoms/cm³ のボロンのドーピングを可能にするコンタクトキャビティ形成プロセスを開発しました。300 mm ウェハのコンタクトモジュールにおいて、反応性イオンエッチング (RIE) プロセスと選択的高ドーパ SiGe:B エピタキシャルプロセスを最適化しました。その結果、 $11 \Omega \cdot \mu\text{m}$ という記録的な低トランジスタ接触抵抗を実証した。また、デバイスの実効オン電流性能は、ミディアムトランジスタで 44%、最先端トランジスタで 19% の向上を実現しています。

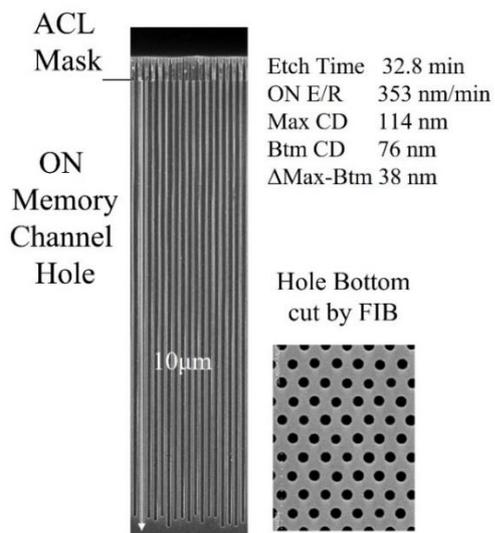


図の説明：コンタクトトレンチに沿った FINFET の断面 TEM 像

Advanced Process and Materials

“ホール深さ 10 μm 、400 層を超える 3D-NAND flash のための 84% 温室効果ガス低減かつ超ハイスピードのエッチングプロセス” – Tokyo Electron Miyagi Ltd. (Paper T3-2)

本論文の著者らは 3D-NAND のホール形成のため、低温エッチング技術と新規開発のカーボンレスガスを組み合わせた新しいエッチング技術を開発しました。この技術は $10 \mu\text{m}$ のエッチング深さを 33 分という短い時間で加工するものです。温室効果ガスについても 84% の削減が出来ます。図に示すように非常に優れた形状を示しています。

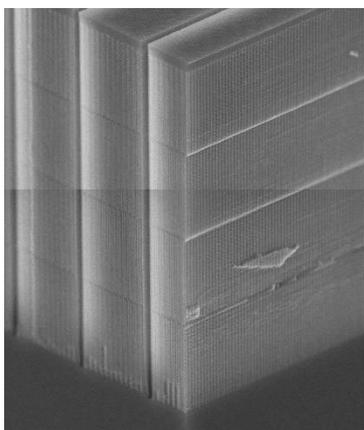


図の説明：ホールパターンの断面 SEM 写真と、ホール底部の FIB カット写真

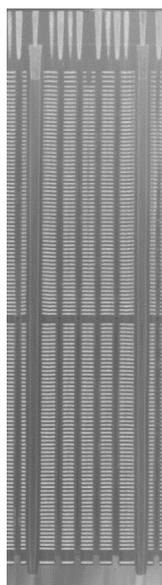
Memory Technology

“超高層（300 層以上）3D フラッシュメモリにおける垂直 Si チャネルの高スケラブル金属誘起横方向結晶化（MILC）技術” – Kioxia Corporation, Western Digital Corporation (Paper T7-1)

Kioxia 社と Western Digital 社は共同で、300 層を超える三次元フラッシュメモリ向けに MILC 技術を実証しました。垂直のメモリホール内に形成した $14\mu\text{m}$ のマカロニ型シリコンチャネルにおいて、MILC を用いたチャネルの単結晶化を実現しました。新たに開発した Ni のゲッターリング技術によって、セル信頼性を劣化させることなく、40%以上の読出しノイズの低減と、10 倍のチャネルコンダクタンスを実現しました。



(a)



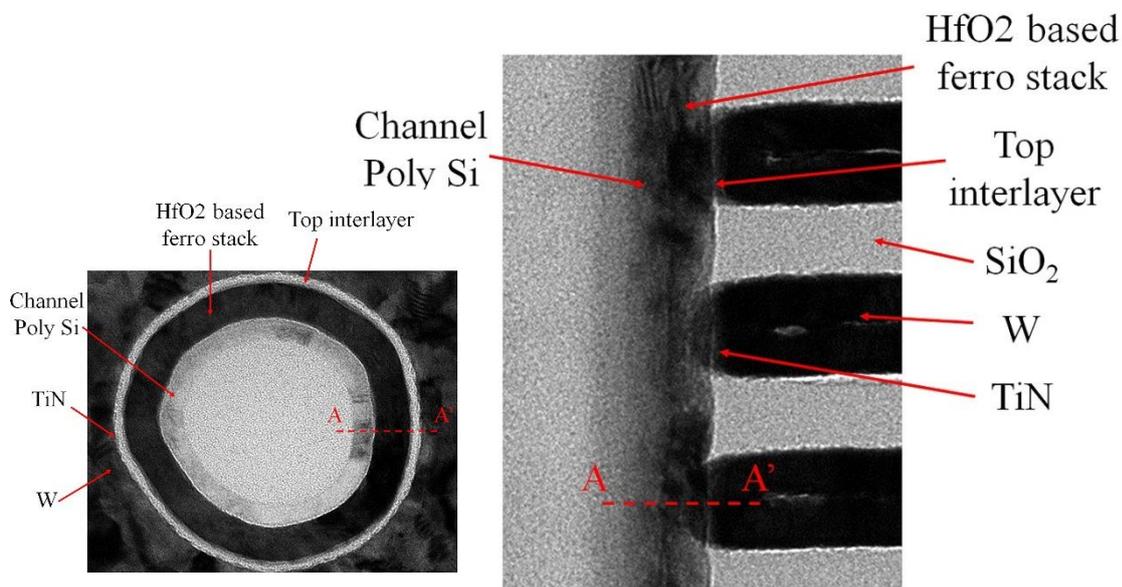
(b)

図の説明：3D フラッシュメモリの透過電子顕微鏡写真 (a) 300 層以上、(b) 112 層

Memory Technology

“セルスタックエンジニアリングによるメモリウィンドウ拡大したプログラム可能な4値セル 3D 強誘電体型 NAND フラッシュメモリ” – SK hynix Inc. (Paper T7-2)

SK hynix 社は、彼らの 3D 窒化物チャージトラップ型 (CTN) NAND を用いて、世界で初めて 3D 強誘電型 NAND (Fe-NAND) で 4 値セル (QLC) 動作を実現しました。彼らは Fe-NAND の上層インターレイヤと HfO₂ ベースの強誘電層の複数の組み合わせで最適化を図り、4 値セル (QLC) の隣接閾値 V_{th} 分布の最低ギャップマージンが 0.24V であることを確認しました。これらにより、メモリウィンドウ最大 10.5V を確保し、4 値セルプログラム可能な 3D Fe-NAND フラッシュメモリを実現しました。

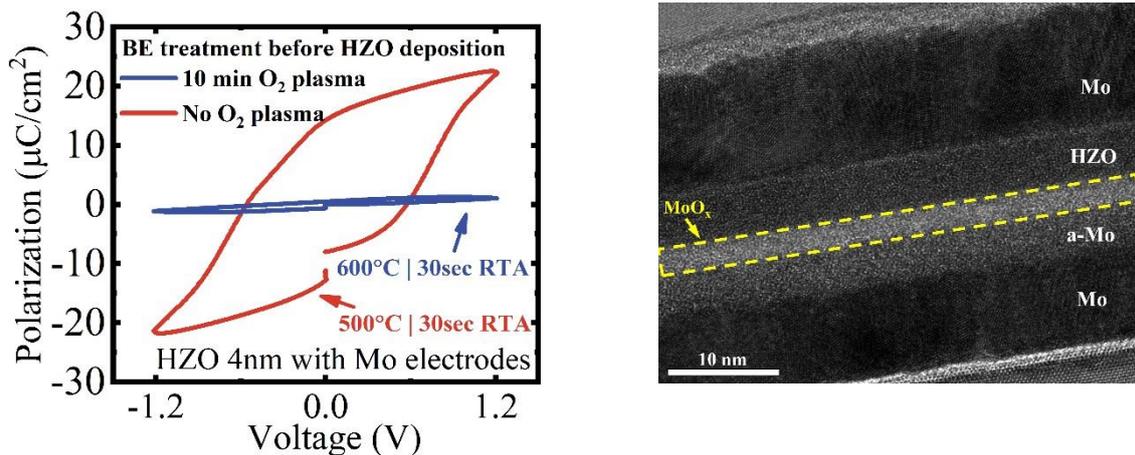


図の説明：作製した 3 次元 Fe-NAND (a) 平面図、(b)断面 TEM 写真

Advanced Process and Materials

“Mo 電極を用いたナノメートルスケールの高性能強誘電体 HZO キャパシタで超高分極 ($\sim 108 \mu\text{C}/\text{cm}^2$) を初観測” – Stanford University, Western Digital, University of Nebraska-Lincoln, University of Missouri, SLAC National Accelerator Laboratory (Paper T7-3)

スタンフォード大学の研究グループは、膜厚 4nm の $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ と Mo 電極を有する 100nm 以下のサイズの強誘電体キャパシタにおいて優れた強誘電性と信頼性を実現しました。本論文では(1)結晶化温度を 400°Cまで低減し、(2)動作電圧が 1.2V まで低減でき 10^{10} 以上の書き換え耐性を実現、(3) CeO_2 界面層の導入により wake-up 効果と fatigue の低減を実現し、さらに(4)微細なキャパシタを精密な測定システムにより評価し $108\mu\text{C}/\text{cm}^2$ を観測することに成功しました。本論文は HfO_2 系強誘電体キャパシタにおける材料・プロセスのエンジニアリングの重要性を改めて示唆するものであり、特性改善の余地が十分であることを示しています。

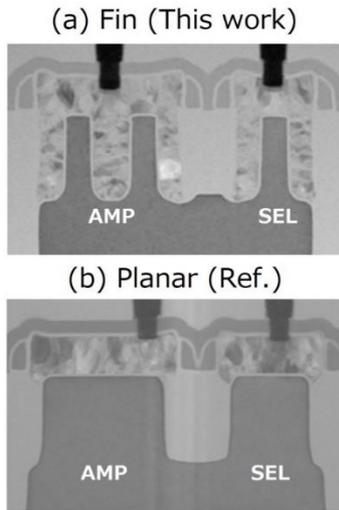


図の説明: (左) TiN および Mo 電極を用いて異なる温度で形成した HZO キャパシタの強誘電体 P-V 特性、(中) 試作した 100nm 以下のサイズの強誘電体キャパシタの顕微鏡写真

Image Sensor Technology

“ノンドープ型ピクセル FinFET を用いた 2 層トランジスタピクセル積層型 CMOS イメージセンサのノイズ性能向上” – Sony Semiconductor Solutions, Sony Semiconductor Manufacturing Corporation (Paper T7-4)

ソニーは、2-Fin ノンドープ Pixel-Fin 電界効果トランジスタを用いた 2-Layer Transistor Pixel Stacked CMOS イメージセンサーを初めて提案しました。Fin-FET のノンドープチャネルと広いチャネル幅により、2.42 倍のトランスコンダクタンス向上、15%のランダムノイズ低減、99.3%のランダム電信信号低減を達成しました。

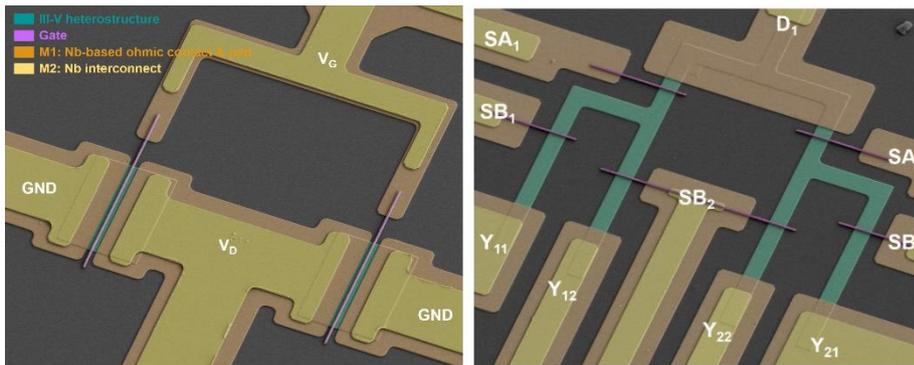


図の説明：(a)FinFET チャンネル断面方向の断面 TEM 写真(a) と 2 層トランジスタピクセルのプレーナトランジスタ断面(b)

Beyond CMOS

“3D 集積 InGaAs HEMT と Nb 超伝導体を用いた極低温 RF トランジスタとルーティング回路” – KAIST, KBSI, KNU, KANC (Paper T7-5)

韓国科学技術院大学校(KAIST)の研究者らは、韓国基礎科学研究院(KBSI)、慶北大学校(KNU)、韓国先端ナノファブセンターとの共同で、3D 積層 InGaAs HEMT と Nb 超伝導体を集積した極低温 RF トランジスタと配線回路に関する研究を報告しました。著者らは、動作温度 4 K において最も高い遮断周波数 (601 GHz) および最大発振周波数 (593 GHz) を得るとともに、従来の低温 RF トランジスタの中で最小の消費電力を実現することに成功しました。さらに、Nb 超伝導体と III-V ヘテロ構造のハイブリッド配線を用いることで、著者らは従来の構造に比べて消費電力が 41%低いルーティング回路を実証しました。



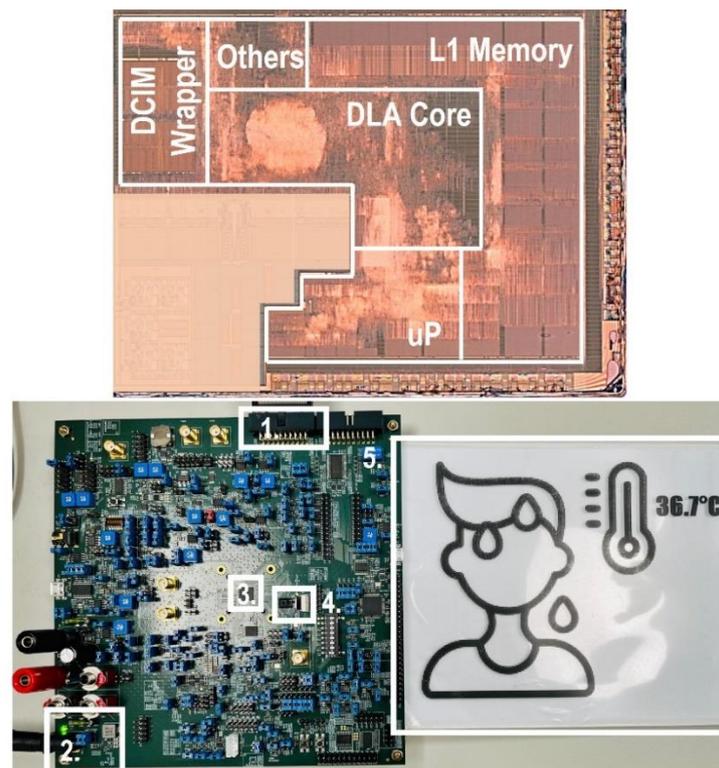
図の説明：3D 積層 InGaAs HEMT を用いた (a) 極低温 RF トランジスタ、および (b) 極低温 4 分岐ルーティング回路の電子顕微鏡像

Circuits Highlights

Processors

“12nm 0.62-1.61mW を実現するデジタル計算メモリ (DCIM) を用いた常時通電可能なエンドツーエンド画像処理向け超低消費電力深層学習システム” – MediaTek 株式会社 (Paper C3-4)

MediaTek 株式会社はデジタル計算メモリ (Digital Compute-in-Memory : DCIM) を用いることにより、常時通電可能なエンドツーエンド画像処理向けの深層学習システムを実現したことを報告します。SoC プロトタイプは DCIM ベースの深層学習アクセラレータ (DCIM-DLA)、RISC-V マイクロプロセッサ、イメージセンサーインターフェースで構成されます。DCIM は要求正解率と消費電力のバランスを実現する混合演算精度をサポートします。測定されたピーク性能は 51.2 GOPS、エネルギー効率 は 57 TOPS/W であり、MobileNet-V1 モデル上に構成された混合演算精度による人物検知タスクにて 85.7% の正解率を達成、またイメージセンサーを除くエンドツーエンドシステムとして 2 及び 15 fps 動作時にそれぞれ 0.62 及び 1.61 mW の消費電力であると報告しています。



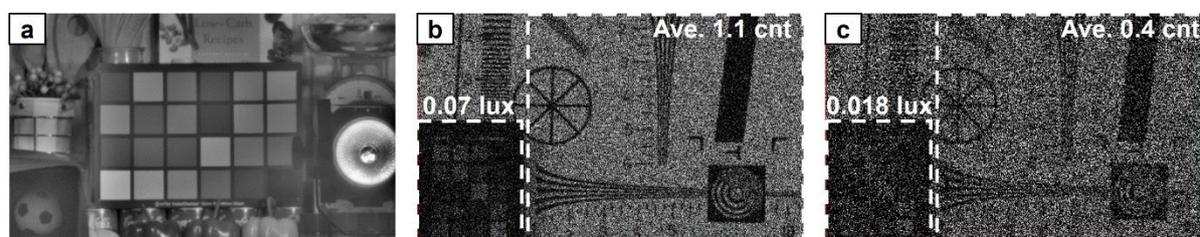
- 1. JTAG connection between host PC and debug access interface
- 2. Power supply
- 3. Main 12nm test chip
- 4. LED panel to show the result of detection
- 5. Image sensor,

図の説明 : SoC プロトタイプは DCIM ベースの深層学習アクセラレータ (DCIM-DLA)、RISC-V マイクロプロセッサ、イメージセンサーインターフェースで構成。消費電力はイメージセンサーを除くエンドツーエンドシステムとして 2 及び 15 fps 動作時にそれぞれ 0.62 及び 1.61 mW。

Imaging

“最上位ビット計数機能を有する周期的リセット技術を用いた 3.36 μm ピッチの SPAD 画素を用いたフォトンカウントイメージセンサー” – ソニーセミコンダクタソリューションズ株式会社 (Paper C15-2)

SPAD 画素を用いたイメージセンサは光子 1 個を捉えてその反応回数を直接数えることで画像を作り出すため極めて暗い場所でも撮影ができるイメージセンサとして期待されています。一方で、SPAD 画素に光子が入った回数を数えるため明るいシーンではカウント数が増大し回路規模や電力が増大してしまう課題がありました。本発表では SPAD 画素のリセットを周期的に制御することで明るいシーンにおける SPAD 画素反応を抑えて電力を抑えています。また、カウント回路の最上位桁(MSB)の変化の回数を数えることで上位桁を計数し、画素に集積するカウント回路を 8bit に抑えることで画素サイズの小型化も実現しています。22nm ノードを採用することで世界最小の画素サイズ 3.36 μm □を実現しました。

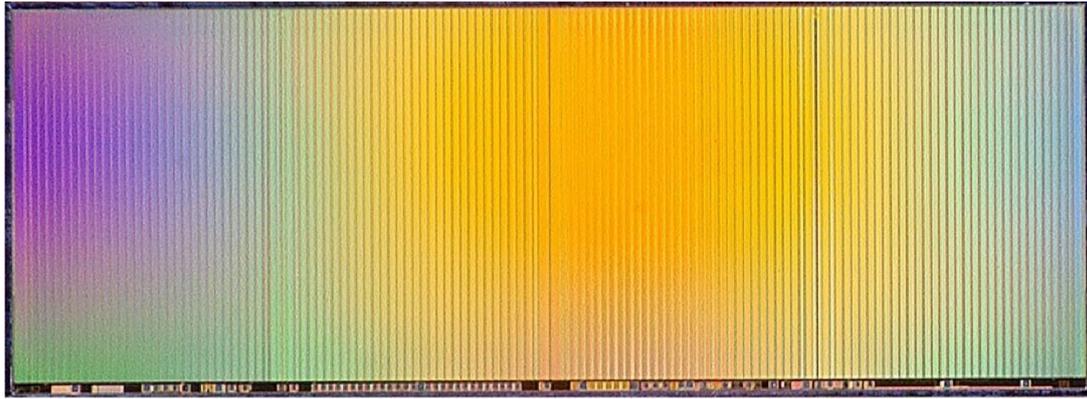


図の説明：SPAD 画素により極めて暗いシーンを撮影しつつ、明るいシーンでも飽和なく撮影できていることを示しています。

3D-Flash Memory

“3.2Gbps インターフェイスと 205MB/s のプログラムスループットを備えた 17Gb/mm² 以上のビット密度の 1Tb 3bit/セル 3D フラッシュメモリ” – キオクシア (Paper C2-1)

17Gb/mm²を超えるビット密度の 210 以上のワード線層を用いた 1Tb 3b/セル 3D フラッシュメモリがキオクシアから報告されます。8 物理プレーン構造により、40us の低リードレイテンシと 205MB/s の高いプログラムスループットを実現しています。X 方向のデータ入出力 DQ 面積を 41%に削減することで、3.2Gbps の高速インターフェースを実現しています。ハイブリッド行アドレスデコーダ(X-DEC)は、配線混雑の課題に対応し、読み取りレイテンシの低下を最小限に抑えることができます。1 パルス 2 ストローク技術により、センシング時間を 18% 短縮し、205MB/s のプログラム スループットを達成しています。

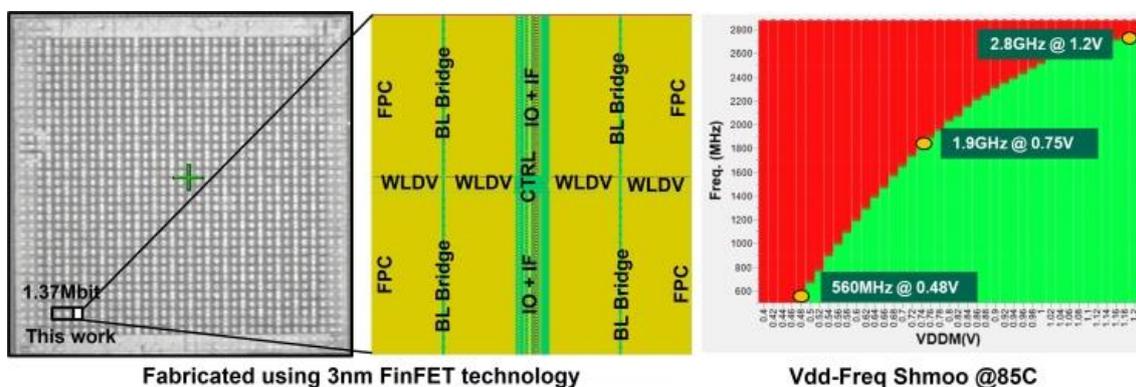


図の説明：1Tb 3D フラッシュメモリのチップ写真

SRAM Memory

“遠端ビット線プリチャージとウィークビットトラッキング回路を用いて 0.48 - 1.2V 動作電圧範囲と 27.6Mbit/mm² の高集積密度を実現する 3 ナノメートル SRAM”
 – TSMC デザインテクノロジー ジャパン株式会社 (Paper C9-5)

TSMC は、3nm Fin-FET テクノロジーで高エネルギー効率のキャッシュ SRAM を発表します。ハイパフォーマンス コンピューティング (HPC) では高い電力効率が求められ、その改善のために最近の設計では DVFS が広く使用されています。内蔵するキャッシュメモリは、オーバードライブした高電圧での高速な読み出し・書き込み動作と、非常に低い電圧での低消費電力動作の両方が強く求められます。この発表では、DVFS に対応するために新しい 2 つの DTCO 技術を報告します。1 つは、ビット線の遠端側にプリチャージ回路を追加配置したこと、もう 1 つは、広い電圧範囲で最適動作するためのトラッキング回路です。微細テクノロジーで課題となる 1) 配線抵抗の上昇と、2) トランジスタ特性の電圧依存性感度の増大、に対して改善効果を示しています。テストチップは 3nm FinFET で製造、27.6Mbit/mm² の高集積密度と 0.48V~1.2V で 550MHz~2.8GHz 動作を実証しており、これまでのレポートの中で最高の性能指標 (密度 x 周波数/電圧で定義) を達成しています。

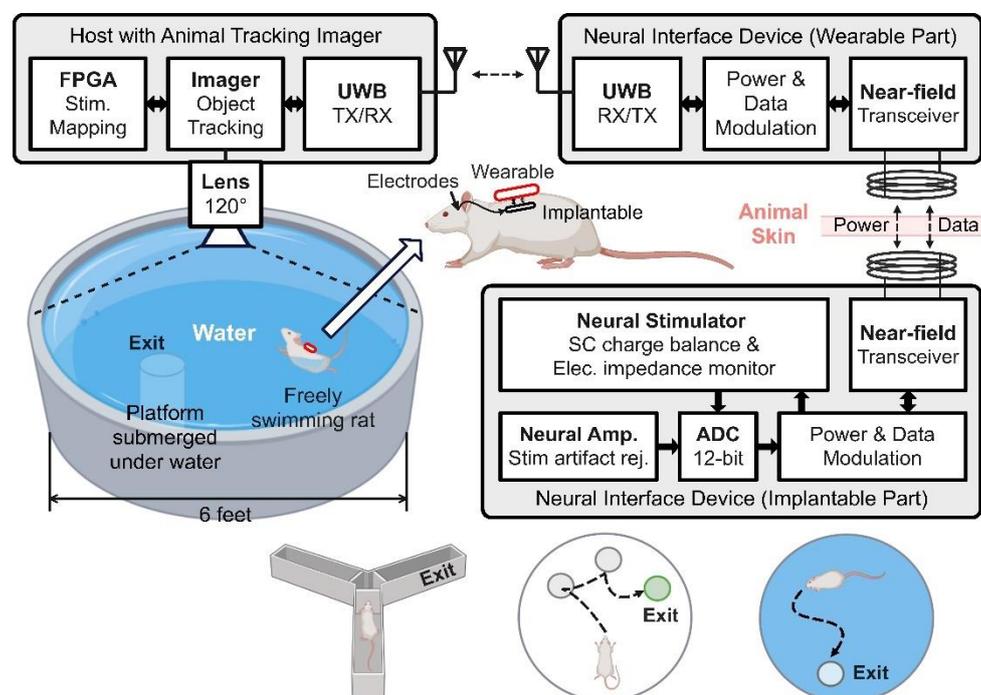


図の説明：3nm FinFET プロセスを用いて試作したテストチップの写真、及び 434k ビット SRAM マクロのプロット図、測定した電圧-周波数依存性を示すシュムープロット

Neural Interfaces

“センサ情報を元に脳刺激を与える神経フィードバックによるガイドが可能なワイヤレスセンサ-脳インターフェースシステム” – トロント大学 (Paper C1-1)

トロント大学のグループは、脳刺激によって水迷路中の実験動物をガイドしてゴールに導くことができるワイヤレスセンサ-脳インターフェースシステムを報告します。このシステムは水迷路中の動物の状態を把握する独自の 160x160 イメージセンサと FPGA によるホストシステムと、動物に装着した脳刺激デバイスによって構成されます。ホストシステムと脳刺激デバイスの間だけでなく、脳刺激デバイスにおいて皮下に完全に埋め込まれた部分と背中に装着した部分の間でもワイヤレス通信が実現されています。水迷路のゴールが水面下にある場合でも、ホストシステムによって生成されたパターンでの刺激を与えることで、ゴールが見えるときと同程度の速さで到達できることを複数のラットでの実験で示しています。



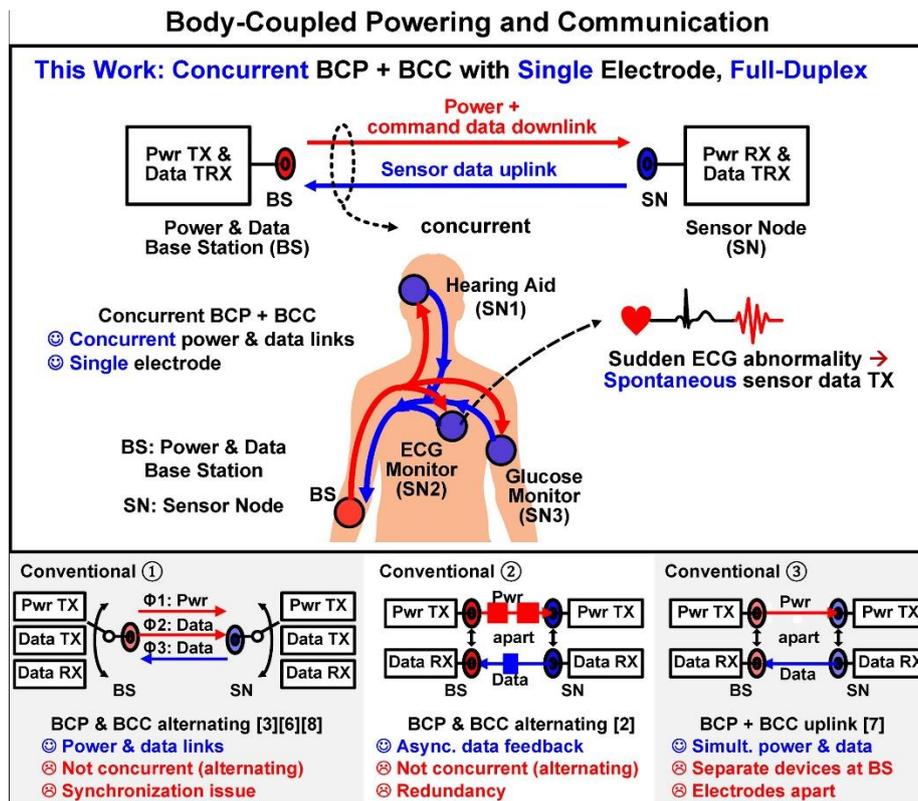
	Y-Maze [1]	Barnes Maze [2]	Watermaze (This work)
Animal Motivation	Reward	Reward	😊 Natural + Reward
Degree of Freedom	😞 Low	😊 Moderate	😊 High
Sensory Feedback	😞 Binary	😊 Simple	😊 Advanced
Learning Process	Passive	Passive	😊 Active

図の説明：実現したワイヤレスセンサ-脳インターフェースシステムの構成と、本研究において水迷路実験を用いる妥当性

Biomedical Circuits

“単一電極で人体経由の電力供給と通信を同時に実現する無線BANトランシーバIC” – 南方科技大学 (Paper C8-1)

著者らは体に装着したベースステーションと複数のセンサノードによるヘルスケア情報の常時モニタリングに向け、単一電極で各センサノードに電力供給と通信を実現する BAN トランシーバ IC を開発しました。電力供給と通信を同時に実現する場合、ベースステーションの電力送信回路による干渉が受信回路を飽和させてしまう課題がありましたが、40dB 以上の干渉抑圧性能を有する自己干渉キャンセル回路を開発して問題に対処しました。センサノード回路では電力・データの受信部とデータ送信部のグラウンドを分離する構成により安定して電力受信が可能となっています。

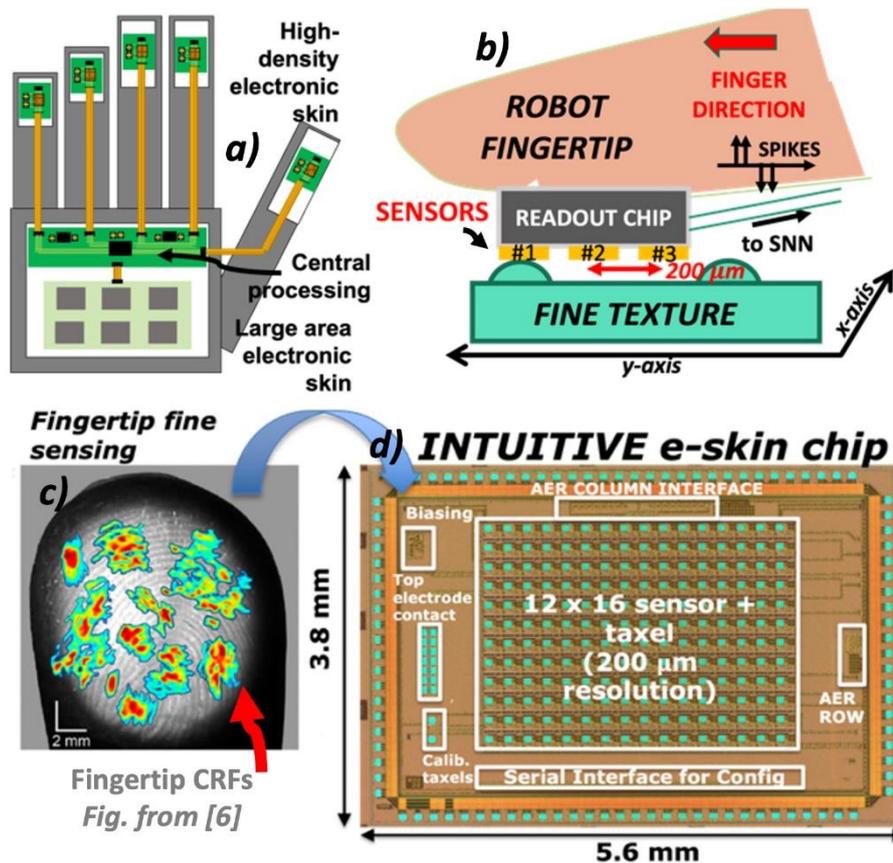


図の説明：単一電極での電力とデータ信号の人体経由同時送受信システムのコンセプト

Biomedical Circuits

“人間の指先に匹敵する $200\mu\text{m}$ の空間解像度を有する電子皮膚 (e-skin) 触覚読み出しチップ” – ルーヴェン・カトリック大学 (Paper C8-2)

ルーヴェン・カトリック大学は、 $0.18\mu\text{m}$ CMOS 技術を利用した、人間の指先に匹敵する $200\mu\text{m}$ の空間解像度を有する電子皮膚 (e-skin) タクセル読み出しチップを報告します。 12×16 タクセル (感覚器) アレイおよび、指先の複合受容野 (CRF) を模倣したタクセルごとの刺激波形読み出し回路をキーテクノロジーとして開発しています。従来の e-skin と比較して本報告では、システムの消費電力を約 100 ~ 7000 倍削減し、タクセルあたりの消費電力を 5 桁以上削減すると共に、空間解像度を 5 倍向上させ、センサー数を 2 倍にすることを成功しました。スパイキングニューラルネットワーク (SNN) に基づく、肌触りによる材質および振動刺激の周波数の分類において、97.1% および 99.2% の精度を達成することを示しました。

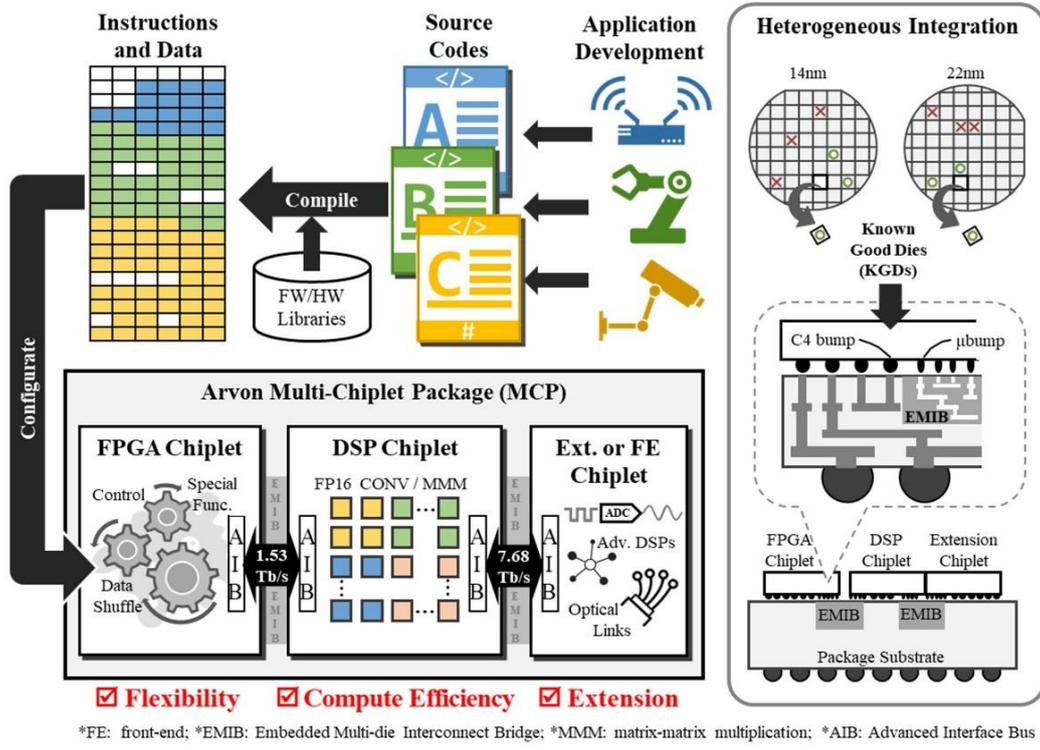


図の説明：人間の指先の触覚器を模擬した e-skin チップ. ロボットハンドの手のひらおよび指先に搭載される

Digital Circuits

“Arvon: 14nm FPGA、2つの22nm 1.8TFLOPS/W DSP と 1.7Tbps/mm² AIB 2.0 インターフェイスを組み合わせたヘテロジニアス SiP” – ミシガン大学 (Paper C7-1)

ミシガン大学はインテル社と共同で、Embedded Multi-die Interconnect Bridges (EMIB)を通して、2つの22nm DSP チップレットと 14nm FPGA チップレットを統合する SiP を報告します。チップレットは Advanced Interface Bus (AIB)1.0 インタフェースと AIB 2.0 インタフェースを介して通信します。36μm pitch マイクロバンプを用いて初めての AIB 2.0 I/O プロトタイプを実証し、0.10pJ/b (アダプタを含む 0.46pJ/b)で 4Gbps/pin を達成しました。この SiP はプログラマブルで、ニューラルネットワークから通信処理までのワークロードをサポートし、4.14TFLOPS (FP16、半精度浮動小数点)のピークパフォーマンスを報告しています。パフォーマンスと利用率を最適化するため、FPGA と DSP を横断するワークロードをマッピングするコンパイラフローを提供します。

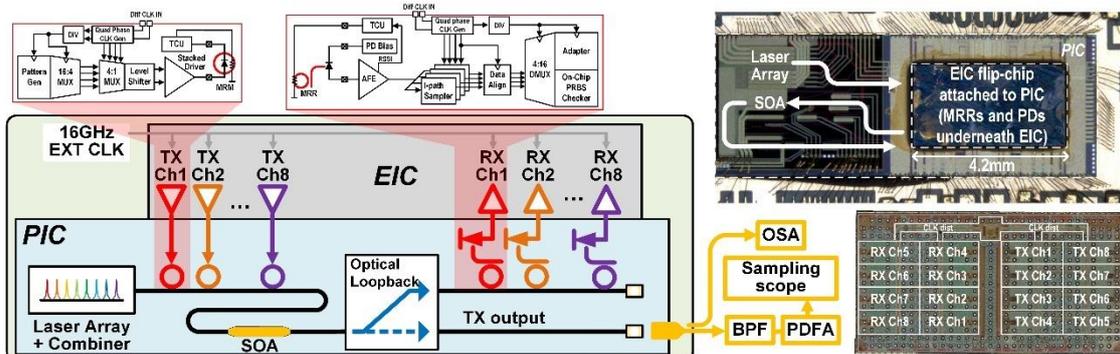


図の説明：柔軟なワークロードマッピングのために、FPGA、DSP、FE チップレットを搭載したヘテロジニアス SiP

Wireline Receivers

“インパッケージ光 I/O に適した 256Gpbs 異種材料集積シリコンフォトニックマイクロリングベース高密度波長分割多重 (DWDM) 受信機” – インテル (Paper C6-2)

インテルは異種材料集積シリコンフォトニックマイクロリングベース高密度波長分割多重受信機を提案します。ディザベース熱制御ユニットが光デマルチプレクサ内のマイクロリング共振器をレーザー格子に対してサブピコメートルの分解能で調整します。送受信機はシリコン光 IC 上に 28nm CMOS の電子 IC として積層実装されています。等しい 200GHz 間隔の 8 波長を利用することで、データレート 256Gbps で BER<1e-12、光パワー3.6dBm、エネルギー効率 3.8pJ/b を達成しています。

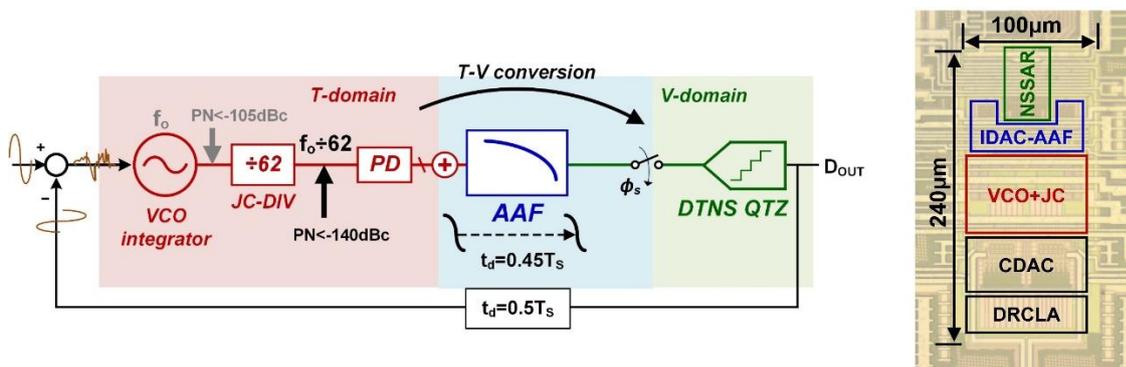


図の説明：電子 IC と光 IC を用いた異種材料集積高密度波長分割多重 (DWDM) 送受信機の詳細。組み立てた送受信機と電子 IC の写真

Analog to Digital Converters

“0.024mm² で SNDR 84.2dB, 帯域 1MHz を実現する, ノイズシェイピング型 SAR 量子化器を用いた 3 次 VCO ベース連続時間型 $\Delta \Sigma$ 変調器” – ミシガン大学 (Paper C4-2)

ミシガン大学はノイズシェイピング型 SAR 量子化器を用いた VCO ベースの連続時間型 $\Delta \Sigma$ 変調器を提案します。アンチエイリアシングフィルタを介することで VCO 型初段から出力される時間領域情報を直接電圧領域の情報としてノイズシェイピング型 SAR 量子化器でサンプルすることを可能としています。28nm CMOS によるプロトタイプはサンプリング速度 100MS/s、消費電力 1.62mW で動作し、1MHz の帯域において SNDR 84.2dB、ダイナミックレンジ 86.8dB を達成しています。

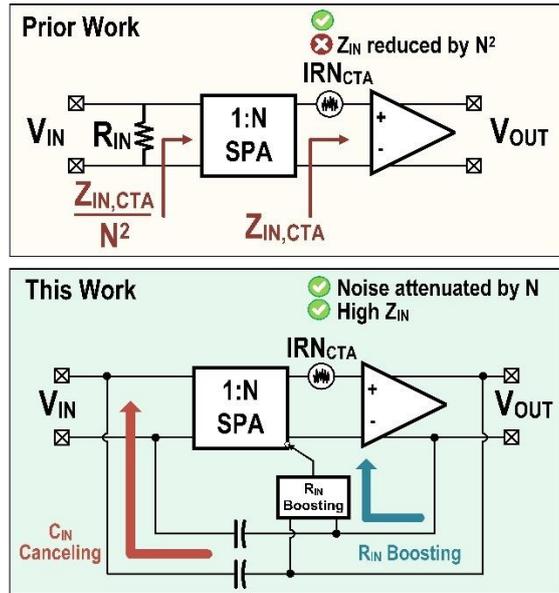


図の説明：VCO フロントエンド部とノイズシェイピング型 SAR 量子化器を接続するアンチエイリアシングフィルタを用いた新規ハイブリッド ADC アーキテクチャとその 28nm CMOS プロトタイプの写真

Analog Techniques

“0.34 ノイズ効率係数と 389M Ω 入力インピーダンスを実現した高エネルギー効率なインピーダンスブースト型離散時間増幅器” – スイス連邦工科大学チューリッヒ校 (Paper C19-2)

スイス連邦工科大学チューリッヒ校の研究グループは低電力センサシステム向けにノイズ効率の良いアナログフロントエンドを報告します。提案するアナログフロントエンドは、入力抵抗ブースト回路と容量性正帰還回路を用いて入力インピーダンスを 389M Ω まで引き上げた、直列並列変換器ベースの低ノイズアンプを採用しています。このインピーダンスブースト技術により、先行研究と比べて入力インピーダンスを 39 倍も改善しました。このアナログフロントエンドは、わずか 370nW の低電力でありながら、これまで報告された研究の中で最も低いノイズ効率係数 0.34 と電力効率係数 0.1 をそれぞれ達成しました。

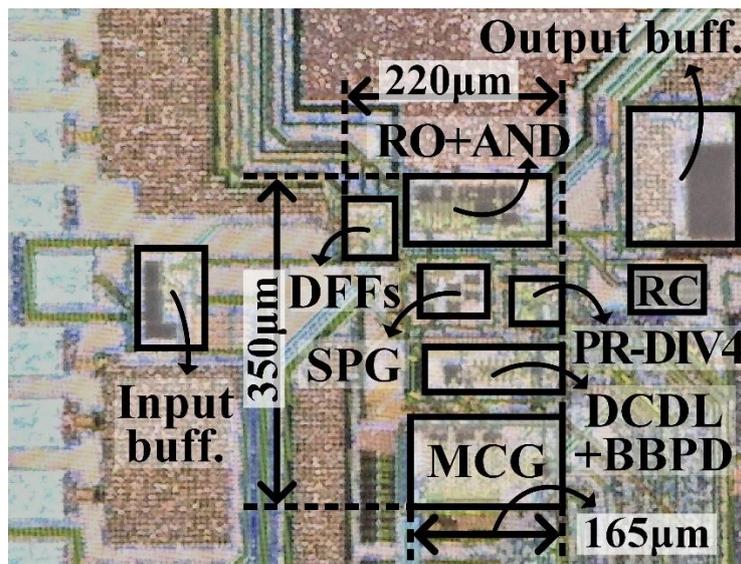


図の説明：入力インピーダンスをブーストしたアナログフロントエンド及び先行研究との比較

Frequency Generator

“低ジッタ 12.24GHz 出力クロック逡倍回路” – 韓国科学技術院 (Paper C26-5)

韓国科学技術院(KAIST)は、低ジッタかつ 12.24GHz の出力が可能なクロック逡倍回路を発表します。リングオシレータ型の発振器を用いることで 0.066mm²の省面積化を達成しています。リングオシレータ型は周波数を上げにくい欠点がありましたが、提案するゲーティング技術により出力クロックの高周波数化を実現しています。また、内蔵する校正回路により、クロック起因のスプリアスを-60dBcまで低減することに成功しています。



図の説明：低ジッタかつ 12.24GHz 出力が可能な省面積クロック逡倍回路