



2023 年 VLSI 技術及電路研討會技術亮點

頂尖的國際會議“2023 年 VLSI 技術及電路研討會”預計於 2023 年 6 月 11 日至 16 日舉辦。這場國際會議記錄微/奈米積體電子的發展速度、進度和演進。研討會將在日本京都的麗嘉皇家酒店 (Rihga Royal Hotel) 現場舉辦，讓參與者有機會當面交流。

這次研討會以「重啟技術及電路，迎向永續發展的未來」為核心主題，活動日程之中整合先進技術發展、創新電路設計及各種應用，協助全球社會轉型為智慧連網裝置、基礎架構及系統的新紀元，改變人類彼此互動的方式。

下列是以此為主題的一些精彩論文介紹：

聯合技術及電路焦點

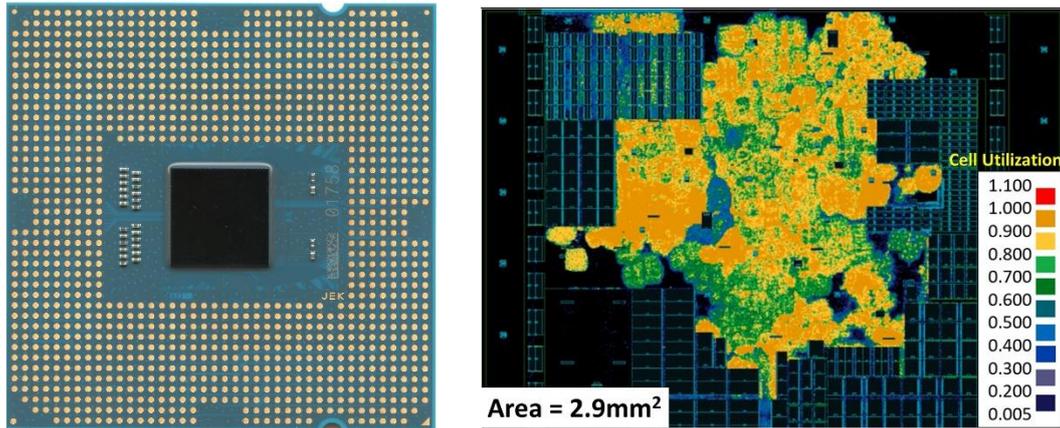
以下是一些精彩的聯合論文，帶動技術及電路領域的共同進步：

處理器

「採用 PowerVia (背面供電) 技術的 Intel 4 的 E-Core 實作」 – Intel Corp. (論文 T1-1)

Intel 提出一項名為 PowerVia 技術*的高效益背面供電技術，及該技術運用在 Intel E-Core 中的實作。此技術是一項延伸摩爾定律微縮的創新發明，可讓核心的大面積區域實現 90% 以上的標準單元使用率，同時靠著 IR 壓降的降低，使矽發揮超過 5% 的頻率優勢。成功地矽後調試下，呈現稍高但尚可接受的產出時間。PowerVia 測試晶片的熱特性與依照邏輯微縮所應展現的較高功率密度行為一致。

* PowerVia 技術在座談會 T6-1 中展示。

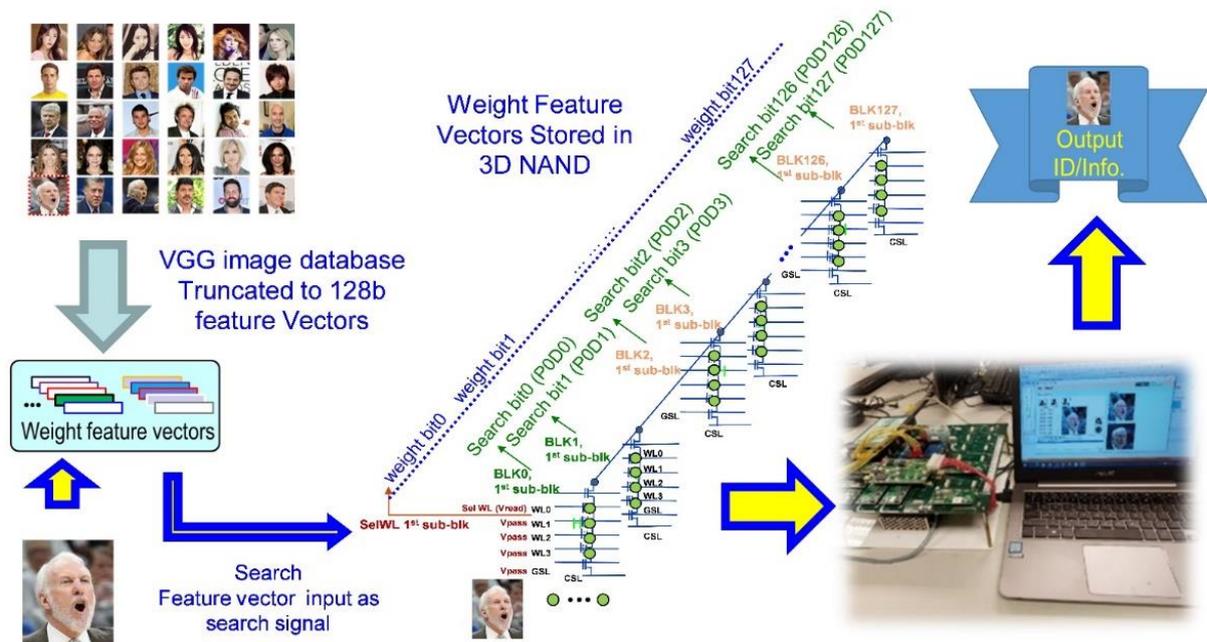


圖：(左) 採用 PowerVia 的 Intel 4 晶片照片。(右) 單元密度圖。

用於機器學習的裝置和加速器

「用於三元內容可尋址記憶體 (TCAM) 和漢明距離鄰近搜尋的高密度 (43Gb) 與高搜尋頻寬 (300Gb/s) 3D NAND 記憶體內搜尋加速器的晶片展示」 – *Macronix International Co., Ltd. (論文 T15-1)*

Macronix 展示 96 層 3D NAND 產品的高密度 (43Gb) 記憶體內搜尋晶片。創新的 String-Select Line 設計可達到 300Gb/s 的搜尋頻寬，且測量功率低於 400mW，並可同時加速確切 TCAM 和接近漢明距離的搜尋。



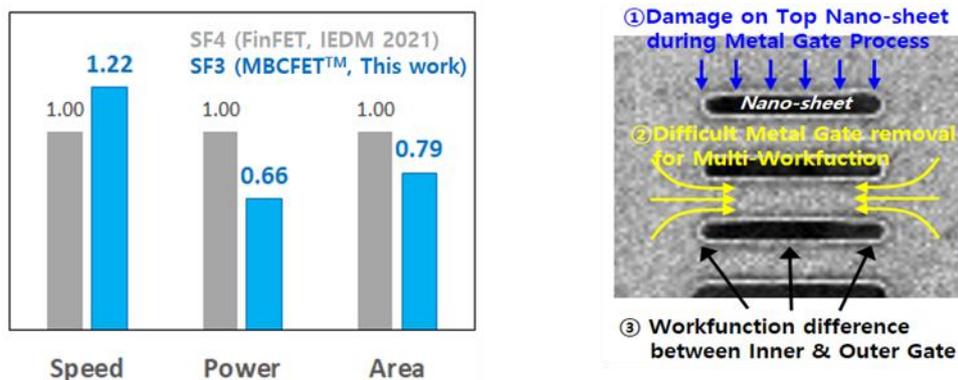
圖：IMS 作業的處理流程。他們使用公共人臉辨識 (VGGFace2 資料庫) 進行展示。擷取出特徵向量 (在本例中為 128b) 並儲存在晶片中。在查詢資料時，將搜尋資料輸入晶片，晶片便能直接計算出哪個 BL 地址與結果相符。

技術焦點

先進 CMOS 技術

「全球首創採用新型多橋通道 FET (MBCFET) 製程的 GAA 3nm 代工平台技術 (SF3)」
– Samsung Electronics Co. Ltd. (論文 T1-2)

本文提出眾所期待從 FinFET 進展到環繞式閘極結構(GAA) 電晶體架構的技術細節。Samsung 展示了全球首創的 GAA 3nm 代工平台技術 SF3，與 4nm FinFET 平台相比，其速度改善 22%，功率改進 34%，邏輯面積減少 0.79 倍。SF3 技術為業界首款量產型 GAA (SF3E) 的升級版。透過多橋通道 FET (MBCFET™) 獨特的製程設計，SF3 提供多種奈米片寬度，在固定標準單元高度下具有同級的效能，可大幅強化 FinFET 平台的晶片級功率效能矩陣。

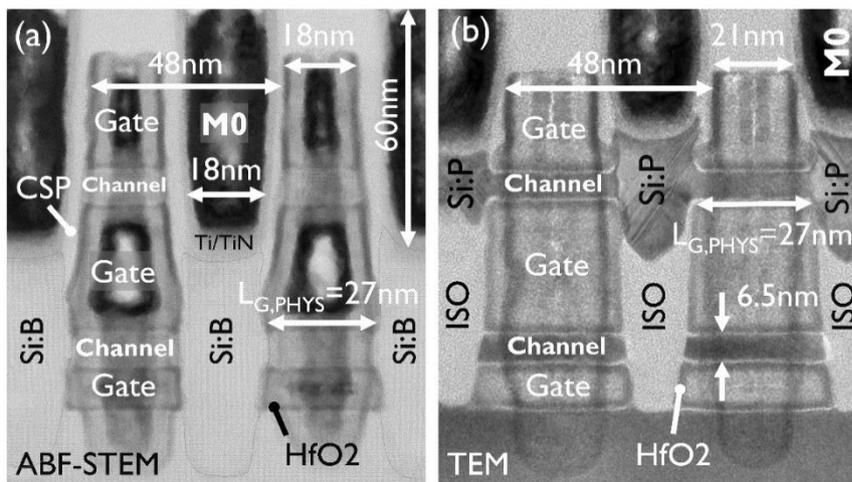


圖：(左) 先前的 4nm FinFET (SF4) 和全球首創的 3nm SF3 GAA (MBCFET™) 之間的效能/功率/面積 (PPA) 比較。(右) MBCFET™ 的橫截面，重點顯示其獨特的製程最佳化。

先進 CMOS 技術

「以奈米片為基礎的互補場效電晶體 (CFET)，閘極間距為 48nm，在中間電介質隔離下實現 CFET 內間隔材料形成和多 V_t 圖案化」 – imec (論文 T1-3)

imec 的研究人員提出了矽奈米片單片互補場效電晶體 (CFET)，其閘極相關閘極間距為 48nm，在底部或頂部元件形成源極/漏極 (SD) 和 SD 接觸點。他們成功展示了 30nm 垂直 N-P 空間的 SD 磊晶製程和高長寬比 SD 接觸點的形成。單片 CFET 的 NFET 次臨限值擺幅為 70mV/dec.，PFET 次臨限擺幅為 75mV/dec.。導入透過 SiGe 替代製程形成的中間電介質隔離 (MDI)，以促進單片 CFET 內部間隔材料形成和多 V_T 圖案化。

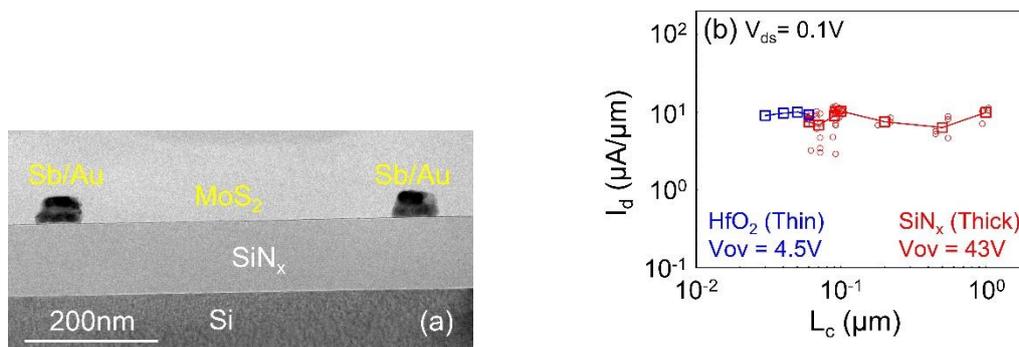


圖：(a) 底部 pFET 和 (b) 頂部 nFET 的橫截面影像。

先進製程和材料

「單層 2D 通道電晶體中具有低接觸電阻的微縮觸點長度」 – Taiwan Semiconductor Manufacturing Company、國立陽明交通大學、南京大學、國立成功大學(論文 T1-4)

由 TSMC 主導的研究合作，展示在 Sb-MoS₂ 系統中可觸點長度微縮時仍可具有低接觸電阻的可能性。對於使用二維過渡金屬二硫化物 (2D TMD) 實現極度微縮的邏輯電晶體是很關鍵的技術推進。2D TMD 有望實現極度微縮的邏輯電晶體，而這種極端的微縮也需要微縮接觸點長度。TCAD 模型已經由實驗資料通過驗證，可在接觸點長度低至 15 nm 時透過外插方式推斷出 250 W-mm 的良好窄間隙 R_c。



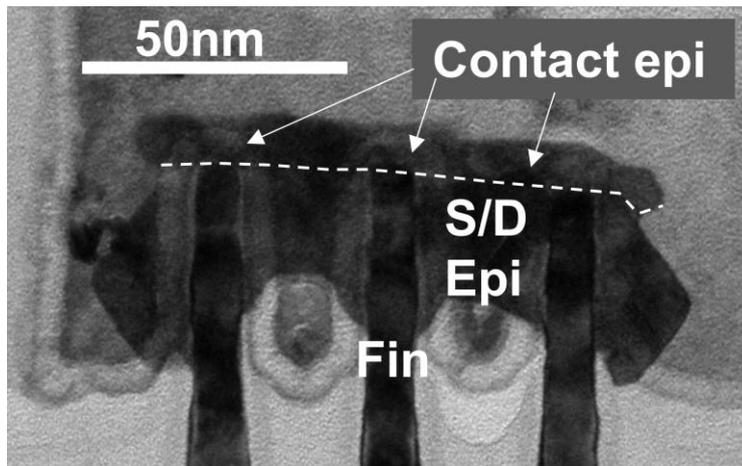
圖：觸點 (a) 的透射電子顯微鏡 (TEM) 影像和寬 L_c 範圍內的導通電流密度。

先進製程和材料

「用於非平面 FET 中不到 10⁹ ohms.cm² 接觸電阻的接觸腔成形和選擇性 SiGe:B 低溫磊晶製程解決方案」 – Applied Materials、IBM 半導體技術研究(論文 T1-5)

Applied Materials 和 IBM 合作開發了一種接觸腔成形製程，可實現 2x10²¹ atoms/cm³ 的活性硼摻雜量。同步最佳化了 300 mm 晶圓上接觸模組中的反應離子蝕刻 (RIE) 和選擇性高摻雜

SiGe:B 磊晶製程。結果顯示創紀錄的低電晶體接觸電阻 11 ohm.mm.。實現 44% 的元件有效導通電流效能增益，和 19% 的先端電晶體。

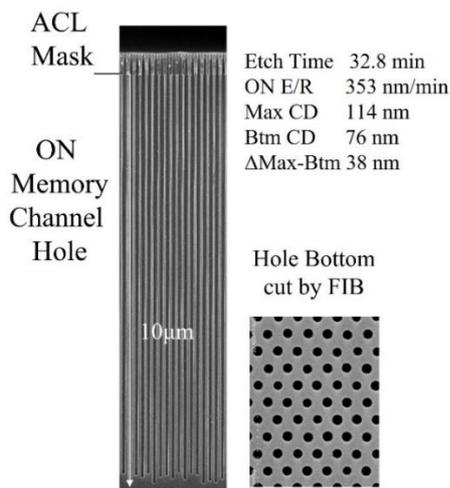


圖：FinFET 裝置沿觸點溝槽的 TEM 橫截面，顯示觸點外延層的連續生長。

先進製程和材料

超過 10um 深度的超高速蝕刻製程，用於 400 層以上的 3D NAND 快閃記憶體的記憶體通道孔，碳足跡降低 84%。- Tokyo Electron Miyagi Ltd. (論文 T3-2)

Tokyo Electron Miyagi 的作者群使用低溫 and 新型無碳化學為 3D NAND 快閃記憶體裝置開發了一種用於高長寬比孔圖案化的新型蝕刻製程。此技術展現出 10mm 的蝕刻深度能力和相當短的處理時間 (33 分鐘)，溫室氣體碳足跡減少 84%。展現了出色的蝕刻輪廓。

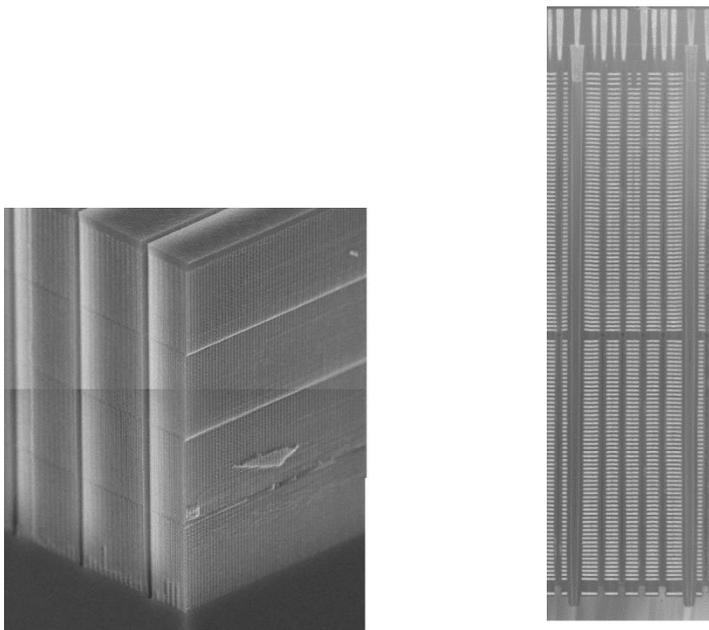


圖：使用新型化學低溫製程蝕刻後，ON 記憶體通道孔圖案的橫截面 SEM。

記憶體技術

「用於超高 (> 300 層) 3D 快閃記憶體中垂直矽通道的高度可擴展金屬誘導橫向結晶 (MILC) 技術」 – *Kioxia Corporation*、*Western Digital Corporation* (論文 T7-1)

Kioxia 和 Western Digital 展示了金屬誘導橫向結晶 (MILC) 技術，用於製造超高 300 層以上的 3D 快閃記憶體。垂直記憶體孔中 14 μm 長的通心粉矽 (Si) 通道透過 MILC 完全晶體化。透過使用新開發的鎳吸雜技術，112 字線的分層 3D 快閃記憶體顯示出超過 40% 的讀取雜訊降低和 10 倍的通道電導，且不會降低單元可靠性。



(a)

(b)

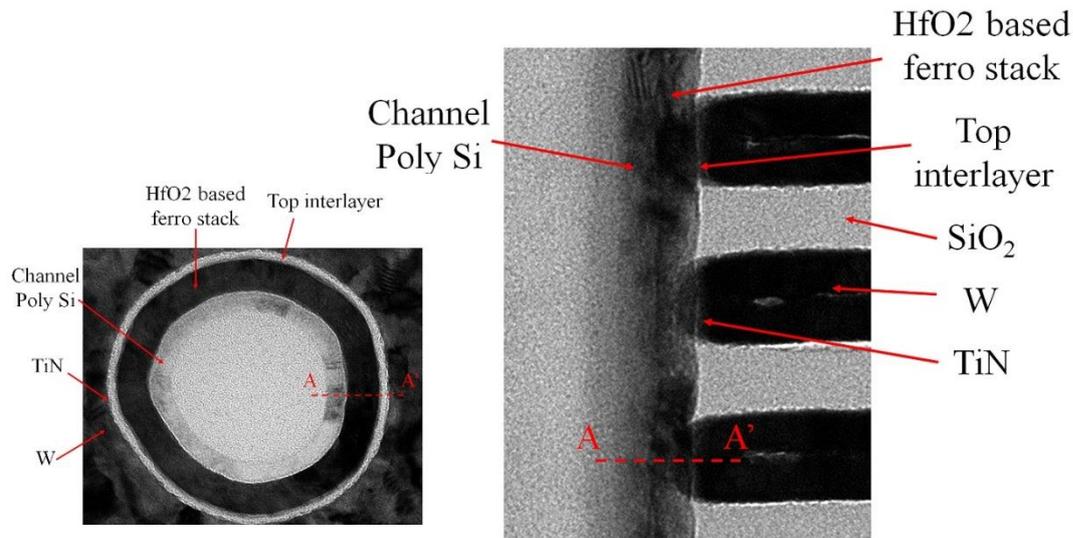
圖：(a) 超過 300WL 和 (b) 112WL 的 3D 快閃記憶體的 TEM 影像

記憶體技術

「使用單元堆疊工程透過記憶體窗口擴展實現 QLC 可編程 3D 鐵電 NAND 快閃記憶體」 – *SK Hynix Inc.* (論文 T7-2)

SK Hynix 首次在量產中使用 3D 電荷陷阱氮化物 (CTN) NAND 測試載體展示 3D 鐵電 NAND (Fe-NAND) 四層單元 (QLC) 作業。他們將單元堆疊結構最佳化，進而改善了記憶體窗口 (MW)。

經過最佳化的頂部夾層，實現了四層單元 (QLC)，最小 V_{th} 間隙裕度為 0.24V。QLC 可編程 3D 鐵電 NAND 快閃記憶體可擴展最高 10.5V 的 PE 窗口。

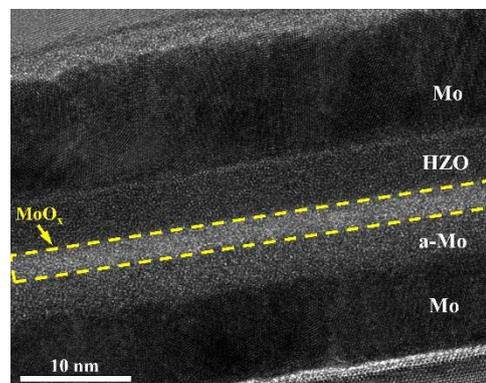
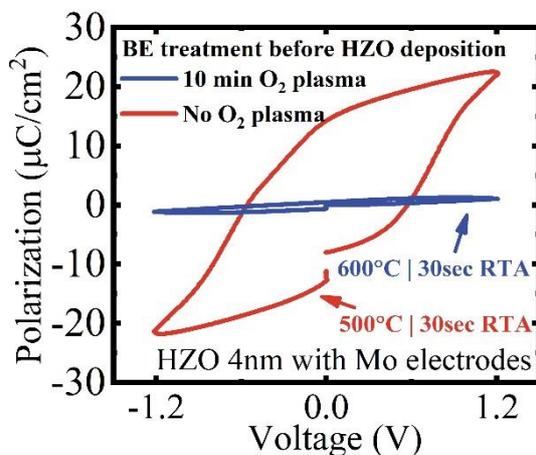


圖：製造的 3D Fe-NAND (a) 平面圖，和 (b) 橫截面 TEM 影像。

先進製程和材料

「首次觀察到帶鉬電極的奈米級高效能鐵電 HZO 電容器中的超高極化 ($\sim 108 \text{ mC/cm}^2$)」
 – 史丹佛大學、Western Digital、內布拉斯加大學林肯分校、密蘇里大學、SLAC 國家加速器實驗室 (論文 T7-3)

史丹佛大學領導的一項合作，展示具有 Mo 電極 /4nm 厚度及尺寸不足 100nm 的 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ (HZO) 電容器的出色鐵電性和耐久性。他們展現了 (1) 400°C 的低結晶溫度，(2) 1.2V 的低工作電壓和超過 10^{10} 次的耐久循環，(3) 透過加入 CeO_2 應力源減少喚醒效應和延遲疲勞，(4) 經由精心設計的測量系統測量到非常大的 $108 \mu\text{C/cm}^2$ 鐵電性。本文說明整個材料/製程工程的重要性，以及 HfO_2 型鐵電電容器特性改善的進一步潛力。

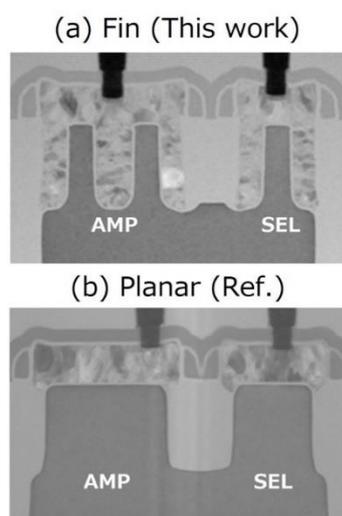


圖：(左) 具有 TiN 和 Mo 電極的 HZO 電容器在不同退火條件下的鐵電 P-V 曲線，(右) 製造的 100nm 以下尺寸鐵電電容器自上而下的影像。

影像感測器技術

「使用非摻雜像素 FinFET 的 2 層電晶體像素堆疊 CMOS 影像感測器的雜訊效能改善」
– Sony Semiconductor Solutions、Sony Semiconductor Manufacturing Corporation (T7-4 論文)

Sony 首次提出採用 2 鳍非摻雜像素鳍 FET 的 2 層電晶體像素堆疊 CMOS 影像感測器。由於採用非摻雜通道和更寬的通道 FinFET 寬度，感測器的轉導改善 2.42 倍，隨機雜訊減少 15%，隨機電報訊號減少 99.3%。

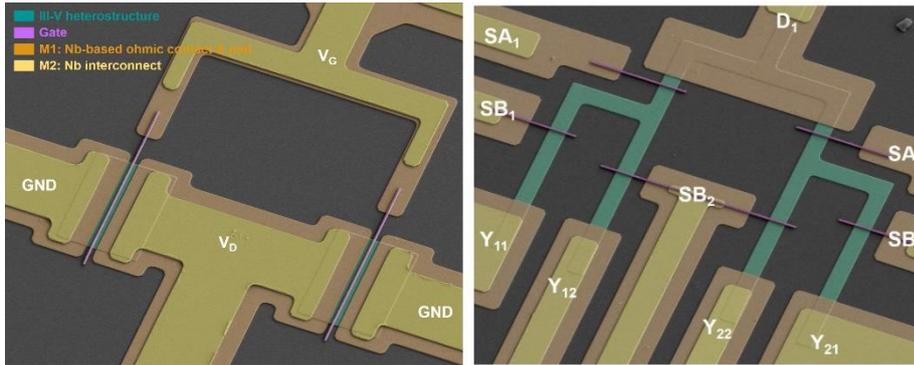


圖：(a) 像素 FinFET 和 (b) 2 層電晶體像素的平面 FET 的橫截面 TEM 影像。

超越 CMOS

「適用於大規模量子訊號處理採用具有 Nb 超導體的 3D 可堆疊 InGaAs HEMT 的低溫射頻電晶體和路由電路」 – KAIST、KBSI、KNU、KANC (論文 T7-5)

韓國科學技術院的研究人員與韓國基礎科學研究所、慶北國立大學和韓國先進奈米製造中心合作，提出採用 3D 可堆疊 InGaAs HEMT 的低溫射頻電晶體和與 Nb 超導體整合的路由電路。結果顯示在 4 K 時達到創紀錄的 601 GHz 單位增益截止頻率和 593 GHz 單位功率增益截止頻率，這是有史以來所提出低溫 RF 電晶體中的最低功耗。此外，運用具有 Nb 超導體和 III-V 異質結構混合互連的新型結構，路由電路展示與傳統結構相比功耗降低 41%。



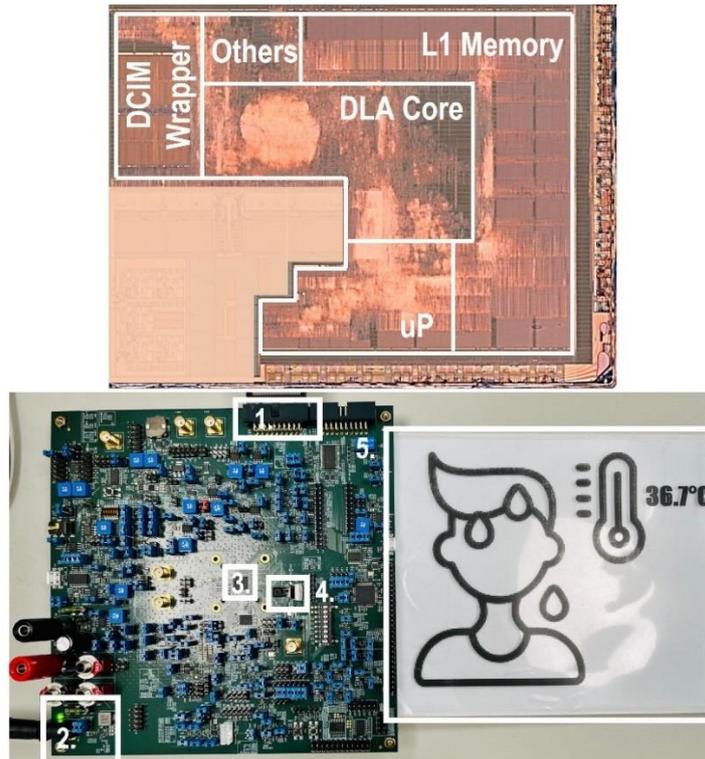
圖：採用 3D 堆疊 InGaAs HEMT 的 (a) 雙指低溫 RF 電晶體和 (b) 採用 III-V 異質結構局部互連和 Nb 超導體全域互連的低溫 1 到 4 路由電路的假色 SEM 影像。

電路焦點

處理器

「用於端對端永久開啟視覺的 12-nm 0.62-1.61 mW 超低功耗數位 CIM 深度學習系統」
 – MediaTek Inc (論文 C3-4)

MediaTek 的研究人員提出了一種數位記憶體運算 (DCIM) 技術，可用於實現超低功耗的深度學習系統，建立端對端的永久開啟視覺功能。作者群展示了 SoC 原型，由採用 DCIM 的深度學習加速器 (DCIM-DLA)、RISC-V 微處理器，和用於晶片外影像感測器連接的介面組成。DCIM 支援混合精度運算，可平衡功耗和所需精度。原型提供 51.2 GOPS 的峰值效能。此外，其在 MobileNet-V1 上達到 57 TOPS/W 的能源效率和 85.7% 的人體偵測混合精度。無影像感測器的端對端系統在 2 fps 和 15 fps 時的功率分別為 0.62 和 1.61 mW。



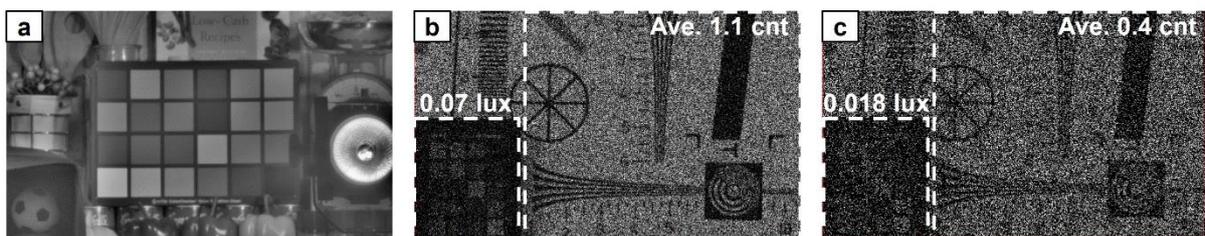
1.JTAG connection between host PC and debug access interface
 2.Power supply 1.Image sensor,
 3.Main 12nm test chip 2.LED panel to show the result of detection

圖：圖中為 SoC 原型，由採用 DCIM 的深度學習加速器 (DCIM-DLA)、RISC-V 微處理器，和用於晶片外影像感測器連接的介面組成。無影像感測器的端對端系統在 2 fps 和 15 fps 時的功率分別為 0.62 和 1.61 mW。

成像技術

「使用具有中間最高有效位元讀出的叢集多週期時脈充電技術，3.36 mm 間距的 SPAD 光子計數影像感測器」 – Sony Semiconductor Solutions Corp. (論文 C15-2)

使用 SPAD 像素的影像感測器，透過擷取單一光子並直接計算其反應數來產生影像，預期即使在極暗的情況下也能擷取影像。另一方面，計算光子進入 SPAD 像素的反應數，會提高明亮場景下的電路尺寸和功耗。本文透過週期性控制 SPAD 像素的重置，來抑制明亮場景下 SPAD 像素的反應，從而降低功耗。像素尺寸也透過將像素內計數器位元減少到 8 位元而縮小，因為較高的位數是透過計算像素內計數器最高有效位數 (MSB) 的變化次數來計算。22nm 節點實現了全球首創的 3.36mm² 的像素尺寸。

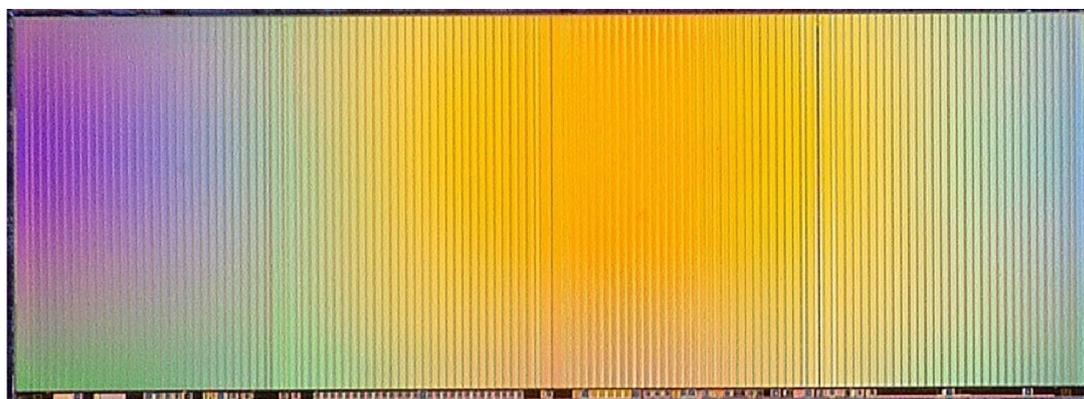


圖：SPAD 像素能擷取極暗的場景，同時仍然允許擷取零飽和度的明亮場景。

3D 快閃記憶體

「具有 3.2Gbps 介面和 205MB/s 程式處理量的超過 17Gb/mm² 位元密度的 1Tb 3b/Cell 3D 快閃記憶體」 – KIOXIA Corp. (論文 C2-1)

Kioxia 提出超過 210 字線層的 1Tb 3b/cell 3D 快閃記憶體，其密度超過 17Gb/mm² 位元。實體的 8 平面架構，實現了 40ms 的低讀取延遲和 205MB/s 的高程式處理量。3.2Gbps 的高介面速度，是透過將 X 方向的 DQ 面積減少到 41% 來實現。混合行地址解碼器 (X-DEC) 可處理新架構導致的佈線擁塞問題，將讀取延遲的降低降到最低。一脈衝二頻閃技術可減少 18% 的感測時間，有助於實現 205MB/s 的程式處理量。

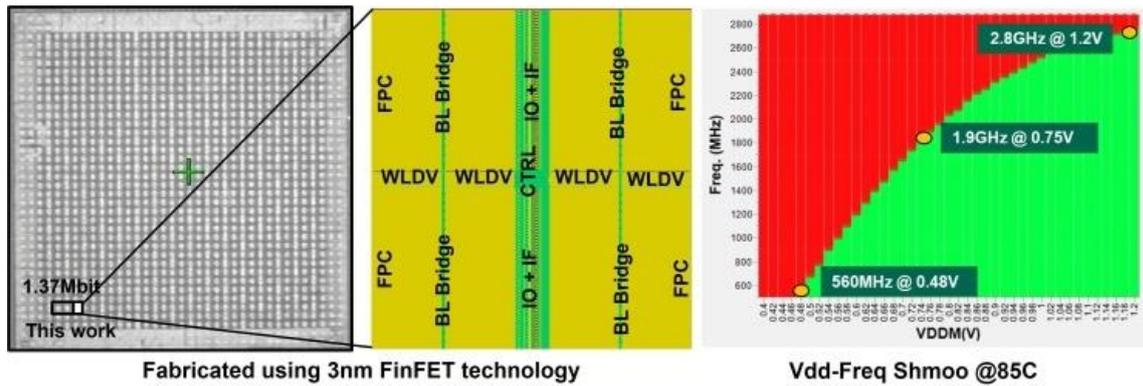


圖：1Tb 3D 快閃記憶體的晶片顯微照片。

SRAM 記憶體

「3-nm 27.6-Mbit/mm² 自定時 SRAM，支援 0.48 - 1.2 V 寬作業範圍，具有遠端預充電和弱位元追蹤」 – TSMC Design Technology Japan (論文 C9-5)

TSMC 推出採用 3nm Fin-FET 技術的高能效快取 SRAM。高效能運算系統對於電源效率有很高的要求。為了提高電源效率，DVFS 廣泛使用於最近的設計之中。在這類的 DVFS 系統中，非常需要晶片內建快取記憶體，以支援在高過驅動電壓下的高速作業，和在極低電壓下的省電作業。導入兩個新的 DTCO，一個是遠端位元線預充電電路，另一個是弱位元追蹤電路，支援精細的 DVFS 的寬電壓範圍。導入的 DTCO 提高了效能，足以應對 1) 佈線電阻的增加，和 2) 電晶體特性的電壓相關靈敏度的提高，這些都是尖端技術會遇到的挑戰。測試晶片採用 3nm Fin-FET 技術製造，展現出 27.6Mbit/mm² 的高密度，在 0.48V 至 1.2V 的寬電壓範圍內可達到 550MHz 至 2.8GHz 的作業頻率，達到先前所有提案中最佳的 FoM (= Density x Fmax/VDD)。

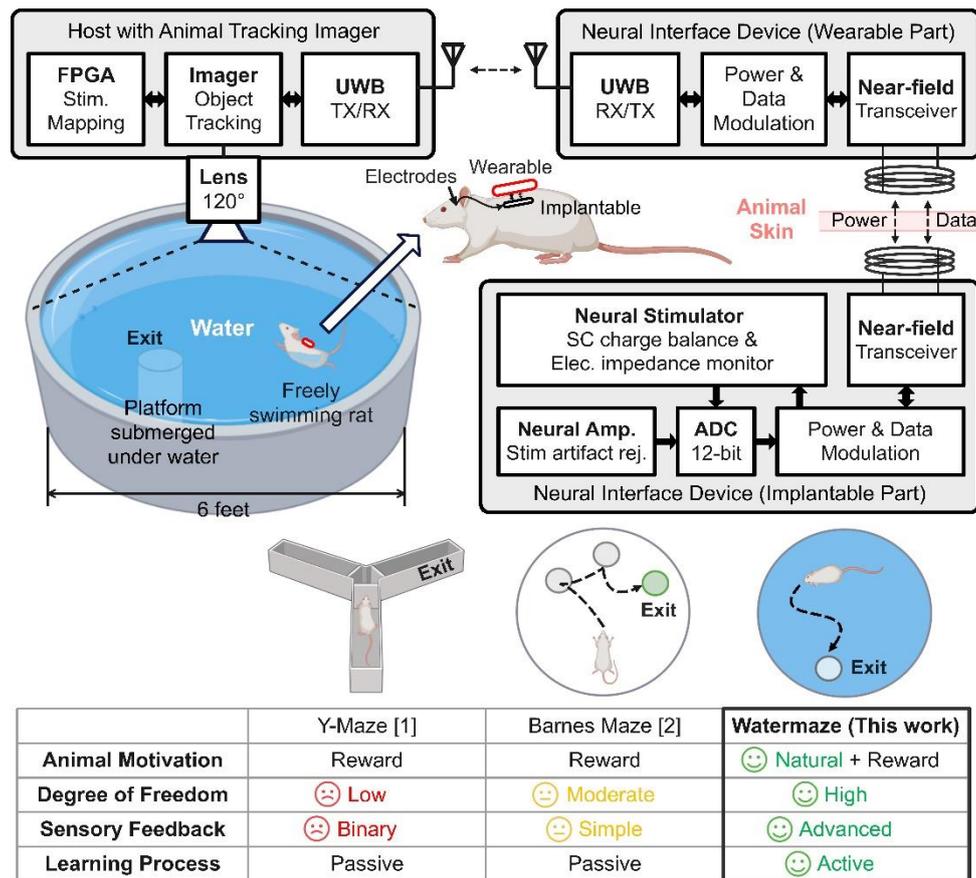


圖：製造的 3nm Fin-FET 測試晶片的晶片照片、434kbit SRAM 巨集的佈局圖，和測得的電壓-頻率 shmoo 圖。

神經介面

「透過目標導向的閉迴路神經調節來追蹤及引導動物行為的無線感測器大腦介面系統」
 – 多倫多大學(論文 C1-1)

多倫多大學提出了一種無線大腦刺激系統，能使用即時產生的大腦刺激，引導水迷宮中的嚙齒動物前往目標。系統配備以 FPGA 基礎的控制主機，內建 160 x 160 影像感測器、由完全植入和穿戴式零件組成的無線神經介面裝置。主機追蹤水迷宮內的一隻老鼠，並產生刺激模式來進行引導。作者成功地證明，老鼠可在大腦刺激的幫助下在水迷宮中抵達水下目標，且速度就跟能肉眼看到目標的對照實驗一樣快。

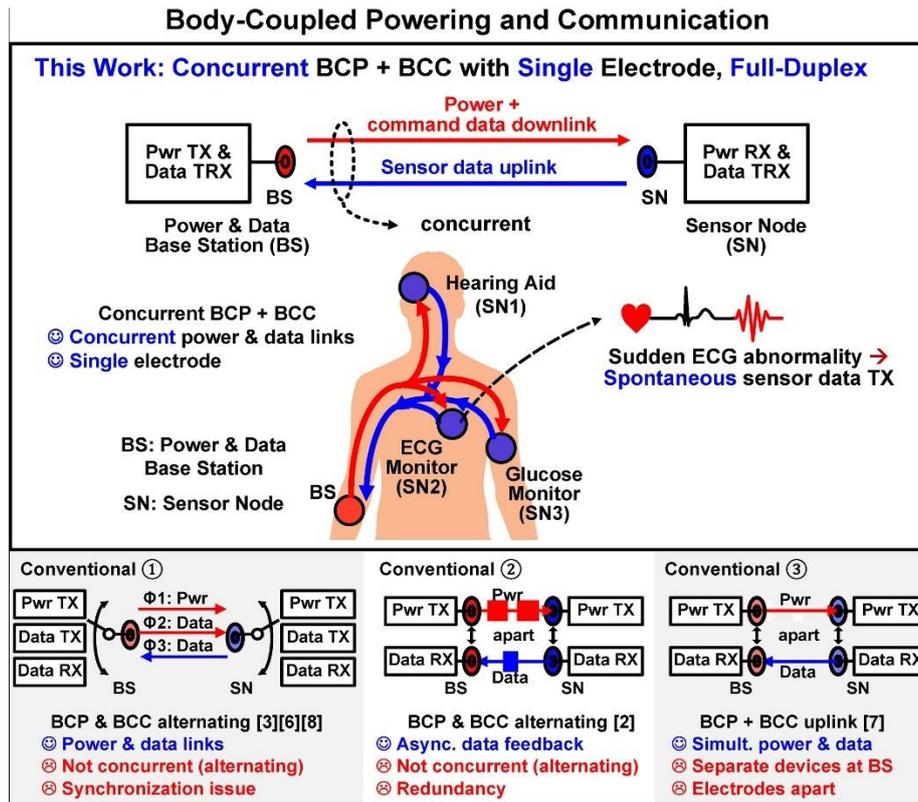


圖：感測器大腦介面系統方塊圖和使用水迷宮進行展示的有效性。

生物醫學電路

「使用單一電極並發身體耦合供電和通訊的無線體域網收發器 IC」 - 南方科技大學(論文 C8-1)

作者開發了一款 BAN 收發器 IC，使用單一電極為每個感測器節點提供電源和資料通訊，透過安裝在身體上的基地台和多個感測器節點持續監控醫療保健資訊。同時進行電力傳輸和通訊時，基地台電力傳輸電路的干擾會使接收電路飽和，因此，將實作抑制效能大於 40dB 的自干擾消除電路，以解決此問題。感測器節點電路將隔離電力/資料接收區段和資料傳輸區段的接地，以實現穩定的電力接收。

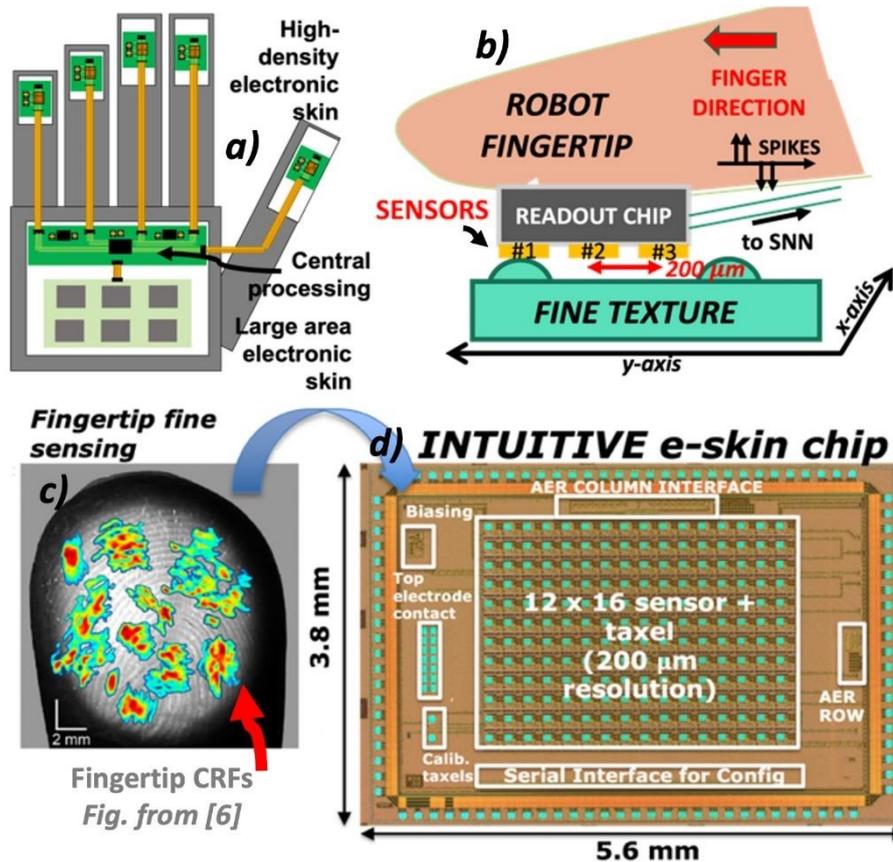


圖：使用單一電極透過人體同時進行電力傳輸和資料通訊的概念

生物醫學電路

「模仿指尖的 12×16 $200 \mu\text{m}$ 解析度電子皮膚紫杉醇讀出晶片，具備紫杉醇尖峰讀出和嵌入式感受現場處理能力」 - KU Leuven (論文 C8-2)

KU Leuven 提出一款採用 $0.18 \mu\text{m}$ CMOS 技術的電子皮膚 (e-skin) 紫杉醇讀出晶片，可達到據報最高的 $200 \mu\text{m}$ 空間解析度，與人類指尖相當。其關鍵創新之一，是將 12×16 的紫杉醇陣列與每個紫杉醇訊號調節前端和尖峰讀出器整合在晶片上，並透過複雜感受域 (CRF) 結合嵌入式神經形態一次處理。與現有的電子皮膚技術相比，此技術降低系統功耗約 100-7000 倍，降低單位功耗 5 個數量級以上，同時提高 5 倍的空間解析度，增加一倍的感測器數量。實驗結果表明，尖峰神經網路 (SNN) 為基礎的晶片對輸入觸覺刺激 (如紋理和顫動頻率) 的時空尖峰輸出分類，可分別達到 97.1% 和 99.2% 的分類準確度。

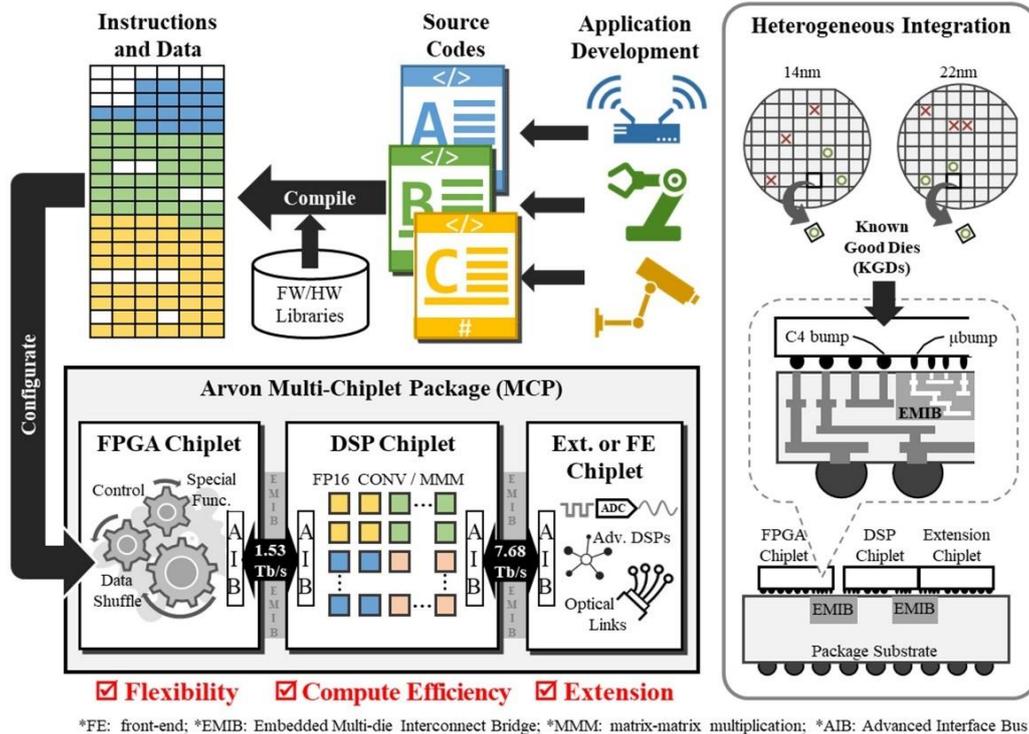


圖：模仿人類指尖觸覺的電子皮膚晶片。晶片安裝在機器臂的手掌和指尖上。

數位電路

「Arvon：一種異構 SiP，整合一個 14nm FPGA 和兩個 22nm 1.8TFLOPS/W DSP，具備 1.7Tbps/mm² AIB 2.0 介面，可提供多功能工作負載加速」－密西根大學(論文 C7-1)

密西根大學的研究人員與 Intel 合作，提出一種異構系統級封裝 (SiP)，透過嵌入式多晶片互連橋接器 (EMIB) 將一個 14nm FPGA 小晶片與兩個 22nm DSP 小晶片整合在一起。小晶片透過進階介面匯流排 (AIB) 1.0 介面和 AIB 2.0 介面進行通訊。這款 SiP 是首創使用 36μm 間距微凸塊的 AIB 2.0 I/O 原型，可在 0.10pJ/b (包含轉接器為 0.46pJ/b) 下達到 4Gbps/pin。SiP 可進行編程，支援從神經網路 (NN) 到通訊處理 (comm) 的工作負載，並提供 4.14TFLOPS (FP16，半精度浮點) 的峰值效能。同時還開發了一套編譯流程，來映射 FPGA 和 DSP 之間的工作負載，以達到最佳化的效能和使用率。

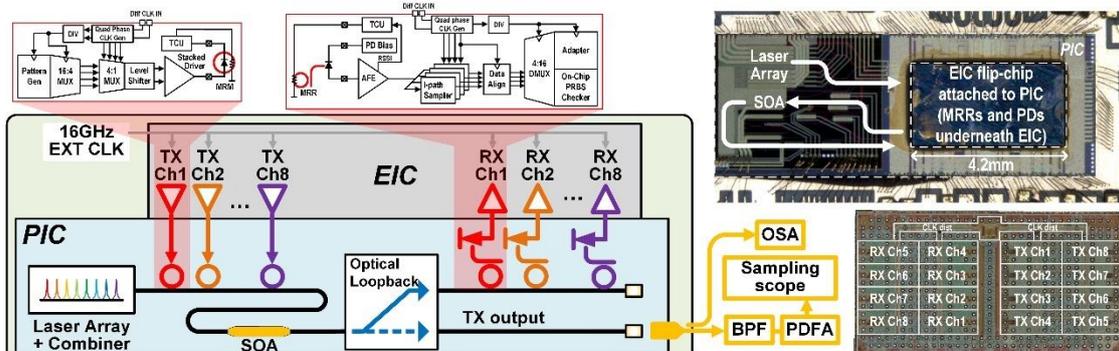


圖：Arvon SiP 異構整合 FPGA、DSP、FE 小晶片，用於彈性的工作負載映射。

有線接收器

「適用於封裝內光學 I/O 的 256 Gbps 異構整合矽光子微環型 DWDM 接收器」 – Intel Corp. (論文 C 6-2)

Intel 提出一款採用異構整合矽光子微環的密集波分複用 (DWDM) 接收器。以抖動為基礎的熱控制單元可調諧光學多路分配器中的微環形諧振器，與次 pm 解析度的雷射網格對齊。此收發器實作為 28nm CMOS 電子 IC，堆疊在矽光子 IC 上。裝置使用一致 200GHz 間隔的 8 個波長，在 256 Gbps、3.6 dBm 光功率、3.8 pJ / b 能量效率下達到 BER < 1e-12。

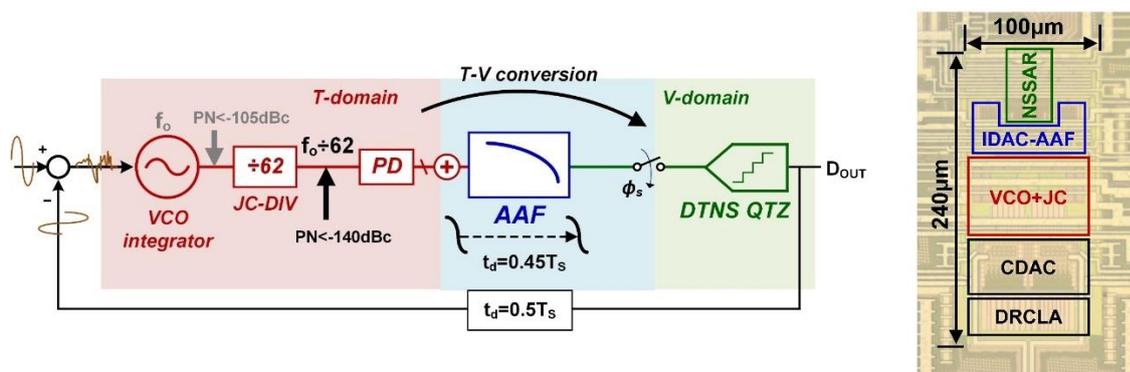


圖：異構整合密集波分複用 (DWDM) 收發器與電子 IC 和光子 IC 的細節。收發器組件和電子 IC 的照片。

類比轉數位轉換器

「具有 NS-SAR 量化器的 0.024mm^2 84.2dB-SNDR 1MHz-BW 三階 VCO 型 CTDSM (NSQ VCO CTDSM)」 – 密西根大學 (論文 C4-2)

密西根大學提出了一種新的混合 ADC 架構，使用 VCO 型的連續時間 Delta-Sigma 調變器 (DSM) 和雜訊整形 (NS) SAR 量化器。橋接 VCO 前端與 NS SAR 的抗混疊濾波器，可將時域資訊直接作為電壓域資訊進行採樣。28nm CMOS 原型可在 1MHz 頻寬內達到 84.2dB SNDR 和 86.8dB DR，且在 100MS/s 時的功耗為 1.62mW。

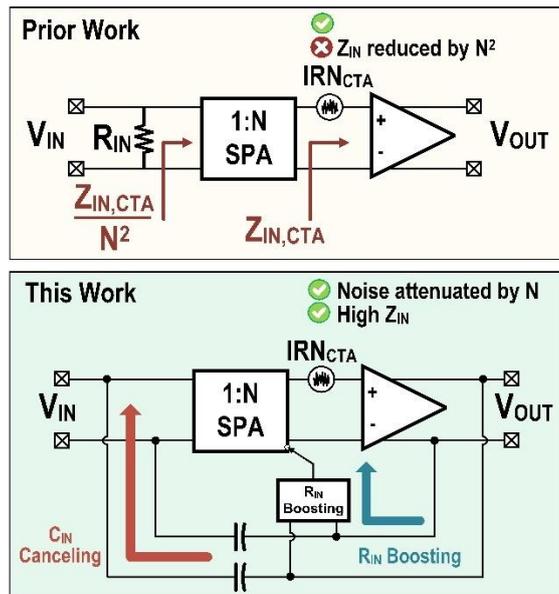


圖：帶有抗混疊濾波器的新型混合 ADC 架構，橋接 VCO 前端與 NS SAR，和 28nm CMOS 原型的晶片照片。

類比技術

「實現 0.34 雜訊效率係數和 389 MW 輸入阻抗的節能阻抗升壓離散時間放大器」 – 蘇黎世聯邦理工學院 (論文 C19-2)

蘇黎世聯邦理工學院的研究人員展示了一種用於低功耗感測器系統的降噪類比前端 (AFE)。提出的 AFE 採用以串並聯轉換器為基礎的低雜訊放大器，其輸入阻抗使用輸入電阻升壓迴路和電容性正反饋迴路升壓至 389MW。與先前的技術相比，此阻抗強化技術改善了 39 倍。AFE 達到了據報最低的雜訊效率係數和功率效率係數，分別為 0.34 和 0.1，同時耗電量達到 370nW。

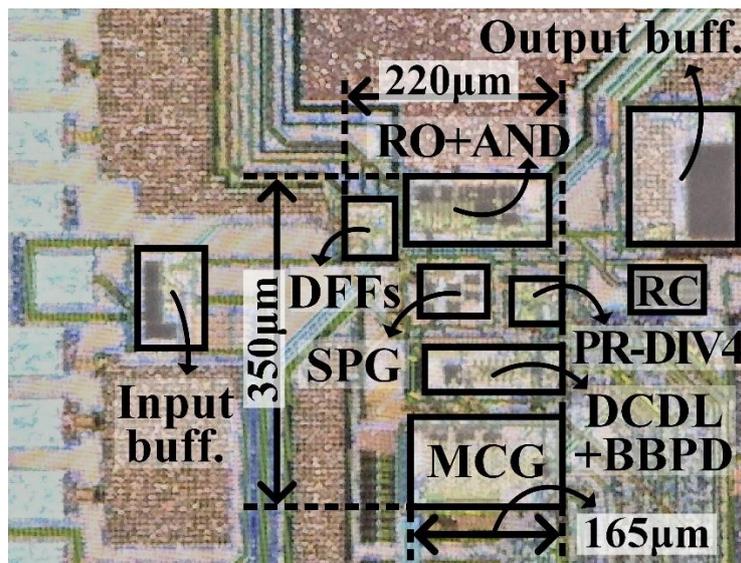


圖：輸入阻抗升壓的類比前端，以及與先前技術的比較。

頻率產生器

「使用功率閘控技術、102 倍頻係數、122fsrms 抖動和 -60dBc 參考雜散的 12.24GHz MDLL」 – 韓國科學技術院 (KAIST) (論文 C 26-5)

KAIST 提出一款具有低抖動和 12.24GHz 輸出的時脈倍頻器。此裝置採用環形振盪器型的倍增器，以節省配置面積，並達到 0.066mm^2 。使用傳統的環形振盪器型倍增器時，很難提高輸出頻率，但他們提出的閘控技術卻能實現更高的頻率輸出。此外，倍頻器內建校準電路，可將參考雜散降低至 -60 dBc。



圖：低抖動和 12.24GHz 輸出的輕巧型時脈倍頻器