



## 2024 年度 VLSI 技术与电路研讨会的技术要点

2024 年度 IEEE VLSI 技术与电路研讨会是报道微/纳米电子的发展节点、进展和演变的顶级国际会议，定于 2024 年 6 月 16 日至 20 日举行。该联合技术与电路研讨会将在夏威夷 Hilton Hawaiian Village 以线下方式举行，以提供交流的机会。

研讨会的总体主题“**以高效和智能连接数字与物理世界**”旨在将先进的工艺发展、创新的电路设计及其所能实现的应用整合在一起，努力促进全球社会向智能互联设备、节能基础设施和 AI 硬件系统所代表的新时代过渡，从而改变人类相互交流的方式。

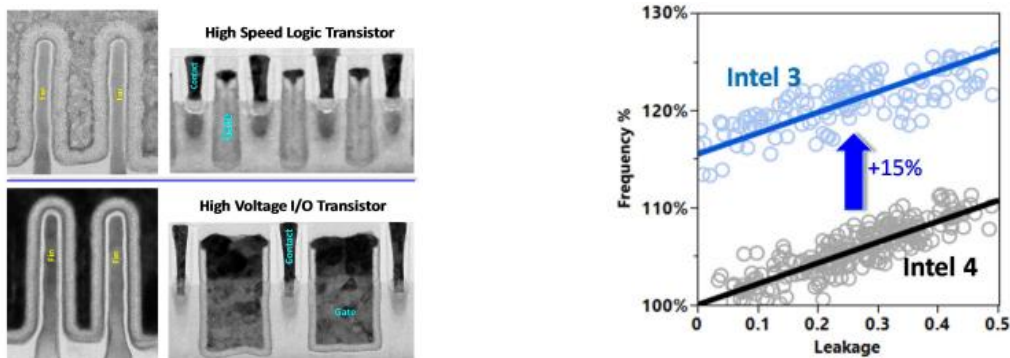
以下是针对此主题的一些重点论文。

### 技术亮点

#### 先进的 CMOS 技术

“用于高性能计算和 SOC 产品应用的 Intel 3 先进 FinFET 平台技术”——英特尔公司（重点会议-论文 T1.1）

本论文介绍了经过充分优化的 Intel 3 FinFET 技术，与 Intel 4 相比，在逻辑缩放、性能和可靠性方面实现了 10% 的提升。通过晶体管增强、互连优化和设计协同优化，与 Intel 4 相比，在同等功耗下的性能提升了高达 18%。Intel 3 还支持 210nm 高密度标准单元、1.2V 有源 I/O 晶体管、深 N 阱隔离和长沟道模拟器件，以提供全方位的技术设计能力。

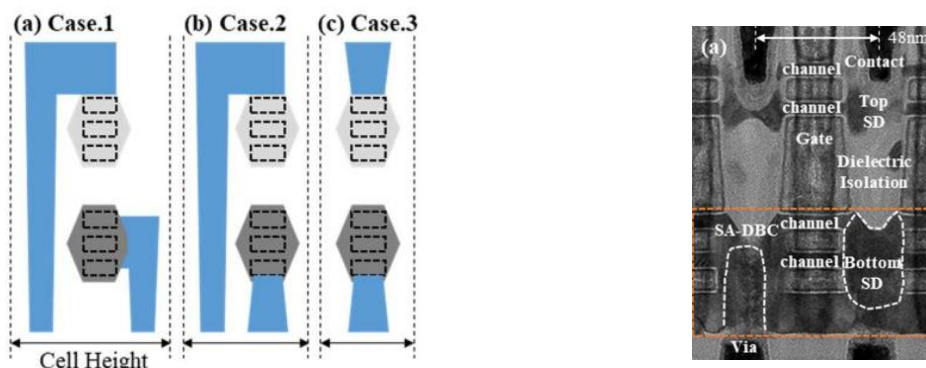


图：（左）逻辑和 1.2V I/O 晶体管的鳍/栅极 TEM 横截面（分别为顶部/底部）。（右）与 Intel 4 相比，在同等泄漏电流下的频率提升了 15%。

#### 先进的 CMOS 技术

“用于 48nm 栅极间距 3D 堆叠 FET 的高度可制造的自对准直接背面接触(SA-DBC)和背面栅极接触(BGC)”——三星电子（重点会议-论文 T1.2）

在这项研究中，三星电子演示了 48nm 栅极间距内具有自对准直接背面接触和背面栅极接触的 3D 堆叠 FET (3DSFET)，这是迄今为止最小的尺寸，也是全世界首次演示。除了先前的工作外，还验证了在采用垂直公共接触的公共栅极和 N/P 连接中，可以同时对其 nFET 和 pFET 进行阈值电压( $V_T$ )调整。因此，三星电子认为，用于 3DSFET 最终单元高度缩放的大多数关键组件已得到验证，可以继续推动逻辑技术缩放至超越 1nm 节点。

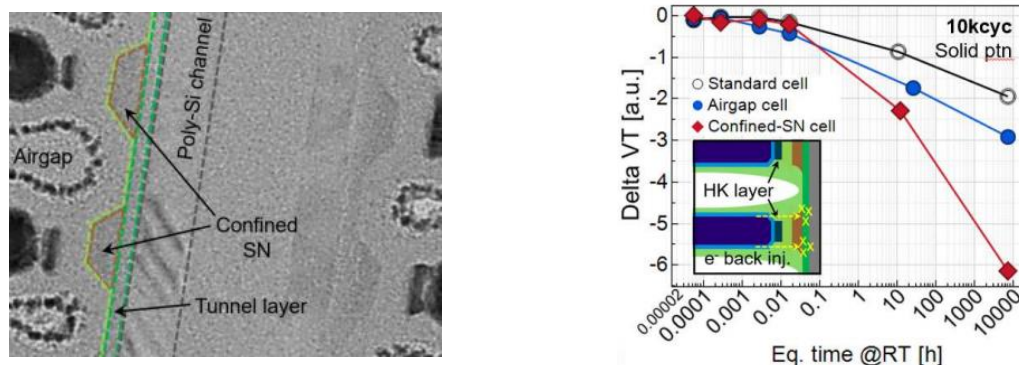


图：（左）本论文讨论了 3DSFET 上前端接触和 SA-DBC 的各种组合。（右）共集成的 TOP-nFET 和 BOTTOM-pFET 的横截面 TEM 图像。

## 存储技术

“具有 WL 空气间隙的受限存储氮化物 3D-NAND 单元，可减少单元间干扰并提高编程性能”——Micron Technology Inc.（重点会议-论文 T1.3）

在这篇论文中，Micron 展示了采用创新工艺流程的受限存储氮化物(SN) 3D-NAND 单元，其中包括字线(WL)空气间隙的形成。空气间隙显著降低了 WL 寄生电容，从而提高编程时间性能。在测试存储器阵列上进行了完整的器件表征。作者的测量结果显示，这种方法大大减少了单元间干扰和横向电荷损失，这使得该单元成为在未来 3D-NAND 阵列中实现进一步分层节距缩放的主要推动因素。此外还通过 TCAD 建模解决了因俘获电荷限制而导致的编程-擦除窗口限制问题，表明可以通过改变存储氮化物薄膜厚度来恢复窗口，而不会对单元间性能产生负面影响。

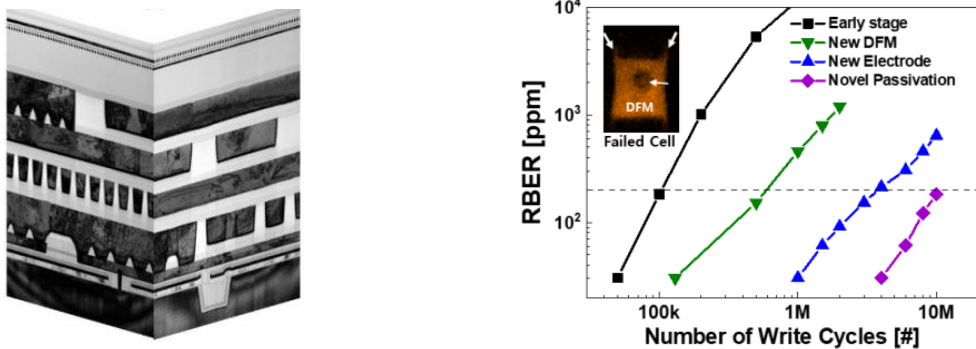


图：（左）具有空气间隙的受限存储氮化物单元 3D-NAND 阵列中单柱的 TEM x 截面。（右）10k 编程-擦除周期后，不同单元结构中的垂直电荷损失，显示了空气间隙单元的优越性。

## 存储技术

“首次演示用于新兴 CXL 存储器的全集成 16nm 半节距 SOM (纯选择器存储器)”——SK Hynix Inc. (重点会议-论文 T1.5)

SK 海力士进行了一项研究，以充分了解 SOM (纯选择器存储器) 的转变机制。通过这项研究，SK 海力士针对新兴 Compute Express Link™ (CXL) 存储器在首个全集成 16nm 半节距 SOM 中开展了 TCAD 仿真，并依托优化的内核电路设计与写入-读取方案，开发出先进的材料和工艺。SK 海力士实现了 750mV 的读取窗口容限，提供了产品级原始误码率和可靠性数据，包括漂移相关持久性、读取干扰、高温数据保持 (在 125°C 环境下可保持超过 10 年的稳定性) 以及 200ppm 原始误码率的周期耐久性。

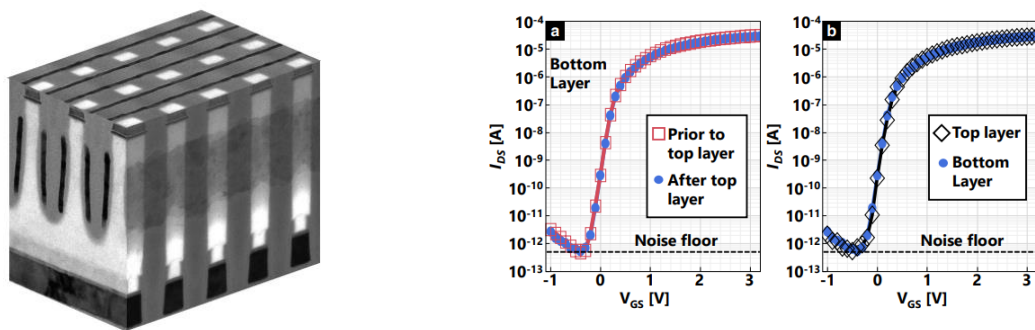


图：(左) 16nm 半节距交叉阵列纯选择器存储器的横截面 TEM 图像，其单元结构下具有外围电路 (右) 经过多次写入循环后测得的原始误码率的周期耐久性特性

## 存储技术

“用于超密集 NVDRAM 的 4F<sup>2</sup> 可堆叠多晶硅沟道存取器件”——Micron Technology Inc. (论文 T17.2)

在本文中，Micron Technology 报告了针对超密集 32GB NVDRAM 的可堆叠 4F<sup>2</sup> 多晶硅薄膜晶体管(TFT)的方法和优化措施。为满足双层技术提出的严格热预算要求，研究者实现了多项关键创新。他们利用脉冲激光退火技术产生的限制加热效应使多晶硅结晶，并激活源极/漏极掺杂剂。经过优化，材料在低温下沉积的栅极氧化物具有 10 年的等效可靠性，而钌(Ru)字线设计可防止结块和空洞失效的发生。根据考虑到热传导和结晶动态的 TCAD 模型，他们通过调整工艺条件，使器件性能与顶层工艺完美匹配。

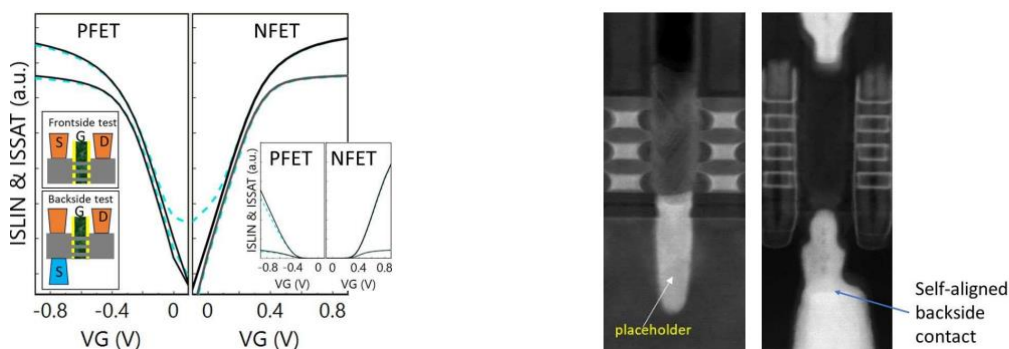


图：(左) NVDRAM 双栅(Ru) TFT 存取器件的横截面图像。(右) 比较在顶层 TFT 前后测量的底层 TFT 的 IDS-VGS 曲线。

### 3D 技术

“2nm 以下纳米片技术的背面功率分配”——IBM 研究院和三星电子（论文 TFS2.3）

这篇由 IBM 和三星电子联合发表的论文，探讨了将背面功率分配网络(BSPDN)与纳米片晶体管技术相结合的各种策略。基于 BSPDN 方案的深沟槽通路（除了将正面通路移至背面电源轨的方案外）无法提供单元级扩展优势，通路电阻仍可能是一个瓶颈。基于直接背面接触的方案可提供最佳单元级扩展。最后，他们提出了一种与纳米片晶体管集成的新型自对准背面接触方案，该方案在背面接触形成过程中展现出抗错位能力。该结构具有良好的器件特性和令人满意的可靠性。

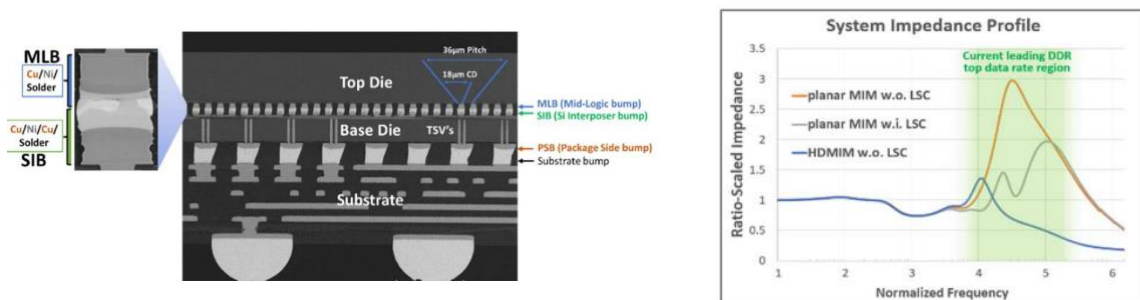


图：（左）实验得到的线性传输曲线和饱和传输曲线表明，正面接触器件（以蓝色虚线表示）与背面直接接触的相同器件（以黑色实线表示）之间的电学行为非常匹配。（右）经过占位符和源/漏极外延形成，且具有自对准背面接触功能的晶体管的 TEM 图像

### 3D 技术

“在 2.5D Foveros 面对面架构上集成硅中介层和高密度 MIM 电容器”——英特尔公司（论文 T9.1）

通过硅中介层集成不同的计算元件，可以实现超越摩尔定律的缩放。英特尔的无源硅中介层采用先进的硅通孔(TSV)技术和精细的 36 $\mu\text{m}$  微凸点节距，在面对面芯片配置中实现了不同芯片组间的互连。硅中介层内置一个高密度金属-绝缘体-金属(HDMIM)集成去耦电容器，用于降低电压骤降和抑制噪声。产品既支持在硅中介层芯片中使用 HDMIM，也允许在芯片组芯片中内置 HDMIM，或者两者兼而有之。英特尔的论文介绍了高密度金属-绝缘体-金属制造步骤、电气特性、可靠性基准，以及通过集成硅中介层 HDMIM 实现的性能提升。

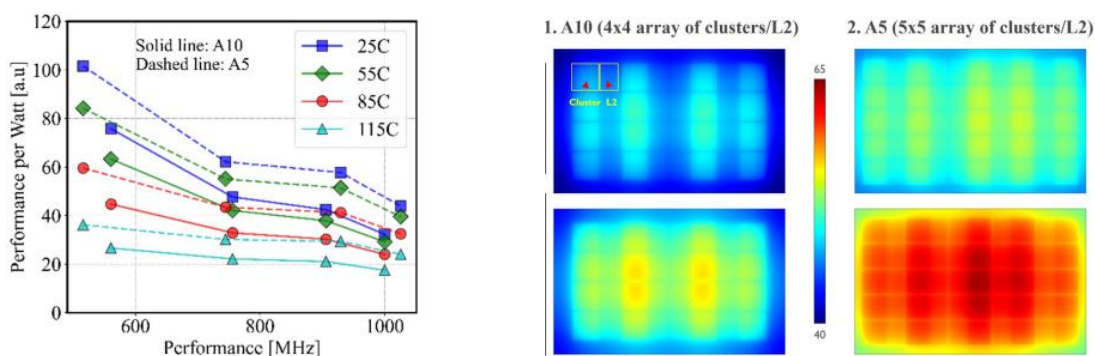


图：（左）横截面显示了通过硅中介层凸块和封装将中介层与顶部芯片连接的情况。（右）高密度金属-绝缘体-金属对 DDR 系统级阻抗曲线的影响。

### 3D 技术

“埃级时代块级功耗-性能-面积(PPA)评估中的热特性考虑因素：纳米片场效应晶体管(A10)与互补场效应晶体管(A5)的比较研究”——IMEC (论文 T5.4)

在本文中，IMEC 针对纳米片晶体管(NSFET)和互补场效应晶体管(CFET)进行了一项热感知块级 PPA 的比较研究。这两种晶体管预计将被用于未来的埃级节点，分别为 A10 和 A5。IMEC 团队报告了在开源多核架构上，从 A10 节点到 A5 节点的块级扩展结果：在标称条件 0.7V 电压和 25°C 温度下， $F_{max}$  提升了 2.5%，功率降低了 25%，每周期能耗减少了 27%，面积缩减了 35%，功率密度随之提高了 15%。PPA 分析法采用了快速封装级热模拟器，旨在实现对早期热特性的自洽估算，考虑到泄漏功率随温度的上升呈指数增长，这对动态热管理应用至关重要。分析结果表明，工作电压为 0.7V 时，要保持与 A10 节点相同的  $T_{j,max}$  值，A5 节点所需的 Vdd 值降低了 64mV，频率下降了 10%，但系统吞吐量仍实现了 40% 的提升。

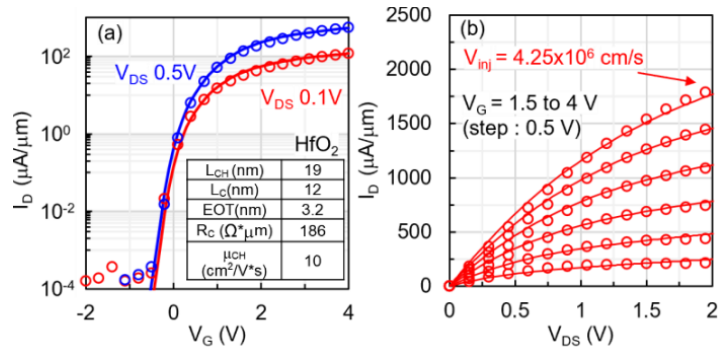
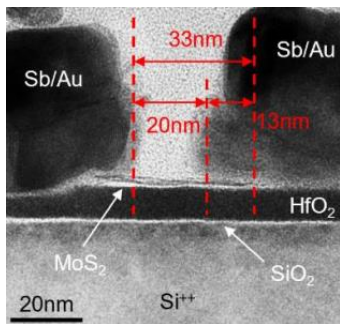


图：（左）A10 和 A5 节点的性能/瓦特对比结果表明，A5 节点在所有温度条件下的效率更高。（右）在相同芯片面积下，A10 和 A5 节点在 0.7V 工作电压（底部）下分别使用与温度无关的功耗（顶部）和自洽功耗所绘制的 SOC 级温度分布图。

### 超越 CMOS 技术

“关于使用单层  $MoS_2$  通道的晶体管的极限缩放”——台积电与台湾阳明交通大学 (重点会议-论文 T1.4)

2D 过渡金属二硫化物(TMD)材料展现出晶体管缩放的广阔前景，但其在大规模应用中的性能表现尚未得到证实。在本文中，台积电和台湾阳明交通大学的研究人员在保持低接触电阻（低至 11nm）的同时，实现了对接触长度的缩放。通道长度缩放结果表明， $I_{ON}$  可以在低接触电阻的情况下至少降到 12nm。采用铈基金属接触的超缩放（通道长度=19nm） $MoS_2$  晶体管在  $V_{DS}=1V$  的条件下时，其电流密度约为  $1130\mu A/\mu m$ ，同时接触电阻低至约  $190\Omega\cdot\mu m$ 。这些按比例缩放的晶体管在加工时须符合后端工艺(BEOL)热预算要求，即便在沟道长度缩小至 12nm 时，也未观察到阈值以下摆幅退化或漏致势垒降低的现象。

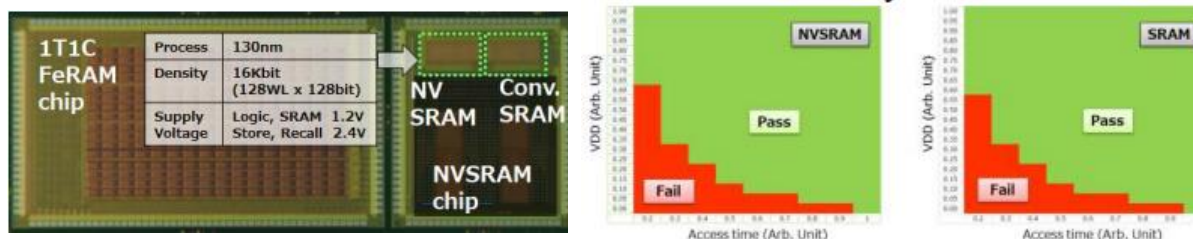


图：（左）MoS<sub>2</sub> 器件的 TEM 图像显示，沟道长度 13nm 时的极端缩放。（右）具有 3.2nm EOT 的器件的传输和输出特性。符号为实验数据，线条为 TCAD 模型。

### 超越 CMOS 技术

“基于 HZO 的非易失性 SRAM 阵列具有 100% 位复用良率和 85°C 下的足够保持时间”——索尼半导体解决方案公司、Fraunhofer IPMS 和 NaMLab（论文 T2.1）

这篇由索尼牵头的论文首次通过实验证明了采用厚度低于 10nm 的 HfZrO<sub>x</sub> (HZO) 层的金属/铁电/金属电容器，其 16-kbit 非易失性 SRAM (NV-SRAM) 阵列能够实现 100% 位良率。该电容器采用的集成工艺与先前在同一晶圆上开发的铁电随机存取存储器 (FeRAM) 阵列的工艺相同。其非易失性数据存储、电源切断（电源门控）和数据调用的顺序操作完全采用稳健的调用顺序执行，即使在足够低的工作电压下，也能在 85°C 的温度下经过 200 秒电源门控期后实现 100% 位调用。索尼的研究结果表明，基于 HZO 的 NV-SRAM 和 FeRAM 混合存储器系统可以为物联网边缘计算的片上系统提供超低功耗优势。



图：（左）在同一片晶圆上形成的非易失性 SRAM 和铁电 RAM 芯片的光学图像。非易失性 SRAM 芯片也具有传统的 SRAM 宏，以便进行比较。（右）非易失性 SRAM 和 SRAM 阵列在激活操作期间，存取时间与供电电压之间的 Shmoo 图。

### 超越 CMOS 技术

“以超薄 In<sub>2</sub>O<sub>3</sub> 为沟道、厚 In<sub>2</sub>O<sub>3</sub> 为金属栅极的高可靠性全氧化物晶体管实现垂直逻辑和存储器”——普渡大学和三星电子（论文 T4.1）

在本文中，普渡大学和三星电子的研究人员首次报告了原子层沉积 (ALD) 全氧化物晶体管，以厚 ALD In<sub>2</sub>O<sub>3</sub> 作为栅电极，以 In<sub>2</sub>O<sub>3</sub> 本身作为接触点，实现 3D 垂直集成。全氧化物薄膜晶体管 (TFT) 的导通/关断比超过 10<sup>6</sup>，均匀度高，可靠性好，在正负偏压应力测试中的阈值电压偏移分别为 5mV 和 50mV。垂直全氧化物 TFT 具有良好的侧壁控制能力，导通/关断比超过 10<sup>5</sup>，

最大电流( $I_{max}$ )超过  $160\mu A/\mu m$ 。此外,垂直全氧化物铁电场效应晶体管(Fe-FET)显示出 1.85V 的内存窗口,其耐久性和保持时间分别达到  $10^{12}$  个周期和 10 年。这说明,基于 ALD 氧化物半导体的垂直全氧化物器件是未来高密度集成电路的理想候选器件。

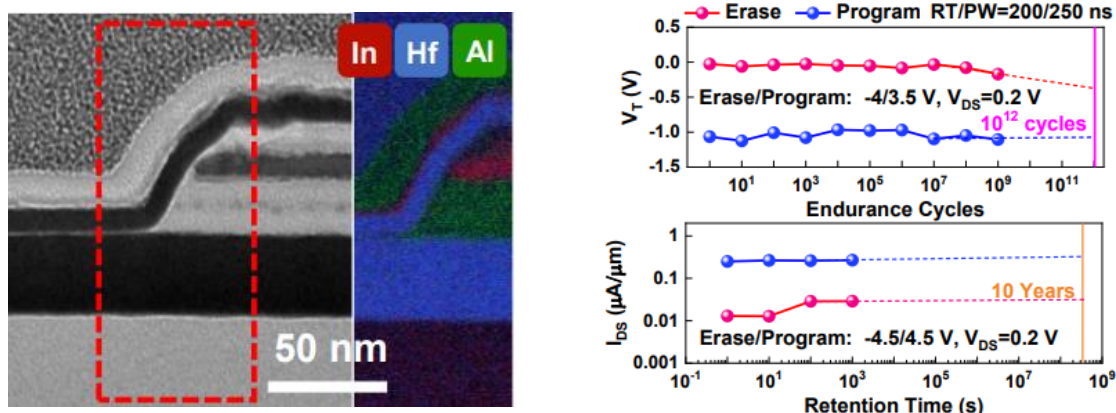


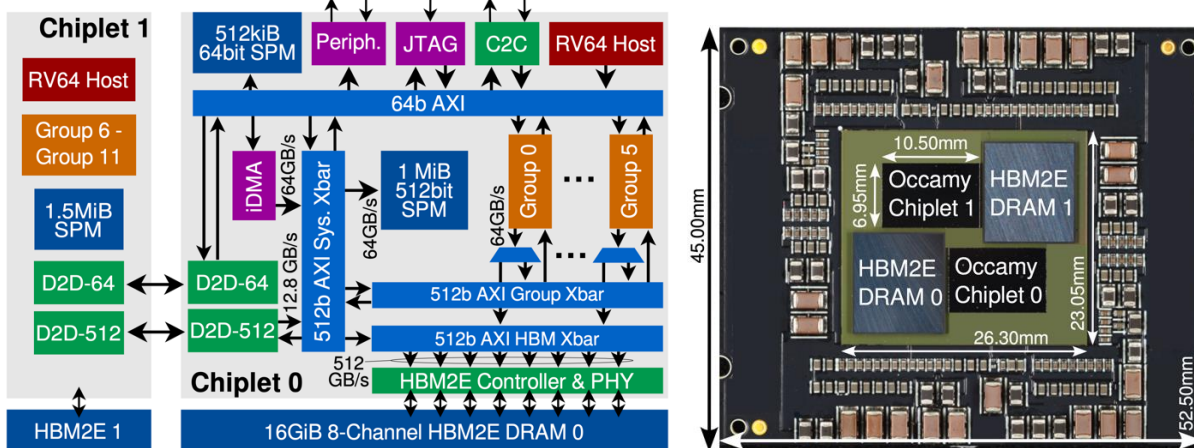
图: (左) ALD 垂直全氧化物场效应晶体管 10nm  $In_2O_3$  电介质的高分辨率 TEM 横截面图像和 EDS 图谱。(右) 室温下 ALD 垂直  $In_2O_3$  Fe-FET 的主要状态耐久性和保持性能。

## 电路亮点论文

### 处理器和 SoC

“Occamy: 一款基于 RISC-V 的加速器,采用双芯粒封装和双 HBM2E 内存,支持 8 至 64 位浮点运算,专为模板和稀疏线性代数计算设计,具有 432 个内核,功耗比为 28.1 DP-GFLOP/s/W,浮点单元利用率为 83%,采用 12nm FinFET 工艺制造。”——苏黎世联邦理工学院、斯坦福大学和博洛尼亚大学 (论文 C7.4)

苏黎世联邦理工学院、斯坦福大学和博洛尼亚大学的研究人员展示了一个灵活、通用的双芯粒系统,该系统采用两个 16GB HBM2E 堆栈,经优化后,能够以高利用率处理各种不规则内存访问计算工作负载。这款代号为 Occamy 的异构系统包括一个 432 核 RISC-V 双芯片组 2.5D 系统,用于对 FP64 和窄 (32 位、16 位、8 位) SIMD 浮点数据进行高效的稀疏线性代数和模板计算。Occamy 配备了 48 组 RISC-V 核心集群,具有自定义扩展功能,两个 64 位主机核心,以及一个具有 32GB HBM2E 的延迟容忍型多芯片组互联和内存系统。芯片在模板 (83%)、稀疏-密集 (42%) 和稀疏-稀疏 (49%) 矩阵乘法上的利用率处于领先地位。

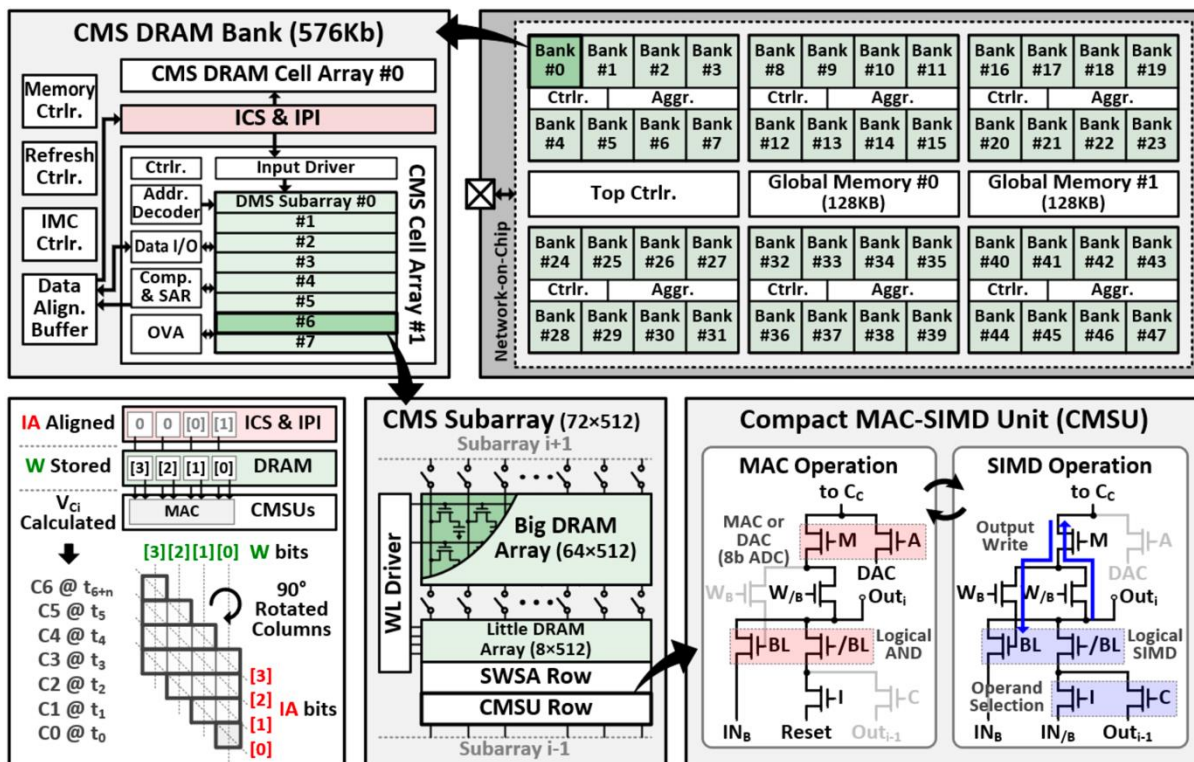


图：（左）双芯粒架构。（右）模块照片。

### 用于机器学习的器件和加速器

“Dyiamond: 具有紧凑型 MAC-SIMD 和自适应竖式加法数据流的 1T1C DRAM 存内计算加速器”——KAIST 和三星电子（论文 C20.1）

KAIST和三星电子的研究人员提出了一种1T1C DRAM存内计算加速器，旨在利用更高的内存密度，通过减少内存访问来提高系统能效。该加速器的代号为Dyiamond，采用竖式加法(CA)数据流，可实现高密度和高能效。LSB-CA可最大限度地减少ADC读数，从而提高能效。MSB-CA采用信号增强乘积累加(MAC)和信号移位ADC来增强SQNR，进一步提高了能效。可切换感应放大器降低了低功耗存内算术SIMD的读取能耗。Dyiamond采用28nm CMOS工艺制造，在6.48mm<sup>2</sup>的芯片面积上集成了27Mb DRAM内存，峰值能效达到27.2TOPS/W，在先进机器学习模型（ResNet、BERT、GPT-2）中具有出色的表现。



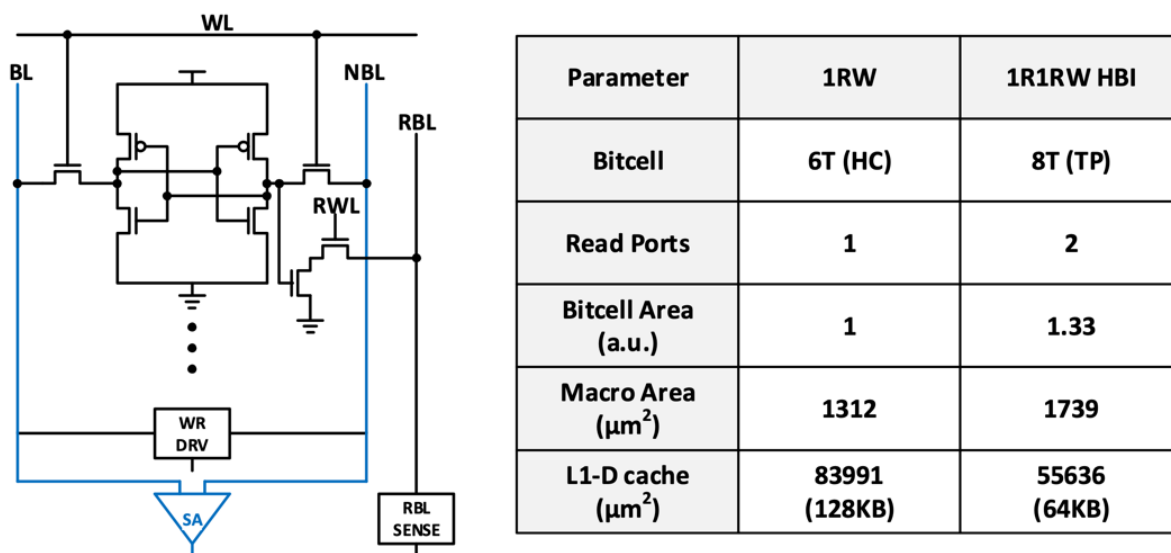


图：Dyiamond的整体架构。

## 存储器技术、器件、电路和架构

“面向 Arm HPC 处理器的 3nm 工艺 7GHz 高带宽 1R-1RW SRAM”——Arm (论文 C16.3)

Arm 的研究者们展示了一种采用 3nm CMOS 工艺的 1Read-1ReadWrite (1R1RW)高带宽实例 (HBI) L1 数据高速缓存架构，该架构可无缝集成到 Arm 的旗舰高性能处理器中。HBI 增强了传统的 8T-1R1W 存储单元，增加了一个读取端口，实现了 1R1RW 功能。L1 数据高速缓存中的 HBI 存储将可用读取带宽增加了一倍，使处理器的 IPC 提高了 1%。由于减少了 CPU 物理设计中的路由拥塞，新架构进一步使面积减少了 13%，路由延迟减少了 10-15ps。在所有 8T SRAM 存储单元中，硅的 1R1RW HBI 良率达到 100%，最高频率超过 7 GHz，最低位密度为 11.2Mbit/mm<sup>2</sup>。

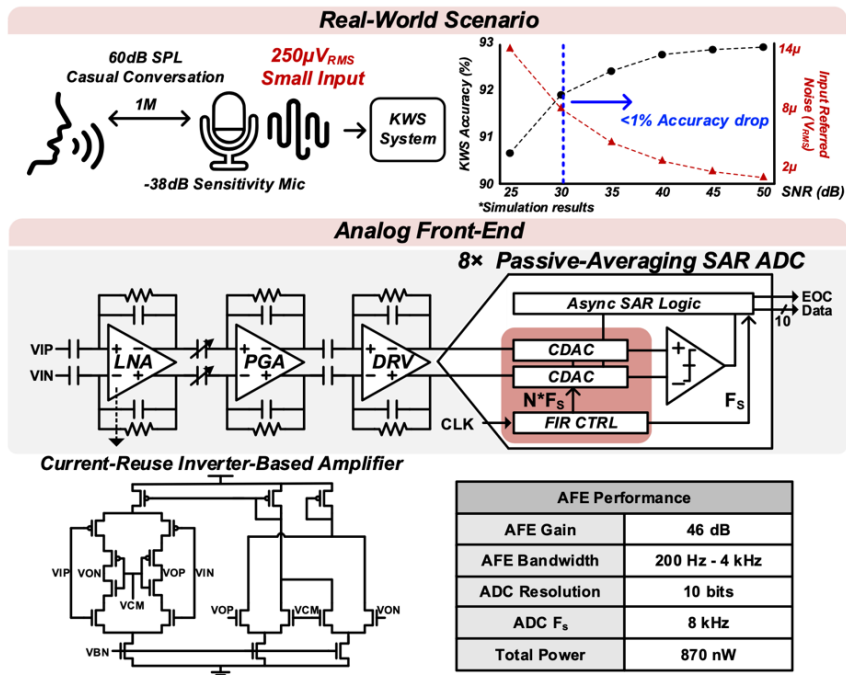


图：1R1RW HBI 内存单元架构与 6T-1RW 存储单元相比，L1-数据高速缓存面积减少了 33%。

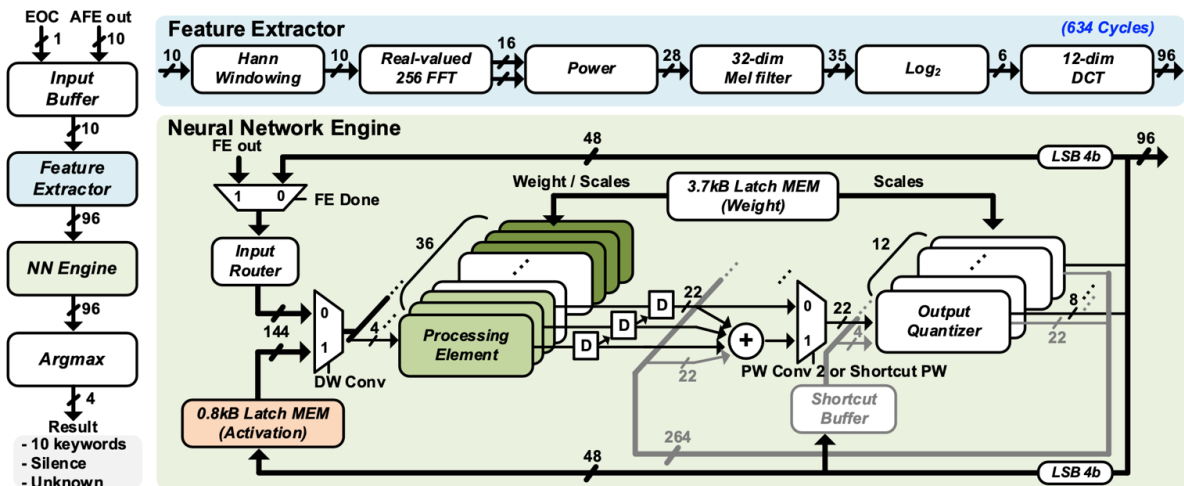
## 数字电路、硬件安全、信号完整性、输入输出接口

“采用被动平均逐次逼近型 ADC 和仅符号-指数层融合技术的端到端关键词识别系统，其功耗为 5.6μW，能识别 10 个关键词，且准确率达到 92.7%”——首尔国立大学和哥伦比亚大学 (论文 C25.1)

首尔国立大学和哥伦比亚大学的研究人员提出了一种支持 10 个关键词的端到端关键词识别 (KWS) 系统，用于移动和物联网设备的唤醒和控制。所提出的架构采用被动平均法来提高模拟前端 (AFE) 的信噪比 (SNR)，且功耗开销很小，仅为 20nW。仅符号-指数层融合方案将模型大小和乘法功耗开销分别降低了 63.5% 和 29.8%，同时保持了 KWS 的准确性。与支持 10 个关键词的现有技术相比，该设计的准确率最高，达到 92.7%，功耗最低，仅为 5.6μW。



图：模拟前端设计限制、架构和性能。

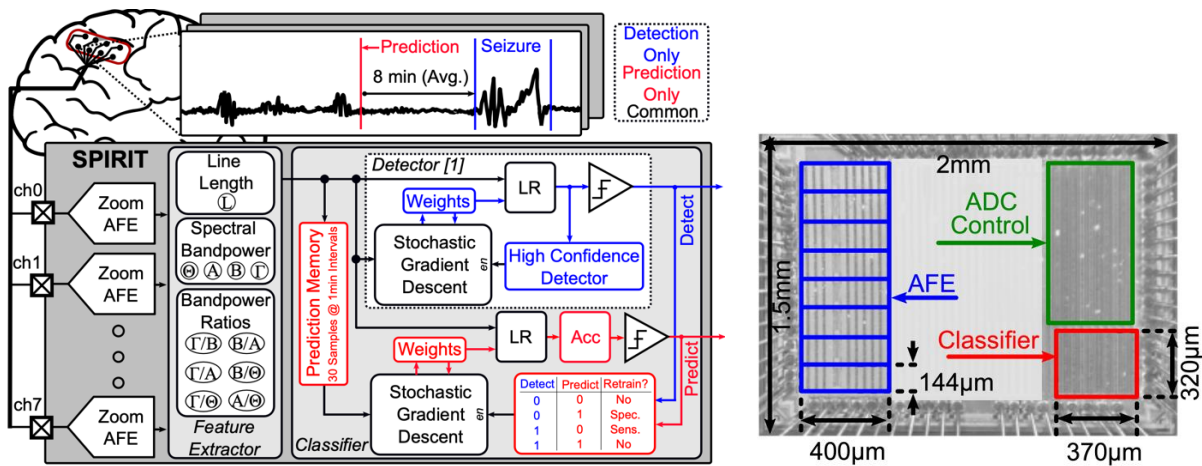


图：数字后端架构。

### 生物医学器件、电路和系统

“PIRIT：搭载 17.2 nJ/cIs 无监督在线学习分类器和变焦模拟前端的癫痫发作预测 SoC”——加州大学伯克利分校（论文 C23.1）

来自加州大学伯克利分校的研究者展示了一款名为 SPIRIT 的 SoC，内置一个无监督在线学习癫痫发作预测分类器。该产品具有 8 个 14.4 $\mu$ W、0.057mm<sup>2</sup>、90.5dB 动态范围和变焦模拟前端。SPIRIT 的灵敏度/特异度平均值为 97.5%/96.2%，能在癫痫发作前 8.4 分钟预测到癫痫发作。其分类器的功耗为 17.2 $\mu$ W，面积为 0.14mm<sup>2</sup>，与现有预测分类器相比，其功耗降低了超过 134 倍，尺寸面积也缩小了 5 倍以上。

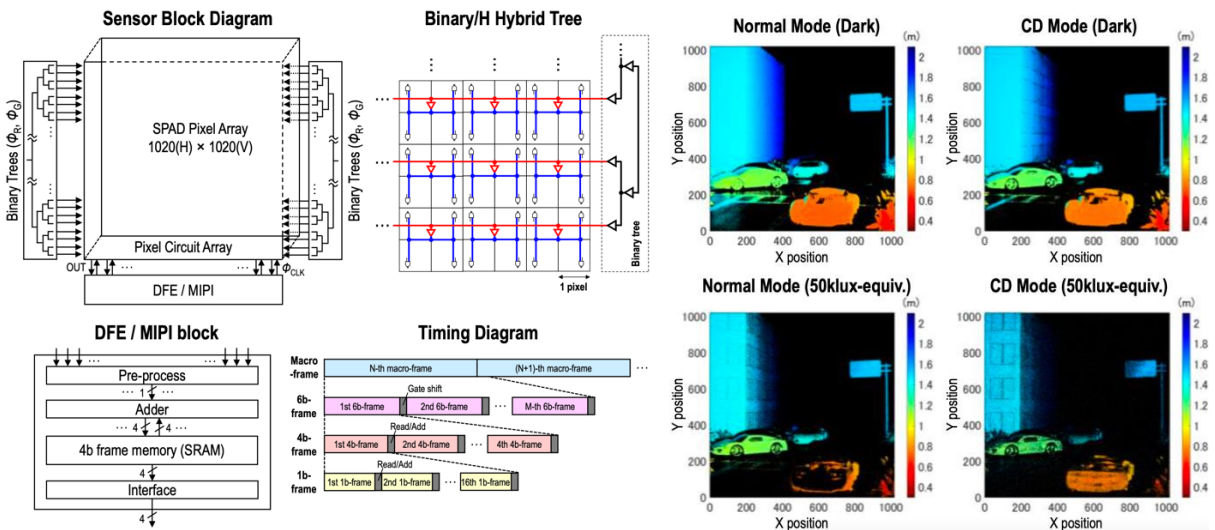


图：（左）SPIRIT 系统级别图。（右）芯片显微照片。

### 传感器、成像仪、物联网、MEMS、显示电路

“搭载 2D 交互式门控网络的 3D 堆叠百万像素时间门控 SPAD 图像传感器，确保传感器融合无需图像对齐”——佳能公司（论文 C6.1）

佳能推出了一款间距为 $5\mu\text{m}$ 的3D-BSI百万像素时间门控SPAD图像传感器，具有2D交互式门控网络，可实现无需图像对齐的传感器融合。SPAD图像传感器以每秒1,310fps的速度进行全局快门2D成像，并在 $0.02\text{lux}$ 的条件下以 $0.76\text{ms}$ 的时间分辨率进行事件视觉传感。通过距离选通成像，该产品证明了在恶劣环境下进行稳健成像的可行性。门控网络架构可在 $50\text{k}\text{lux}$ 环境光下抑制3D深度测量中的背景。

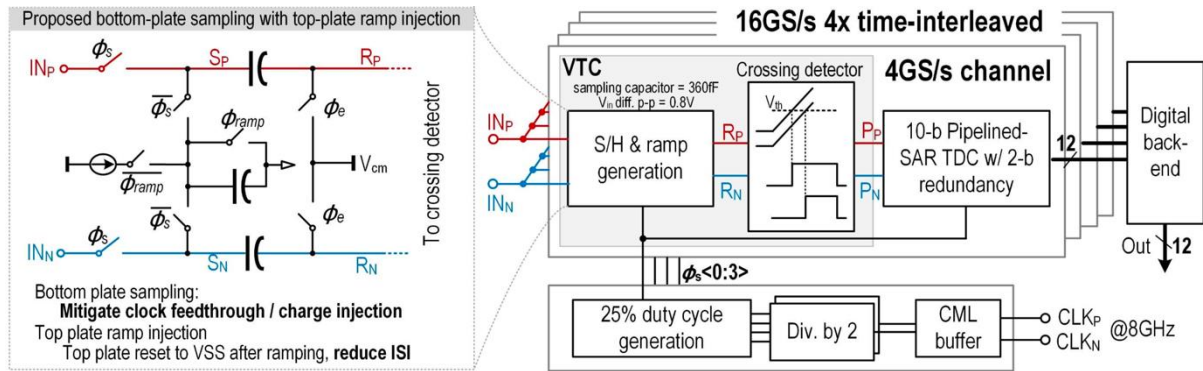


图：（左）传感器框图、时钟树配置和时序图。（右）在暗光和 $50\text{k}\text{lux}$ 等效环境光下以正常模式和CD模式测量的3D深度图。

### 数据转换器

“采用流水线-SAR TDC 的  $16\text{GS/s}$  10 位时间域  $4\text{nm}$  CMOS 工艺 ADC，支持延迟可变性补偿和背景校准功能， $\text{FoM}$  达到  $153.8\text{dB}$ ”——南加州大学和联发科（论文 C24.2）

南加州大学和联发科的研究人员共同提出了一种直接射频采样时间域 ADC。该 ADC 采用 4nm CMOS 工艺，仅使用 4 倍时间交织便能以 16GS/s 的采样率实现 10 位模数转换。该架构采用基于冗余的时间数字转换器(TDC)延迟可变性补偿方案、背景延迟偏移校准方案和底板采样电压-时间转换器(VTC)结构，旨在实现高信噪比和线性度。硅基器件在奈奎斯特(Nyquist)频率时的无杂散动态范围(SFDR)和信噪比与失真比(SNDR)分别为 55.93dB 和 44.48dB，功耗为 94.2mW，核心面积为 8000 $\mu\text{m}^2$ ，使 Schreier FoM 达到 153.8dB。

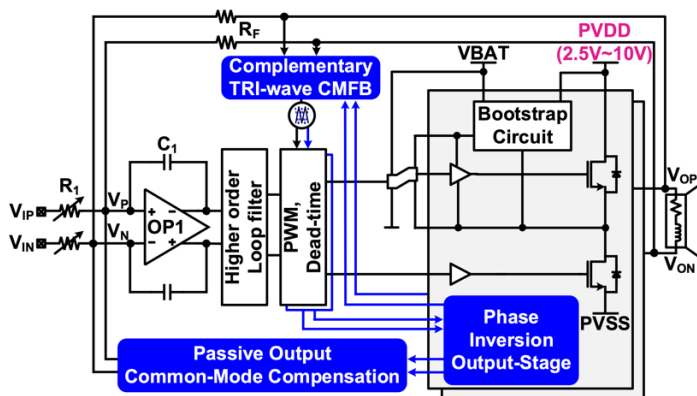


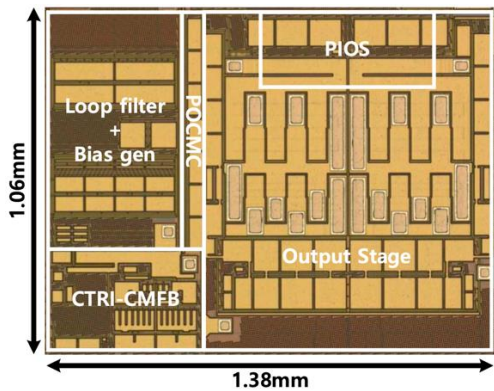
图：ADC 框图和提出的 VTC 架构。

## 模拟和混合信号电路

“采用被动输出共模补偿技术的 5.8W、0.00086% THD+N、118dB PSRR、支持宽输出功率范围的 Class-D 音频放大器”——三星电子（论文 C5.3）

三星电子的研究人员提出了一种采用两项关键技术的 Class-D 音频放大器(CDA)：被动输出共模补偿(POCMC)可在宽输出功率范围内实现高线性度，而互补三波共模反馈(CTRI-CMFB)则可提高 PSRR。该音频放大器采用 0.13 $\mu\text{m}$  BCD 工艺，面积为 1.46 $\text{mm}^2$ ，在 8 $\Omega$  负载条件下实现了 0.00086% THD+N 和 118dB PSRR，最大输出功率为 5.8W(THD+N=1%)，效率高达 93.2%。



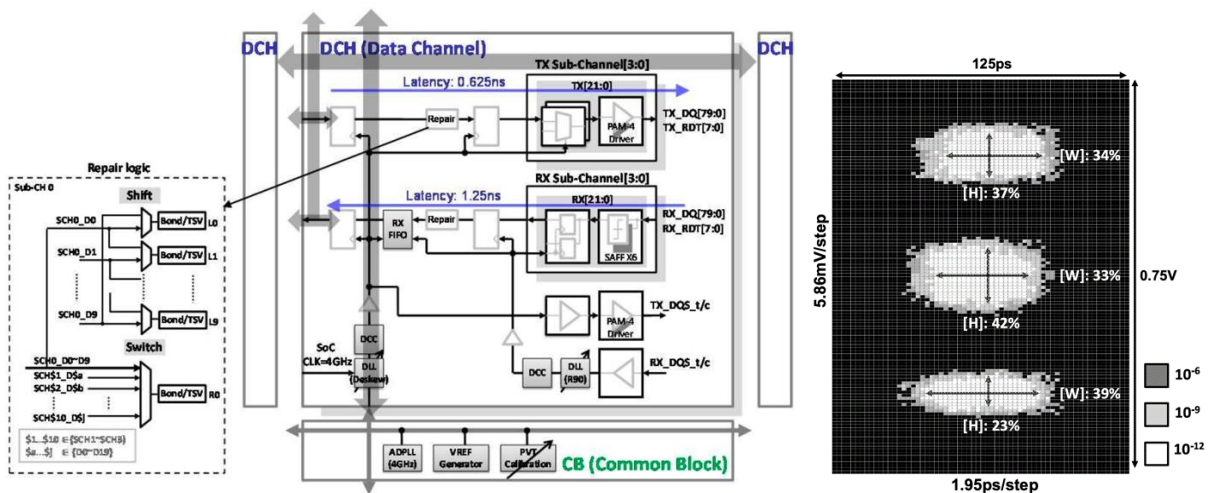


图：（左）建议的 CDA 原理图。（右）芯片显微照片。

### 有线和光收发器、光互连和处理器

“采用 5nm/6nm FinFET 工艺和 9 $\mu$ m 间距 3D 封装技术的 0.296-pJ/bit 17.9-Tb/s/mm<sup>2</sup> 芯片到芯片连接，在 16Gb/s PAM-4 下实现 10.24Tb/s 带宽”——台积电（论文 C14.1）

台积电的研究人员提出了一项芯片到芯片连接技术，用于异构集成一个 5nm 计算芯片和一个 6nm SRAM 芯片，并通过面对背的方式进行 3D 堆叠，堆叠时的键合间距为 9 $\mu$ m。这项成果展示了支持全面可扩展性的模块化设计，实现了 10.24Tb/s 的总带宽，支持 320 个 TX 通道和 320 个 RX 通道，每通道数据速率为 PAM-4 16Gb/s。每个数据集群模块包括 80 个 TX/RX 通道，面积为 378 $\mu$ m × 378 $\mu$ m，带宽密度为 17.9Tb/s/mm<sup>2</sup>，每条链路的能效为 0.296pJ/bit。



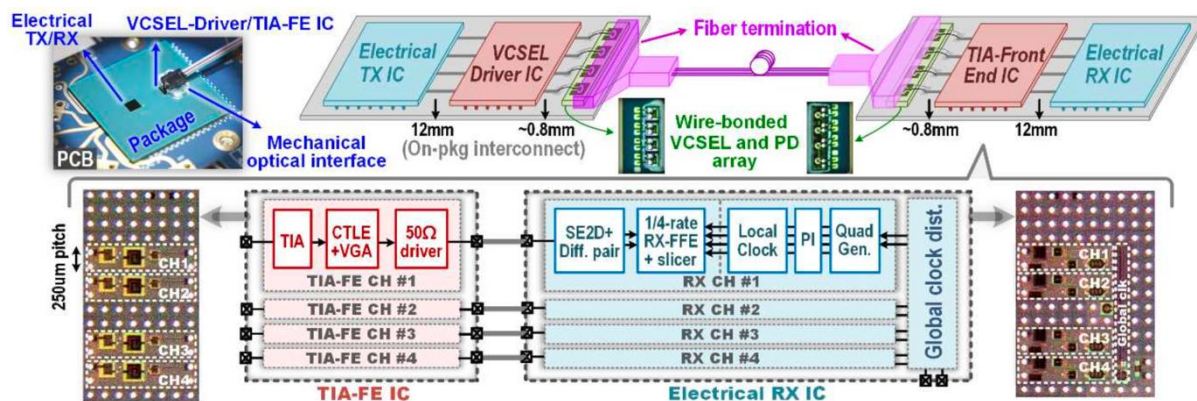
图：（左）具有修复逻辑的芯片到芯片互连架构。（右）16Gb/s 速率下的 PAM-4 眼图测试结果。

### 有线和光收发器、光互连和处理器

“采用共封装和光纤端接技术的四通道非归零编码(NRZ)光接收机，每个通道的速率为 50Gb/s，能耗为 1.5pJ/b”——英特尔公司（论文 C14.4）

英特尔公司的研究人员展示了一款针对大数据应用的 4 通道共封装光接收机(RX)。该接收机将光电二极管阵列、光纤端接和跨阻抗放大器前端(TIA-FE)集成电路与接收器数据路径集成电路

集成到同一封装内。为了实现高灵敏度，TIA-FE 采用了带宽扩展和带内群集延迟补偿技术。这些技术与光接收器数据路径中的四分之一速率 2 抽头前馈均衡器进行了共同优化。前端还具有 StrongArm 锁存功能，可在等功率条件下将噪声方差提高 3.5 倍。光接收器由其基于 VCSEL 的光发射器进行调制，在 1.5pJ/b 速率下实现了 4x50Gb/s NRZ，误码率低于  $10^{-12}$ ，灵敏度为 -6dBm。

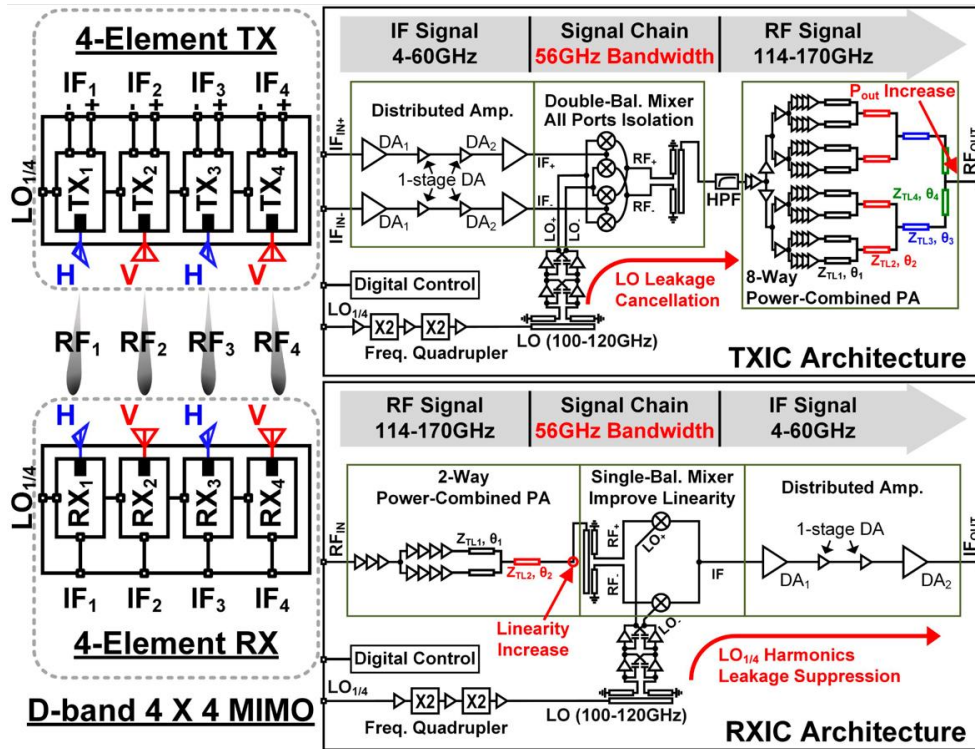


图：以 RX 和 TIA-FE 的简化电路框图形式来描述联合封装和光纤端 4 通道光收发器系统集成。

## 无线和射频器件电路与系统

“640Gb/s 4x4-MIMO D 波段 CMOS 收发芯片组”——东京工业大学（论文 C9.2）

东京工业大学展示了一种 CMOS 收发器(TRX)芯片组，其信号链带宽为 56GHz，适用于 D 波段（114-170GHz）毫米波应用。该项工作提出了一个 8 路低 Q 值功率组合功率放大器、一个 2 路低 Q 值功率组合低噪声放大器、宽带阻抗变换混频器和基于共源的级联分布式放大器，旨在提高带宽和线性度。TRX 芯片组实现利用单输入单输出(SISO)无线测量技术实现了 200Gb/s 的数据传输速率（32-QAM 模式），在 15 米距离时实现了 120Gb/s 的数据传输速率（16-QAM 模式）。这项成果还展示了 640Gb/s 4x4 多输入多输出(MIMO)操作。



图：MIMO 和收发芯片组框图。