



2024 年 VLSI 技術及電路研討會技術亮點

2024 年 IEEE VLSI 技術及電路研討會為首屈一指的國際性會議，預計於 2024 年 6 月 16 日至 20 日舉辦，這場會議將記錄微/奈米電子的發展速度、進度和演進。聯合技術及電路研討會將在夏威夷希爾頓夏威夷村 (Hilton Hawaiian Village) 舉行現場會議，以提供交流機會。這次研討會採用「以**高效和智慧連接數位和實體世界**」為核心主題，活動日程之中整合進階技術發展、創新電路設計及各種應用，協助全球社會轉型為智慧連網裝置、節能基礎架構及 AI 支援硬體系統的新紀元，改變人類彼此互動的方式。

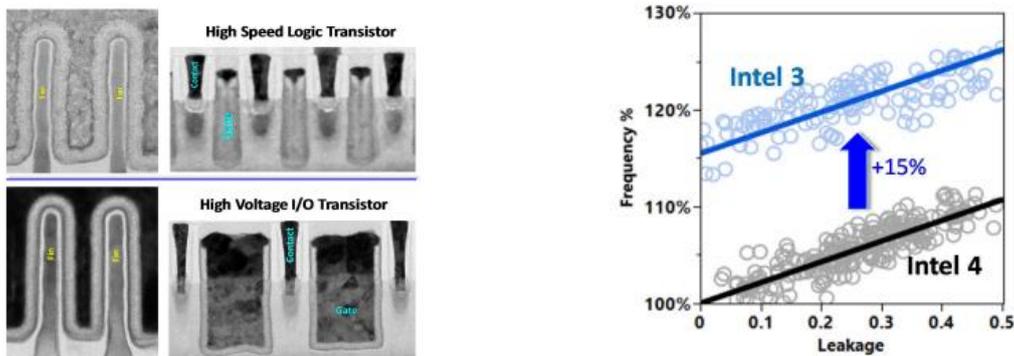
下列是以此為主題的一些精彩論文介紹。

技術焦點

進階 CMOS 技術

「適用於高效能運算和 SOC 產品應用的 Intel 3 先進 FinFET 平台技術」 - Intel Corporation (焦點座談會 - 論文 T1.1)

本文介紹經過全面最佳化的 Intel 3 FinFET 技術，與 Intel 4 相比，其邏輯微縮、效能和可靠性改善了 10%。透過電晶體強化、互連最佳化和設計協同最佳化，與 Intel 4 相比，等功率效能提升高達 18%。另外，Intel 3 也支援 210nm 高密度標準單元、1.2V 原生 I/O 電晶體、深 N 型井隔離和長通道類比裝置，以提供全功能的技術設計能力。

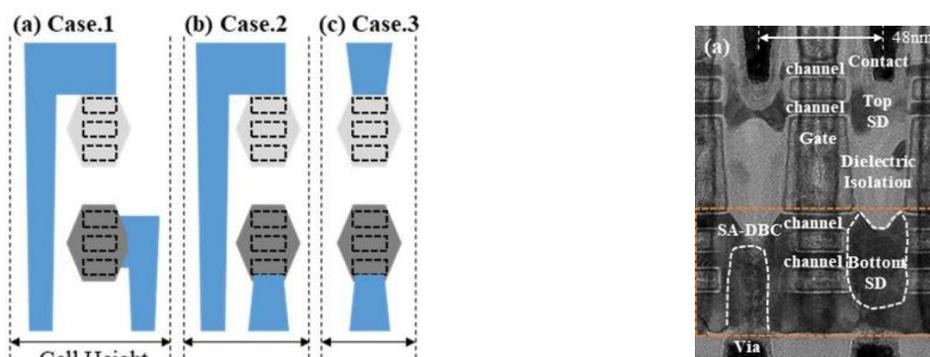


圖：(左) 邏輯電晶體和 1.2V I/O 電晶體的鰭/閘極 TEM 橫截面 (分別為頂部/底部)。(右) 與 Intel 4 相比，等洩漏頻率改善 15%。

進階 CMOS 技術

「用於 48nm 閘極間距的 3 維堆疊 FET 的高度可製造自我對準直接背面接觸 (SA-DBC) 和背面閘極接觸 (BGC)」 - Samsung Electronics (焦點座談會 - 論文 T1.2)

在這項研究中，Samsung Electronics 展示具有自我對準直接背面接觸和背面閘極接觸的 48nm 閘極間距的 3 維堆疊 FET (3DSFET)，這是迄今為止最小的尺寸，也是全世界首次展示。除了其先前的研究，同時亦驗證了共用閘極中 nFET 和 pFET 以及具有垂直共用接點的 N/P 連接的同時閾值電壓 (V_T)。因此，Samsung Electronics 相信，3DSFET 最終單元高度微縮的大部分關鍵組件都已獲得驗證，可以繼續將邏輯技術微縮至 1nm 節點以上。

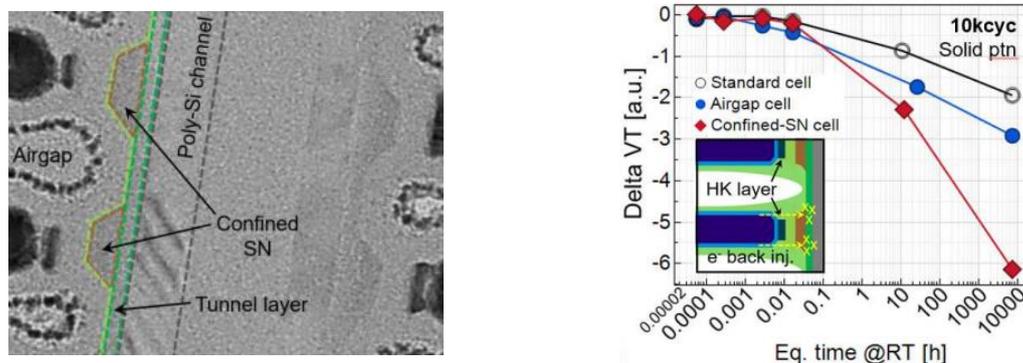


圖：(左) 本文討論 3DSFET 上正面接觸和 SA-DBC 的各種組合。(右) 共整合 TOP-nFET 和 BOTTOM-pFET 的橫截面 TEM 影像。

記憶體技術

「具有 WL 氣隙的受限儲存氮化物 3D-NAND 單元，可減少單元間干擾並提高程式效能」 - Micron Technology Inc. (焦點座談會 - 論文 T1.3)

在本文中，Micron 展示一種受限儲存氮化物 (SN) 3D-NAND 單元，其創新製程包括字線 (WL) 氣隙形成。氣隙大幅降低 WL 寄生電容，進而提高程式時間效能。在測試記憶體陣列上執行完整的裝置特性。作者測量單元間干擾的大幅改善和橫向電荷損失的減少，使得該單元成為未來 3D-NAND 陣列中進一步層間距微縮的關鍵推動因素。TCAD 建模也解決了由於捕獲電荷限制而導致的編程抹除間隔限制，表明該間隔可以透過儲存氮化物膜厚度變化來恢復，而不會造成單元間的損失。

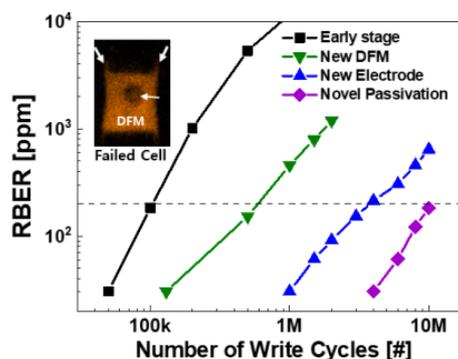


圖：(左) 含氣隙的受限儲存氮化物單元 3D-NAND 陣列中單柱的 TEM x 截面。(右) 經過 1 萬次編程抹除循環後，不同單元結構的垂直電荷損失，顯示氣隙單元的優越性。

記憶體技術

「首次展示用於新興 CXL 記憶體的完全整合 16nm 半間距選擇器專用記憶體 (SOM)」 - SK Hynix Inc. (焦點座談會 - 論文 T1.5)

SK Hynix 進行一項研究，以充分瞭解選擇器專用記憶體 (SOM) 的切換機制。這項研究促成 TCAD 的實作，以及基於最佳化核心電路設計和讀寫架構的先進材料和製程的開發，在第一個完全整合的 16nm 半間距 SOM 中用於新興的 Compute Express Link™ (CXL) 記憶體。SK Hynix 實現 750mV 讀取間隔裕度，包括產品級原始誤碼率和可靠性數據，例如與漂移相關的持久性、讀取干擾、高溫資料保留 (125°C 下 > 10 年) 以及 200 ppm 的循環耐久性原始誤碼率。

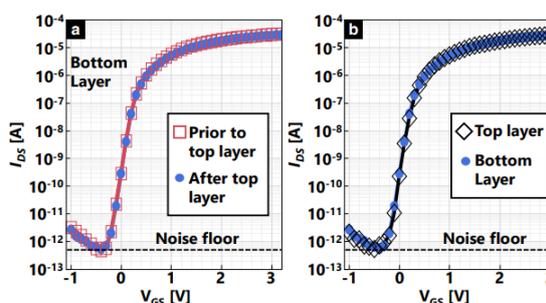
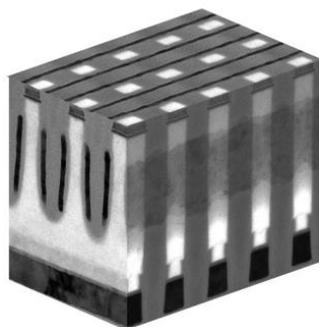


圖：(左) 單元架構下 16nm 半間距交叉點選擇器專用記憶體及其外圍的橫截面 TEM 影像 (右) 測得的原始誤碼率與寫入循環的循環耐久性特性。

記憶體技術

「用於超密集 NVDRAM 的 4F² 可堆疊多晶矽通道存取裝置」 - Micron Technology Inc. (論文 T17.2)

在本文中，Micron Technology 報告用於實現超密集 32Gb NVDRAM 的可堆疊 4F² 多晶矽薄膜電晶體 (TFT) 的方法和最佳化。該論文實作多項關鍵創新，滿足雙層技術所需的嚴格熱預算限制。脈衝雷射退火的有限加熱用於結晶化多晶矽並啟動源極/漏極摻雜劑。對材料進行最佳化，設計出在低溫下沉積的閘極氧化物，具有 10 年等效可靠性，以及對團聚和空洞故障具有穩健性的鈦 (Ru) 字線。透過根據 TCAD 模型調整製程條件 (考慮熱傳導和結晶動力學)，在兩層之間匹配裝置效能，實現頂層處理的穩健性。

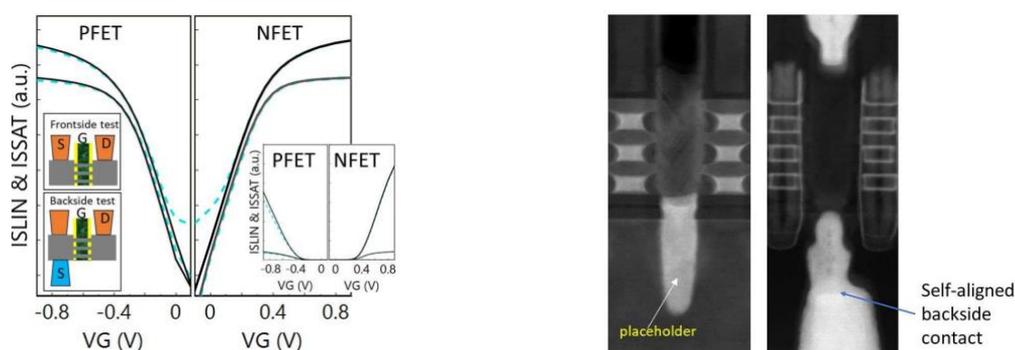


圖：(左) NVDRAM 的雙閘極 (Ru) TFT 存取裝置的橫截面圖。(右) IDS-VGS 曲線比較在頂層 TFT 之前和之後在底層測量的 TFT。

3D 技術

「2nm 以上奈米片技術的背面功率分佈」 - IBM Research 與 Samsung Electronics (論文 TFS2.3)

這篇 IBM 和 Samsung 聯合論文研究將背面配電網路 (BSPDN) 與奈米片電晶體技術整合的各種方法。基於 BSPDN 架構的深溝槽通孔 (除了透過背面電源軌移動的前端) 不具備單元級微縮優勢，但通路電阻可能仍是一個瓶頸。基於直接背面接觸的架構提供最佳單元級微縮。最後，展示與奈米片電晶體整合的新型自我對準背面接觸架構，該架構可防止背面接觸形成中的未對準。該結構表現出良好的裝置特性和令人滿意的可靠性。

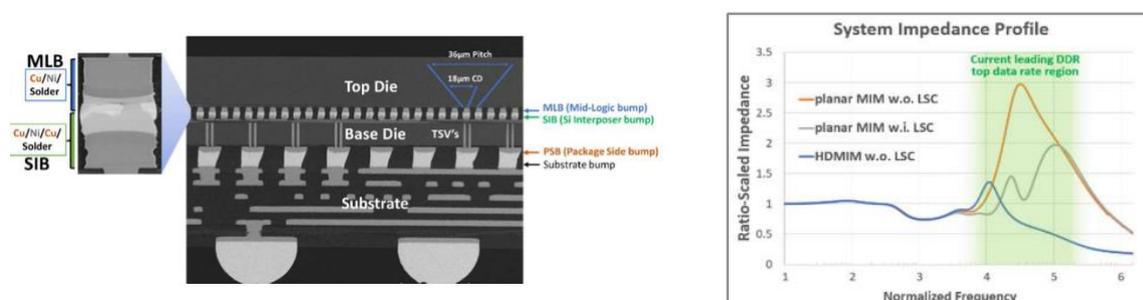


圖：(左) 實驗線性和飽和傳輸曲線，顯示正面接觸裝置 (藍色虛線) 與相同背面直接背面接觸裝置 (黑色實線) 之間的電氣行為密切匹配。(右) 預留位置和源極/汲極外延形成後以及具有自我對準背面接觸的電晶體的 TEM 影像。

3D 技術

「在 2.5D Foveros 面對面架構上整合矽中介層和高密度 MIM 電容器」 - Intel Corporation (論文 T9.1)

透過矽中介層整合不同運算元件可實現超越摩爾定律的微縮機會。Intel 的被動矽中介層使用矽穿孔 (TSV) 技術以及面對面晶粒配置中的精細 36 μm 微凸塊間距，實現不同小晶片之間的互連。矽中介層內建高密度金屬-絕緣體-金屬 (HDMIM) 整合解耦電容器，用於減少壓降和抑制雜訊。產品可以在矽中介層晶片中使用 HDMIM，也可以在小晶片晶粒中內建 HDMIM，或兩者同時。Intel 的論文描述高密度金屬-絕緣體-金屬製造步驟、電氣特性、可靠性基準，以及透過結合矽中介層 HDMIM 實現的效能強化。

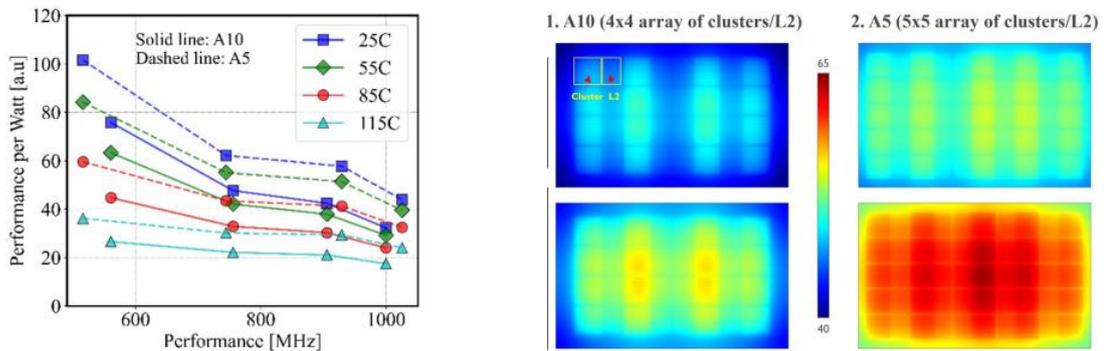


圖：(左) 橫截面顯示中介層透過矽中介層凸塊和封裝連接到頂部晶粒。(右) DDR 系統級阻抗分佈的高密度金屬-絕緣體-金屬影響。

3D 技術

「埃米世代區塊級 PPA 評估的熱考量：奈米片 FET (A10) 和互補 FET (A5) 的比較研究」 - IMEC (論文 T5.4)

在本文中，IMEC 提出針對奈米片電晶體 (NSFET) 和互補場效電晶體 (CFET) 的熱感知區塊級 PPA 比較研究，預計將分別用於未來的埃米節點，即 A10 和 A5。作者報告開源多核心架構上從 A10 到 A5 節點的區塊級微縮結果：在 0.7V 和 25°C 的標稱條件下， F_{max} 提高 2.5%，功率減少 25%，每個週期能量減少 27%，面積減少 35%，功率密度隨之增加 15%。PPA 分析方法透過快速封裝級熱模擬器擴展，實現早期自洽熱估計，進而解釋洩漏功率隨溫度呈指數成長的情況，這對於動態熱管理應用非常重要。分析表明，A5 節點保持與在 0.7V 下運作的 A10 節點相同的 $T_{j,max}$ 所需的 Vdd 降低 64mV，頻率降低 10%，但系統處理量仍提高 40%。

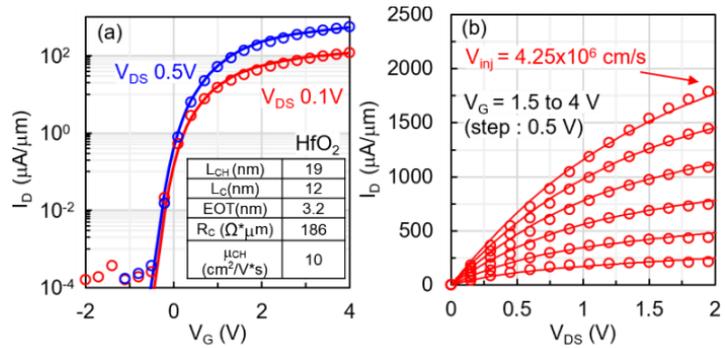
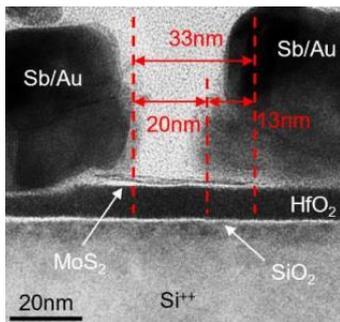


圖：(左)A10 和 A5 節點之間的每瓦效能比，顯示 A5 節點在所有溫度下的效率更高。(右) 使用與 T 無關的功率 (上) 和 A10 和 A5 在 0.7V 電壓下運作的自洽功率 (下) 得出的等晶粒區域 SOC 級熱圖。

超越 CMOS 技術

「關於單層 MoS₂ 通道電晶體的極限微縮」 - TSMC 與國立陽明交通大學 (焦點座談會 - 論文 T1.4)

二維過渡金屬二硫化物 (TMD) 在電晶體微縮方面展現出前景，但其規模效能尚未得到證實。在這項研究中，TSMC 和國立陽明交通大學合作展示接觸長度微縮，同時保持低接觸電阻低至 11nm。通道長度微縮顯示 I_{on} 可以在低 RC 的情況下增加到至少 12nm。具有 Sb 型金屬接點的超微縮 (通道長度 = 19nm) MoS₂ 電晶體在 $V_{DS} = 1V$ 時電流密度約為 1130 $\mu A/\mu m$ ，和 190 $\Omega \cdot \mu m$ 的低接觸電阻。這些微縮電晶體在後端 (BEOL) 熱預算內進行處理，不會出現次臨界擺幅退化或可觀察到的汲極導致能障降低 (最低可到 12nm 通道長度)。

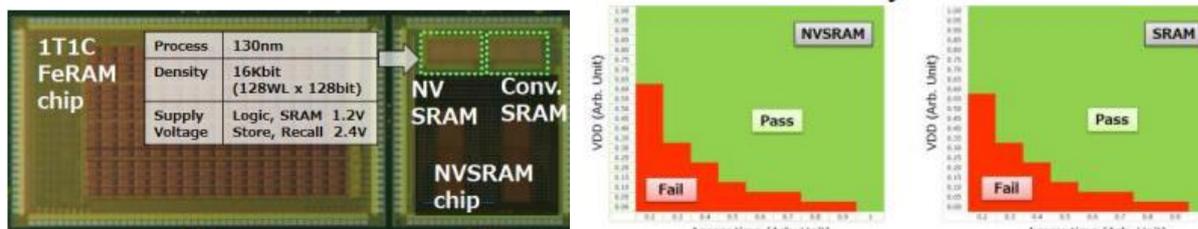


圖：(左) MoS₂ 裝置的 TEM 影像顯示明顯的微縮 - 通道長度 13nm。(右) 裝置採用 3.2nm EOT 的傳輸和輸出特性。符號為實驗資料，線條為 TCAD 模型。

超越 CMOS 技術

「基於 HZO 的非揮發性 SRAM 陣列，在 85°C 下具有 100% 位元召回率和足夠保留時間」 - Sony Semiconductor Solutions Corporation、Fraunhofer IPMS 和 NaMLab (論文 T2.1)

Sony 主導的這篇論文首次透過實驗證明基於使用 10nm 厚以下的 HfZrO_x (HZO) 層的金屬/鐵電/金屬電容器的 16 kbit 非揮發性 SRAM (NV-SRAM) 陣列的 100% 位元良率。此電容器使用與先前在同一晶圓上開發的鐵電隨機存取記憶體 (FeRAM) 陣列相同的整合製程。其非揮發性資料儲存、電源切斷 (功率閘控) 和資料呼叫的連續作業完全採用穩健的呼叫序列執行，即使在足夠低的作業電壓、85°C 條件下，經過 200 秒的功率閘控週期後也能實現 100% 位元呼叫。Sony 的結果顯示，基於 HZO 的 NV-SRAM 和 FeRAM 混合記憶體系統可以在物聯網邊緣運算的系統單晶片中提供超低功耗優勢。



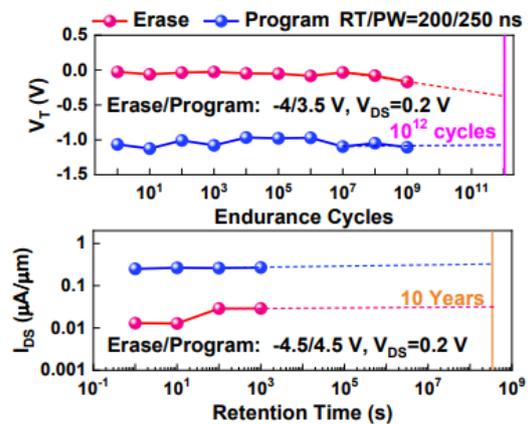
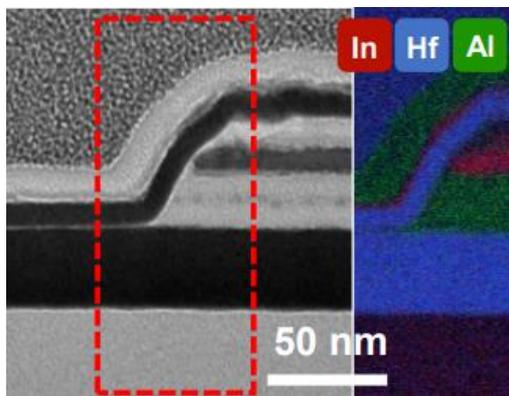
圖：(左) 在一塊晶圓上形成的非揮發性 SRAM 和鐵電 RAM 晶片的照片影像。NVSRAM 晶片也有傳統的 SRAM 巨集可供比較。(右) Shmoo 繪製非揮發性 SRAM 和 SRAM 陣列有效運作期間的存取時間和供應電壓之間的關係圖。

超越 CMOS 技術

「高度穩健的全氧化物電晶體，以超薄 In₂O₃ 作為通道，以厚 In₂O₃ 作為金屬閘極，實現垂直邏輯和記憶體」 - 普渡大學和 Samsung Electronics (論文 T4.1)

在這項研究中，普渡大學和 Samsung 的合作者首次報告原子層沉積 (ALD) 全氧化物電晶體 3D 垂直整合，其中以厚 ALD In₂O₃ 作為閘極電極，以 In₂O₃ 本身作為接點。全氧化物薄膜電晶體 (TFT) 具有超過 10⁶ 的開/關比、高均勻性和非常穩定的可靠性，在正偏壓和負偏壓測試中臨界電壓偏移為 5 和 50mV。垂直全氧化物 TFT 具有良好的側壁控制能力，開/關比超過

105，最大電流 (I_{max}) 超過 $160\mu A/\mu m$ 。此外，垂直全氧化物鐵電場效電晶體 (Fe-FET) 的記憶間隔為 $1.85V$ ，耐久性和保留期延長至 10^{12} 個週期和 10 年。這說明基於 ALD 氧化物半導體的垂直全氧化物裝置是未來高密度積體電路的理想選擇。



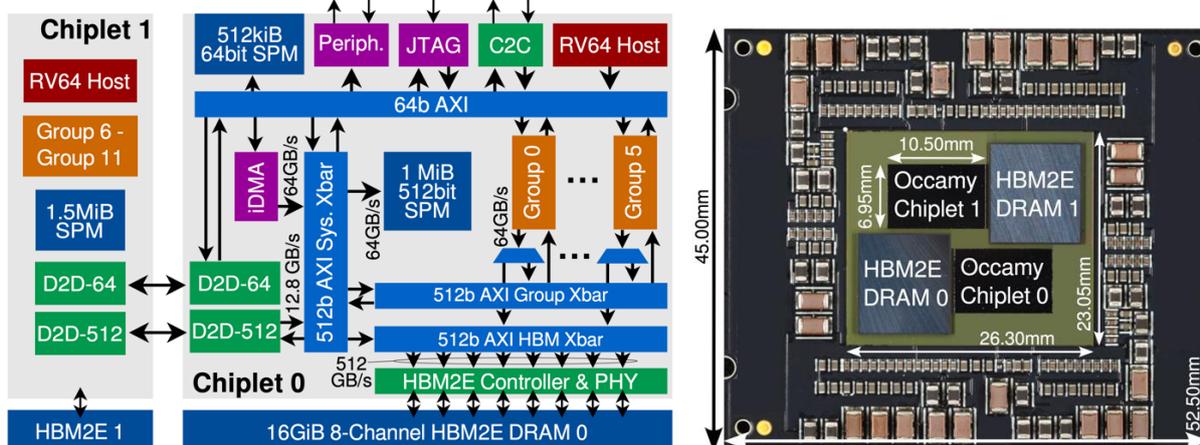
圖：(左)ALD 垂直全氧化物 FET 10nm In_2O_3 電介質的高解析度 TEM 橫截面影像和 EDS 映射。(右) 主要說明 ALD 垂直 In_2O_3 Fe-FET 在室溫下的耐久性和保留效能。

電路焦點

處理器和系統單晶片

「Occamy：一款 432 核心的雙芯粒、雙 HBM2E 的 RISC-V 架構加速器，用於模板和稀疏線性代數計算，每瓦輸出 $28.1 DP\text{-}GFLOP/s/W$ ，浮點運算單元使用率達到 83%，支援 8 至 64 位浮點數，在 12 納米 FinFET 工藝下實現浮點」- 蘇黎世聯邦理工學院、史丹佛大學和波隆納大學 (論文 C7.4)

蘇黎世聯邦理工學院、史丹佛大學和波隆納大學的合作者提出一種彈性的通用雙芯粒系統，該系統具有兩個 16GB HBM2E 堆疊，針對廣泛的不規則記憶體存取運算工作負載進行了優化，並具有高度使用率。此異質系統代號為 Occamy，由 432 核心 RISC-V 雙芯粒 2.5-D 系統組成，用於在 FP64 和窄位 (32 位元、16 位元、8 位元) SIMD 浮點資料上進行高效稀疏線性代數和模板運算。Occamy 具有 48 個含客製化擴充功能的 RISC-V 核心叢集、兩個 64 位元主機核心以及具有 32GB HBM2E 的延遲容忍多重芯粒互連和記憶體系統。矽在模板 (83%)、稀疏-密集 (42%) 和稀疏-稀疏 (49%) 矩陣乘法方面展現領先的使用率。

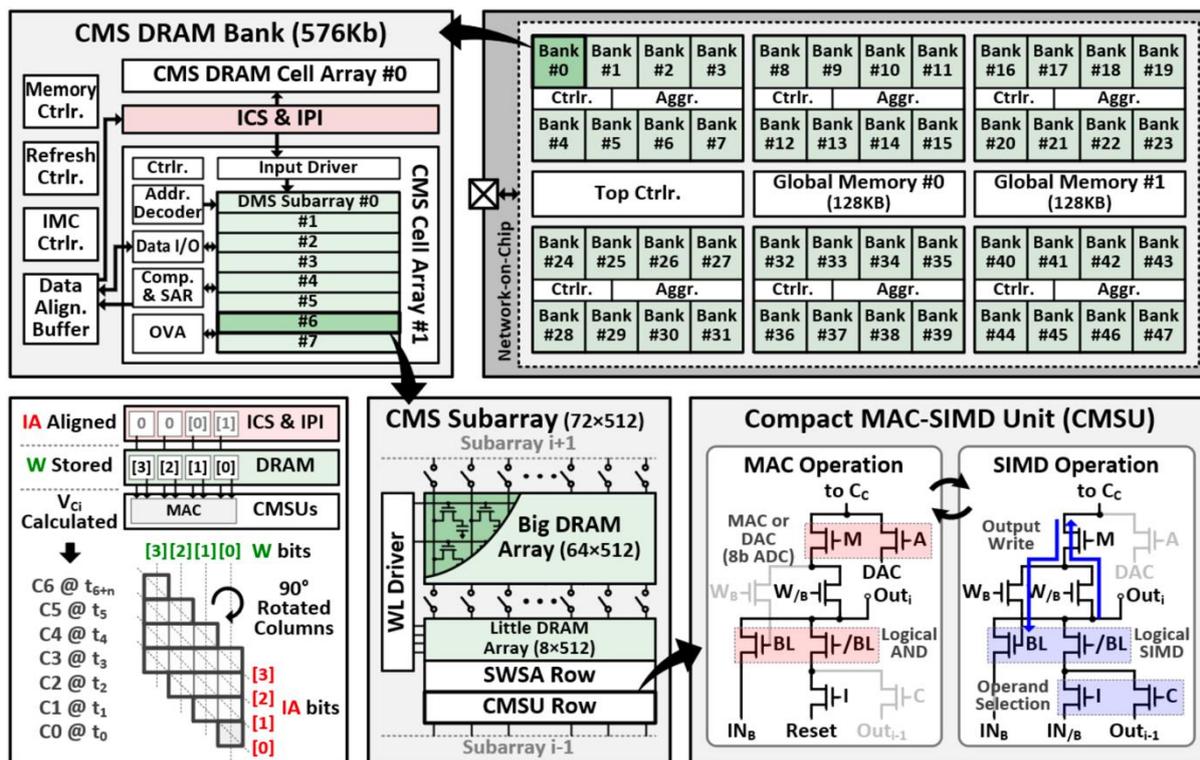


圖：(左) 雙芯粒架構。(右) 模組照片。

用於機器學習的裝置和加速器

「Dyamond：具備輕巧型 MAC-SIMD 和自適應列加法資料流的 1T1C DRAM 記憶體運算加速器」- KAIST 和 Samsung Electronics (論文 C20.1)

KAIST 和 Samsung Electronics 合作提出一款 1T1C DRAM 記憶體運算加速器以運用增加的記憶體密度，透過減少記憶體存取來提高系統能源效率。此加速器代號為 Dyamond，具有列加法 (CA) 資料流，可實現高密度和高能源效率。LSB-CA 能將 ADC 讀出降到最低，以提高能源效率。MSB-CA 具有訊號增強型乘積累加運算 (MAC) 和訊號偏移 ADC，可強化 SQNR 以進一步提高能源效率。可切換感測放大器可降低低功耗記憶體算術 SIMD 的讀取能量。Dyamond 採用 28nm CMOS 製造，並在 6.48mm² 的晶粒面積內整合 27Mb DRAM 記憶體，可達到 27.2 TOPS/W 的峰值能源效率，並在進階 ML 模型 (ResNet、BERT、GPT-2) 中發揮出色效能。

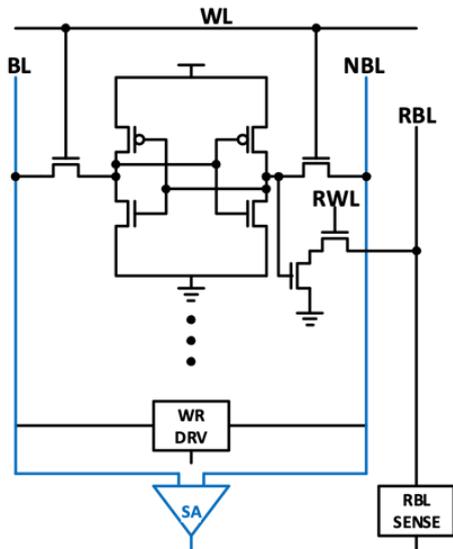


圖：Dyiamond 的整體架構。

記憶體技術、裝置、電路和架構

「適用於 3nm 技術的 Arm HPC 處理器的 7GHz 高頻寬 1R-1RW SRAM」 - Arm (論文 C16.3)

Arm 的作者展示了採用 3nm CMOS 技術的 1 讀-1 讀寫 (1R1RW) 高頻寬實例 (HBI) L1 資料快取記憶體架構，此架構可無縫整合到 Arm 的旗艦級高效能處理器中。HBI 強化傳統 8T-1R1W 記憶體，具有額外的讀取埠，可實現 1R1RW 功能。L1 資料快取中的 HBI 記憶體能讓可用讀取頻寬加倍，進而使處理器 IPC 提高超過 1%。新架構還可進一步減少 CPU 實體設計中的繞線擁塞，使面積減少 13%，繞線延遲減少 10-15 ps。針對任何 8T SRAM 記憶體，矽展示了 100% 的 1R1RW HBI 良率，報告裡最高的頻率超過 7 GHz，最低的位元密度則達 11.2 Mbit/mm²。



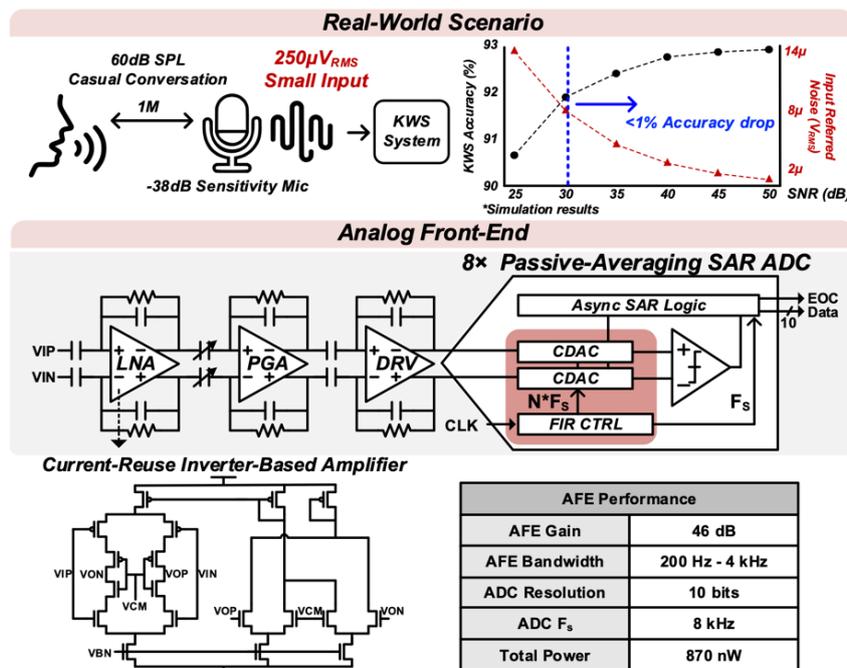
Parameter	1RW	1R1RW HBI
Bitcell	6T (HC)	8T (TP)
Read Ports	1	2
Bitcell Area (a.u.)	1	1.33
Macro Area (μm^2)	1312	1739
L1-D cache (μm^2)	83991 (128KB)	55636 (64KB)

圖：相較於 6T-1RW 記憶體，1R1RW HBI 記憶體單元架構的 L1 資料快取區域減少了 33%。

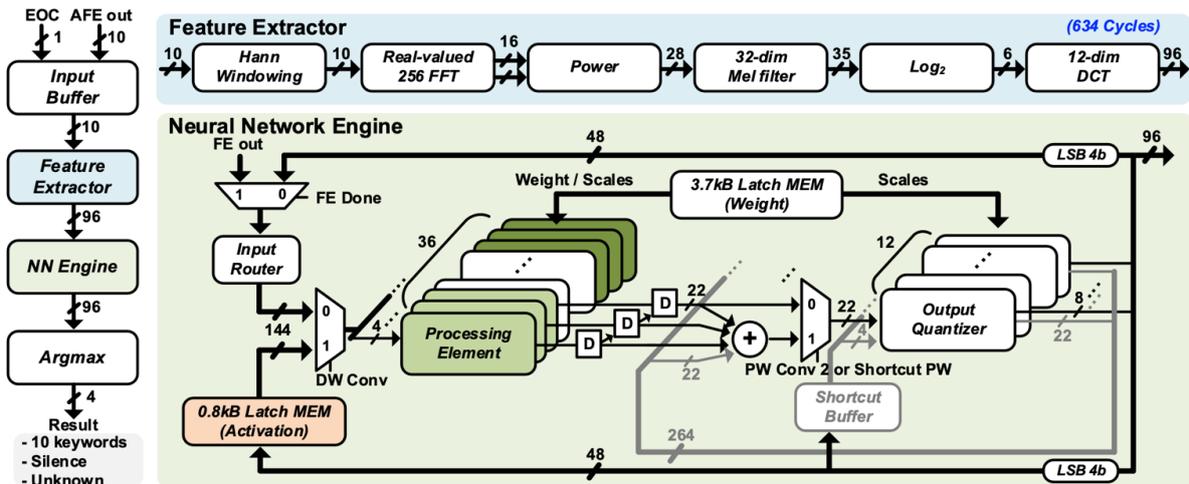
數位電路、硬體安全、訊號完整性、輸入與輸出

「使用被動平均 SAR ADC 和僅符號指數層融合、準確度 92.7% 的 $5.6\mu\text{W}$ 10 關鍵字端對端關鍵字辨識系統」- 首爾國立大學和哥倫比亞大學 (論文 C25.1)

來自首爾國立大學和哥倫比亞大學的研究人員提出一種包含 10 個關鍵字的端對端關鍵字辨識 (KWS) 系統，該系統可用於喚醒和控制行動與物聯網裝置。提出的架構採用被動平均法來改善類比前端 (AFE) 信噪比(SNR)，且操作僅需耗費20nW的功率。僅符號指數層融合架構將模型大小和乘法功耗分別減少了 63.5% 和 29.8%，同時還保持 KWS 準確度。與針對 10 個關鍵字的現有技術相比，此設計提供 92.7% 的最高準確度和 $5.6\mu\text{W}$ 的最低功耗。



圖：AFE 設計限制、架構和效能。

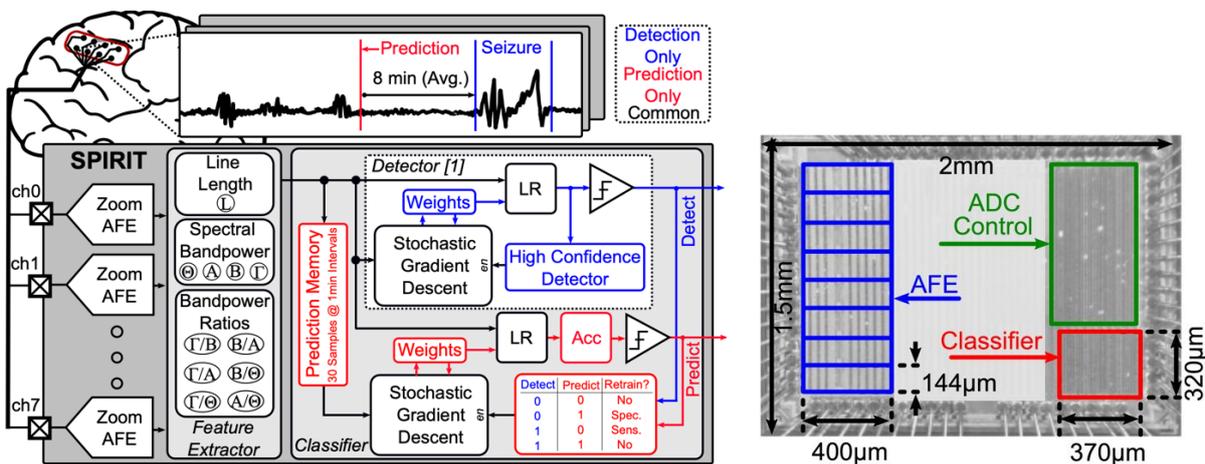


圖：數位後端架構。

生醫裝置、電路與系統

「SPIRIT：具有 17.2 nJ/cIs 無監督線上學習分類器和 Zoom 類比前端的癲癇發作預測 SoC」
- 加州大學柏克萊分校 (論文 C23.1)

加州大學柏克萊分校的作者提出一款名為 SPIRIT 的 SoC，其整合無監督線上學習癲癇發作預測分類器。這項研究展示八款 14.4 μ W、0.057mm²、90.5dB 動態範圍和 Zoom 類比前端。平均而言，SPIRIT 的靈敏度/特異度分別達到 97.5%/96.2%，並能在癲癇發作前 8.4 分鐘做出預測。其分類器功耗為 17.2 μ W，佔用面積為 0.14mm²，在功耗方面，比過去預測分類器中報告的最低值低了超過 134 倍，在面積方面低了超過 5 倍。

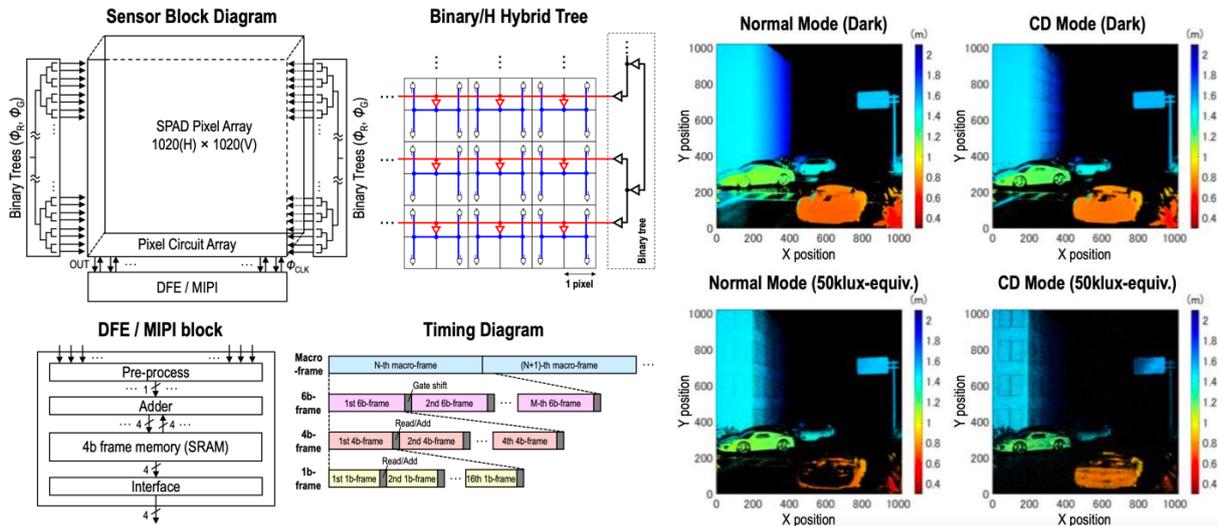


圖：(左) SPIRIT 系統級圖表。(右) 晶片顯微照片。

感測器、成像器、物聯網、微機電系統、顯示器電路

「用於無須影像對齊的感測器融合之具有 2D 互動式閘控網路的 3D 堆疊 1 百萬像素時間閘控 SPAD 影像感測器」- Canon Inc. (論文 C6.1)

Canon 推出一款 $5\mu\text{m}$ 間距、3D-BSI 1 百萬像素時間閘控 SPAD 影像感測器，此感測器具有 2D 互動式閘控網路，可實現影像無須對齊之感測器融合。SPAD 影像感測器用於全域快門 2D 成像時的運作速度為 1,310 fps，另外在 0.02 lux 下具有 0.76 毫秒時間解析度的事件視覺感測。這項研究證明運用選距成像在惡劣環境下取得穩健成像的可行性。閘控網路架構可在 50klux 環境光下實現 3D 深度測量的背景抑制。

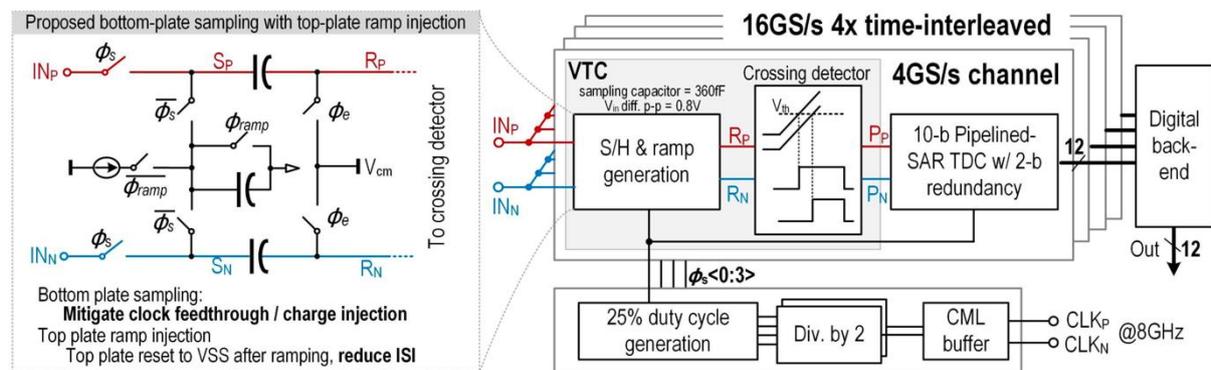


圖：(左) 感測器區塊圖、時脈樹配置和時序圖。(右) 在黑暗和 50klux 等效環境光下拍攝的正常模式和 CD 模式下測量的 3D 深度圖。

資料轉換器

「具有延遲變異補償和背景校正準、可在 4nm CMOS 中實現 153.8dB FoM、使用管線式 SAR TDC 的 16GS/s 10b 時域 ADC」 - 南加州大學和 MediaTek (論文 C24.2)

南加州大學和 MediaTek 的研究人員共同發表一款直接射頻取樣的時域 ADC，4nm CMOS 中僅使用 4X 時間交錯即可實現 16GS/s 速度的 10 位元轉換。此架構採用基於冗餘的時間數位轉換器 (TDC) 延遲變異性補償架構、背景延遲偏移校正架構和底板取樣電壓時間轉換器 (VTC) 結構以實現高 SNR 和線性度。矽可在奈奎斯特頻率實現 55.93dB SFDR 和 44.48dB SNDR，耗電量為 94.2mW，佔用 $8000\mu\text{m}^2$ 有效面積，從而達到了 153.8 dB 的 Schreier FoM，表現出卓越的性能。

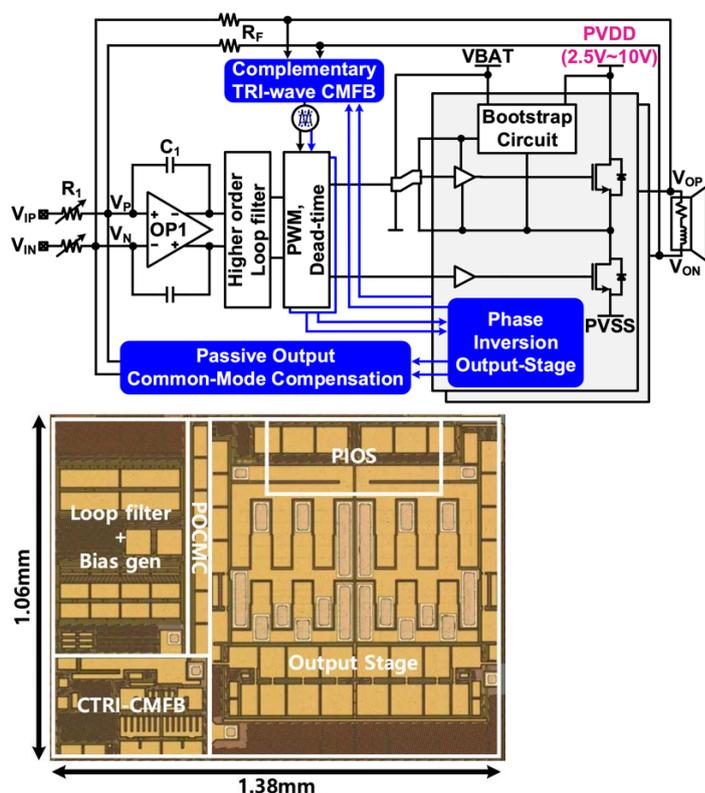


圖：ADC 區塊圖和建議的 VTC 架構。

類比和混合訊號電路

「採用被動輸出共模補償技術，可實現寬輸出功率範圍的 5.8W、0.00086% THD+N、118dB PSRR D 類音訊放大器」 - Samsung Electronics (論文 C5.3)

Samsung Electronics 的作者提出一款採用兩種關鍵技術的 D 類音訊放大器 (CDA)：被動輸出共模補償 (POCMC) 可在寬輸出功率範圍內實現高線性度，而互補三波共模回授 (CTRI-CMFB) 則可改善 PSRR。這款 CDA 採用 0.13 μm BCD 製程，佔用面積 1.46 mm^2 ，可實現 0.00086% THD+N、118dB PSRR，在 8 Ω 負載時有最大輸出功率 5.8W (THD+N=1%)及效率 93.2%。

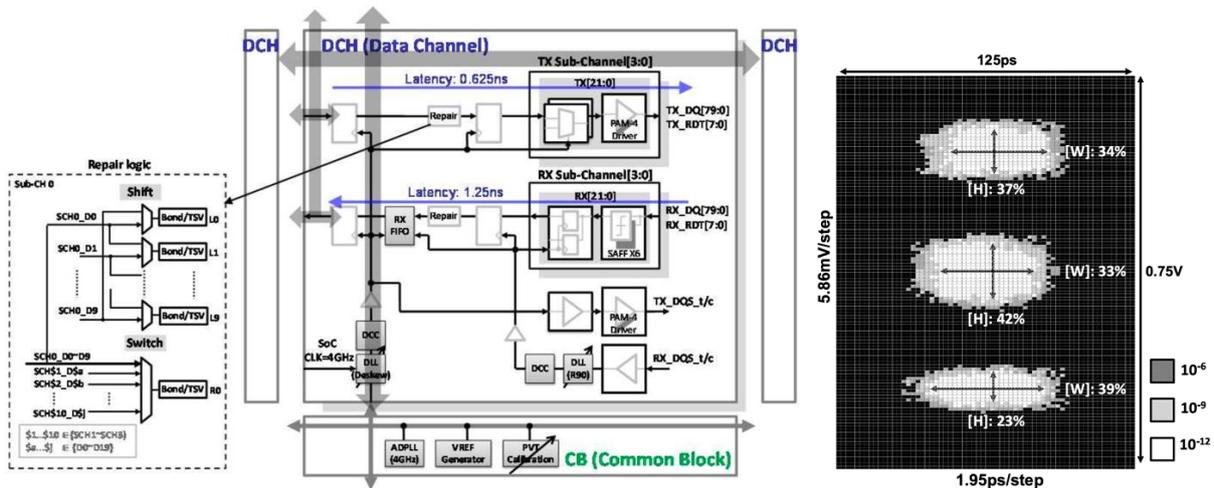


圖：(左) 提出的 CDA 圖示。(右) 晶粒顯微照片。

有線和光學收發器、光學互連和處理器

「可在 16Gb/s PAM-4 下實現 10.24 Tb/s 頻寬、採用 9 μm 間距 3D 封裝 5nm/6nm FinFET 的 0.296-pJ/bit 17.9-Tb/s/ mm^2 晶片互連」 - TSMC (論文 C14.1)

TSMC 的作者提出一種晶片互連，用於將 5nm 運算晶片和 6nm SRAM 晶片異質整合，並以 9 μm 鍵合間距進行面對面 3D 堆疊。這項研究展示支援完全可擴充性的模組化設計，並以 PAM-4 每通道 16Gb/s 資料傳輸率實現 320 個 TX 通道和 320 個 RX 通道的 10.24-Tb/s 整體頻寬。每個資料叢集模組在 378 μm \times 378 μm 的尺寸下包含 80 個 TX/RX 通道，提供 17.9 Tb/s/ mm^2 的頻寬密度和每個連結 0.296 pJ/bit 的能源效率。

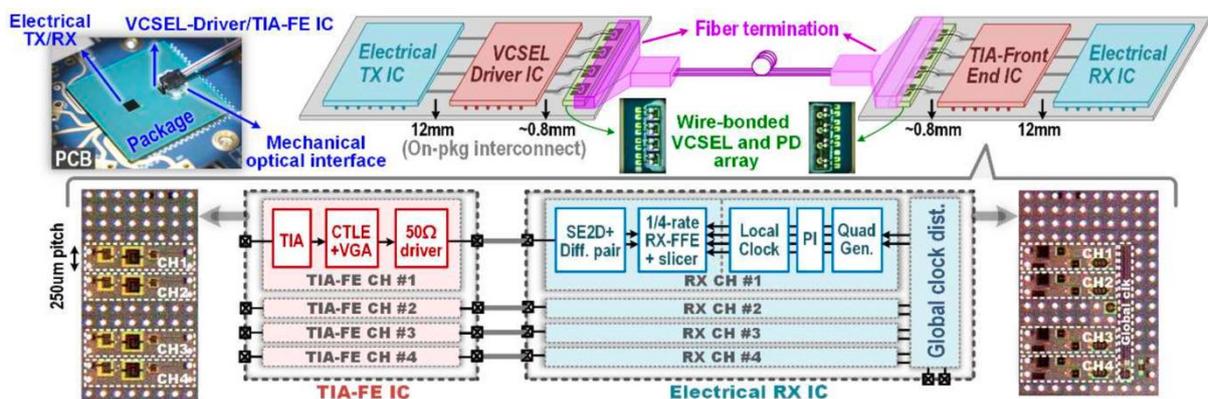


圖：(左) 具有修復邏輯的晶片互連架構。(右) 測得 16Gb/s 的 PAM-4 眼圖。

有線和光學收發器、光學互連和處理器

「4x50-Gb/s NRZ 1.5-pJ/b 共同封裝與光纖終端之 4 通道光學 RX」 - Intel Corporation (論文 C14.4)

Intel 研究人員推出一款針對大數據應用的 4 通道共同封裝光學接收器 (RX)。RX 將光電二極體陣列、光纖終端和轉阻放大器前端 (TIA-FE) IC 整合在與 RX 資料路徑 IC 相同的封裝內。為了實現高靈敏度，TIA-FE 採用頻寬擴展和頻段內群組延遲補償技術，與 RX 資料路徑中的四分之一速率 2 抽頭前饋式等化器共同最佳化。前端還具有 StrongArm 鎖存器，可將雜訊變異數改善 3.5 倍以達到等功率的效果。光學 RX 由 VCSEL 型光學發射器進行配對調變，並在 1.5 pJ/b 下達到 4x50 Gb/s NRZ，BER 低於 10^{-12} ，靈敏度為 -6 dBm。

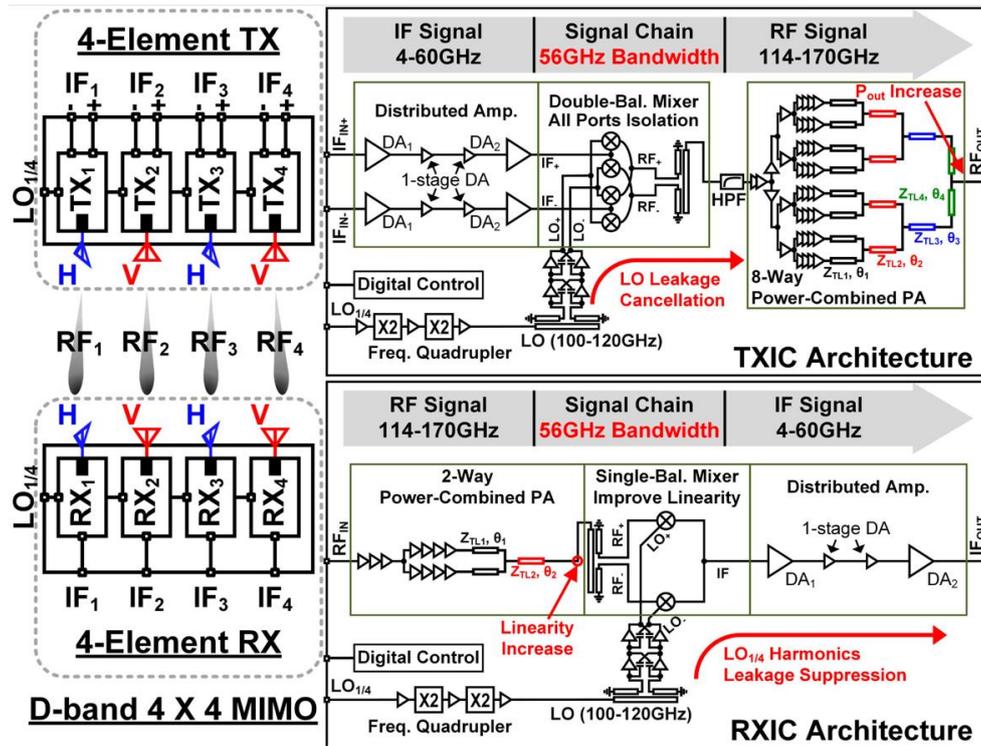


圖：共同封裝和光纖終端 4 通道光學收發器系統整合，具有 RX 和 TIA-FE IC 的簡化區塊圖。

無線和射頻裝置電路和系統

「640Gb/s 4x4-MIMO D 頻段 CMOS 收發器晶片組」 - 東京工業大學 (論文 C9.2)

東京工業大學推出一款 CMOS 收發器 (TRX) 晶片組，涵蓋 D 頻段 (114-170GHz) 毫米波應用的 56GHz 訊號鏈頻寬。此研究提出一款 8 路、低 Q 值的功率結合式功率放大器、一款 2 路、低 Q 值的功率結合式低雜訊放大器、寬頻阻抗轉換混頻器，和基於共源的疊接分散式放大器，以提高頻寬和線性度。TRX 矽晶片組在單輸入單輸出 (SISO) 無線量測中可達到 200Gb/s 資料傳輸率 (32-QAM 模式)，在 15 公尺的距離則可達到 120Gb/s 資料傳輸率 (16-QAM 模式)。此研究亦展示 640Gb/s 的 4x4 多輸入多輸出 (MIMO) 的運作。



圖：MIMO 和收發器晶片組區塊圖。