



2025 Symposium on VLSI Technology and Circuits 하이라이트

2025 VLSI 기술 및 회로 심포지엄은 마이크로/나노 반도체 집적 기술의 발전, 진화 및 혁신을 기록하는 대표적인 국제 학회로 2025 년 6 월 8 일부터 12 일까지 개최된다. 본 심포지엄은 인적 교류의 기회를 제공하기 위해 일본 교토의 리가 로얄 호텔에서 대면으로 개최될 예정이다.

이번 심포지엄은 **"VLSI 기술의 발전: 혁신의 씨앗에서 비약적 성장"**이라는 주제로 진행되며, 인간의 소통 방식을 변화시키는 차세대 스마트 커넥티드 장치 및 시스템을 위한 첨단 반도체 기술 개발, 혁신적인 회로 설계 및 응용 분야가 발표된다.

이번 심포지엄에서의 주요 논문들을 소개한다:

Technology Highlights

Advanced CMOS Technology

"Intel 18A Platform Technology Featuring RibbonFET (GAA) and Power Via for Advanced High-Performance Computing" – Intel (Paper T1-1)

RibbonFET 및 Power Via 를 도입한 첨단 Intel 18A 기술은 Intel 3 대비 30% 이상의 집적도 증가와 전체 노드의 성능 향상을 제공한다. Intel 18A 는 완벽한 기능을 갖춘 기술 설계 역량과 향상된 설계 용이성을 갖춘 고성능(HP) 및 고밀도(HD) 라이브러리를 제공한다.

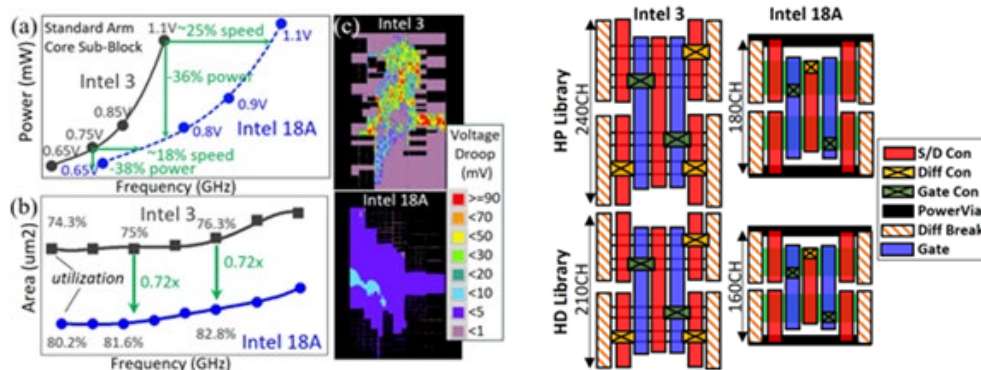


그림: (좌) Intel 18A vs. Intel 3 PPA(전력, 성능, 면적) 비교. (우) Intel 18A vs Intel 3 고밀도 라이브러리, 고성능 라이브러리.

Advanced Packaging

"High-density wafer level connectivity using frontside hybrid bonding at 250nm pitch and backside through-dielectric vias at 120nm pitch after extreme wafer thinning" – imec (Paper T6-1)

imec은 250nm 피치의 페이스-투-페이스 하이브리드 본딩을 사용하고, 120nm 피치에서 후면 TDV(through-dielectric vias)를 사용하는 고밀도 웨이퍼 레벨 연결방식을 제안한다. 웨이퍼 후면에서의 접근은 얇은 트렌치 격리층을 이상으로 극도로 얇은 웨이퍼 박화를 통해 구현되었다.

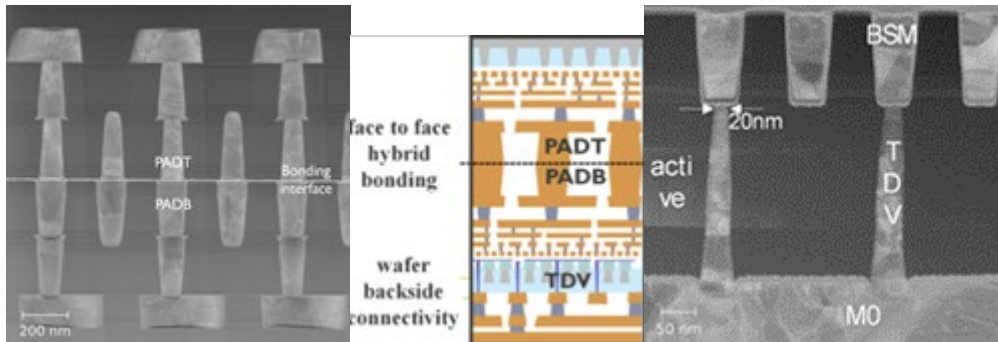


그림: (좌) 250nm 피치의 페이스-투-페이스 하이브리드 본딩. (중) 이중 3D 패키지의 페이스-투-페이스 하이브리드 본딩 및 후면 연결 개략도 이미지. (우) TDV(through-dielectric vias)를 사용한 전면-후면 연결.

Process and Materials for CMOS Scaling and New Devices

"Performance Step-up in PMOS with Monolayer WSe₂ Channel" – Taiwan Semiconductor Manufacturing Company (TSMC) (Paper T1-4)

TSMC는 단층(1L) WSe₂ 채널 및 1.2 nm 두께의 등가 게이트 산화물을 갖는 백 게이트 PMOS가 Enhancement 모드에서 작동하면서 72 mV/dec. 의 subthreshold 스윙 및 -1 V 의 V_{DS}에서 400 $\mu\text{A}/\mu\text{m}$ 의 ON-전류에 도달하고, ON/OFF ratio 가 7 차수인, 히스테리시스가 거의 없는 특성을 보여준다. 이러한 결과는 1L WSe₂를 확장된 p-채널 후보로서 더욱 경쟁력 있게 만든다.

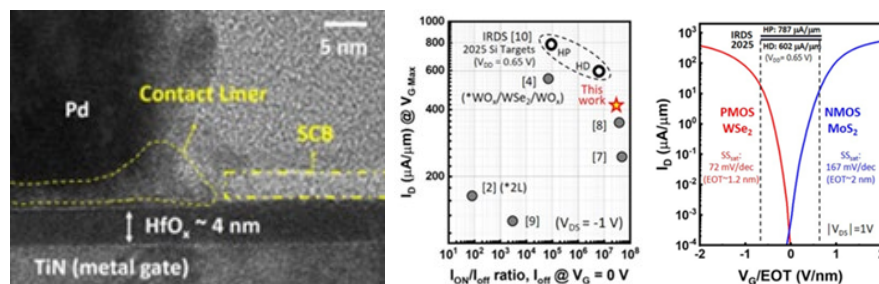


그림: (좌) 4 nm의 물리적 백 게이트 유전체 두께, SCB(sacrificial contact buffer) 층 및 접점 라이너가 있는 WSe₂ 소자의 고해상도 단면 TEM 이미지. (중) ON 전류 vs. ON/OFF ratio의 벤치마크. (우) IRDS 2025 타겟 대비 PMOS-WSe₂ 및 NMOS-MoS₂의 잠재적 조합.

Process and Materials for CMOS Scaling and New Devices

"A Gate-All-Around Nanosheet Oxide Semiconductor for Transistor by Selective Crystallization of InGaOx for Performance and Reliability Enhancement" – The University of Tokyo, AIST and Nara Institute of Science of Technology (Paper T6-3)

도쿄대학교와 나라선단과학기술원은 ALD 공정으로 성장시킨 결정질 InGaOx 가 기존의 비정질 물질보다 이동성이 뛰어나다는 것을 입증하였으며, 이동성 및 바이어스 스트레스 안정성을 위한 최적 조성비도 발견하였다. 또한, 결정질 InGaOx 를 이용한 GAA(gate-all-around) 나노시트 트랜지스터의 집적 공정을 개발하고, normally-off 동작과 높은 바이어스 스트레스 안정성을 입증하였다. 이 연구 성과는 LSI 응용 분야에서 산화물 반도체 트랜지스터의 소자 스케일 축소에 기여할 것이다.

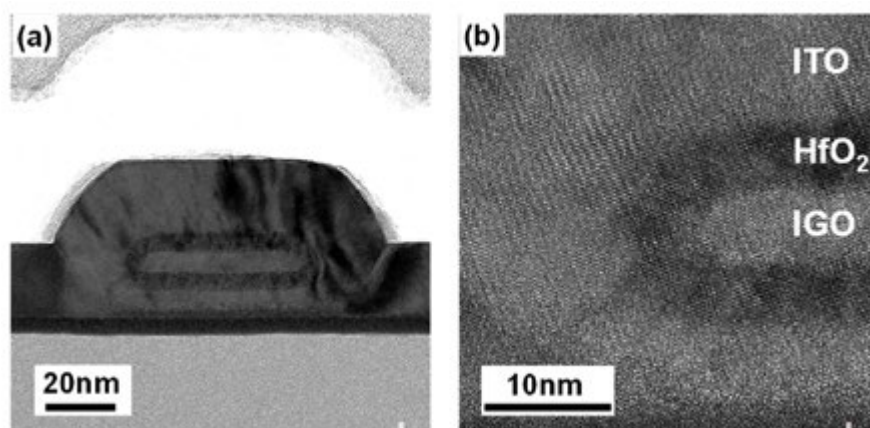


그림: 이 연구에서 제작된 GAA(gate-all-around) 나노시트 InGaOx 트랜지스터의 단면 TEM 이미지. (우) 왼쪽 이미지의 일부를 확대한 이미지.

Process and Materials for CMOS Scaling and New Devices

"Orthogonal V_T Tuning for Oxide Semiconductor 2T Gain Cell enabled by Interface Dipole Engineering" – Stanford University and Taiwan Semiconductor Manufacturing Company (TSMC) (Paper T19-1)

산화물 반도체 FET 의 문턱 전압 조절을 위한 독립적인 요소로 게이트 유전체의 계면 엔지니어링을 2-트랜지스터 gain-셀 메모리에 적용하였다. 본 연구에서는 IWO(Indium-Tungsten-Oxide) FET 를 위한 계면 쌍극자 엔지니어링을 활용하여, ΔV_t 를 85°C 에서 극저온까지 유지하면서 표준 HfO2 대비 450-500mV 의 문턱 전압 증가를 달성하였다.

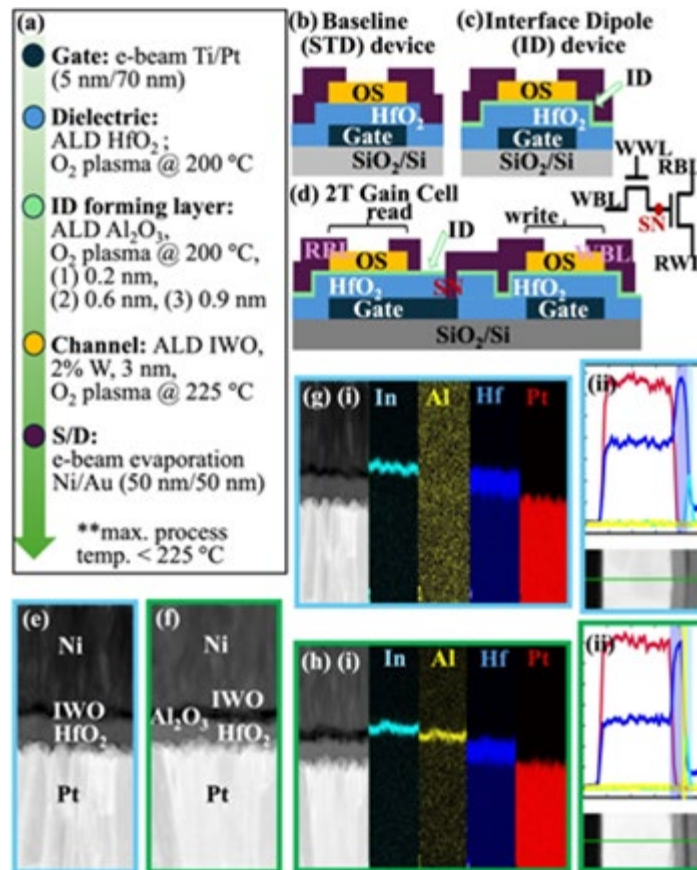


그림: 인터페이스 다이폴 엔지니어링을 적용한 산화물 반도체 게인-셀의 공정 흐름. 단면 TEM 이미지와 EDS 원소 맵.

Device Physics, Characterization, Modeling and Reliability

"Demonstration of Tungsten-doped Indium Oxide MOSFETs with 3 Angstrom EOT, Improved Stability and High On-Current" – Georgia institute of Technology and Samsung Electronics Co., Ltd (Paper T1-3)

Georgia Institute of Technology 와 삼성은 W-doped In_2O_3 (IWO) 채널 MOSFET 에서 높은 on-전류와 향상된 안정성을 보여준다. $\text{HfO}_2\text{-ZrO}_2\text{-HfO}_2$ (HZH) 적층 게이트 유전체를 사용하면 EOT 를 0.3 nm 로 축소할 수 있어 244 $\mu\text{A}/\mu\text{m}$ 의 높은 on 상태 전류가 달성된다. 그 밖에도, HZH 게이트 스택은 positive 와 negative 의 바이어스 불안정성을 효과적으로 억제한다. 제시된 HZO 게이트 스택의 IWO MOSFET 은 BEOL 공정을 사용하여 안정적인 3D-집적 회로를 개발할 수 있는 길을 열어준다.

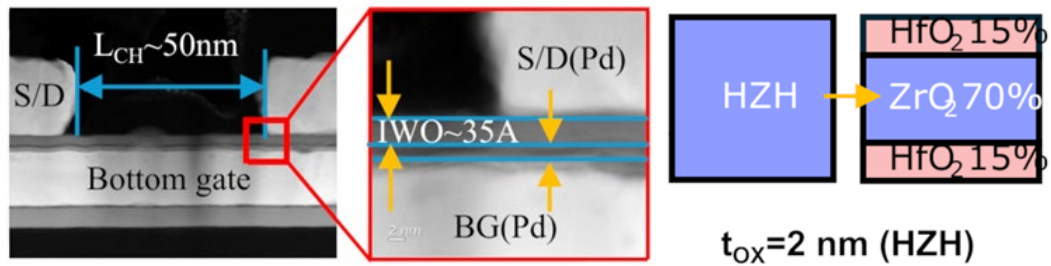


그림: (좌) $L_{ch} = 50 \text{ nm}$, 3.5 nm IWO 채널 및 2 nm HZH 게이트 스택을 보여주는 단면 STEM 이미지. (우) HZH 스택의 $\text{HfO}_2/\text{ZrO}_2/\text{HfO}_2$ 두께 구성.

Memory Technology

"Highly Scalable and Reliable Cell Characteristics for 1Tb 9th Generation 3D-NAND Flash Technology" – Samsung Electronics Co., Ltd (Paper T1-5)

삼성에서는 286 층 9 세대 3D-NAND 플래시 메모리를 자세히 소개한다. 비트 밀도는 수직 및 수평 측면에서 과감한 축소를 통해 이전 세대 대비 50% 향상되었다. 첨단 ONO 소재 엔지니어링을 통해 극단적인 스케일링으로 인한 안정성 문제를 해결하여 최소 셀 부피로 매우 안정적인 3D-NAND를 구현하였다.

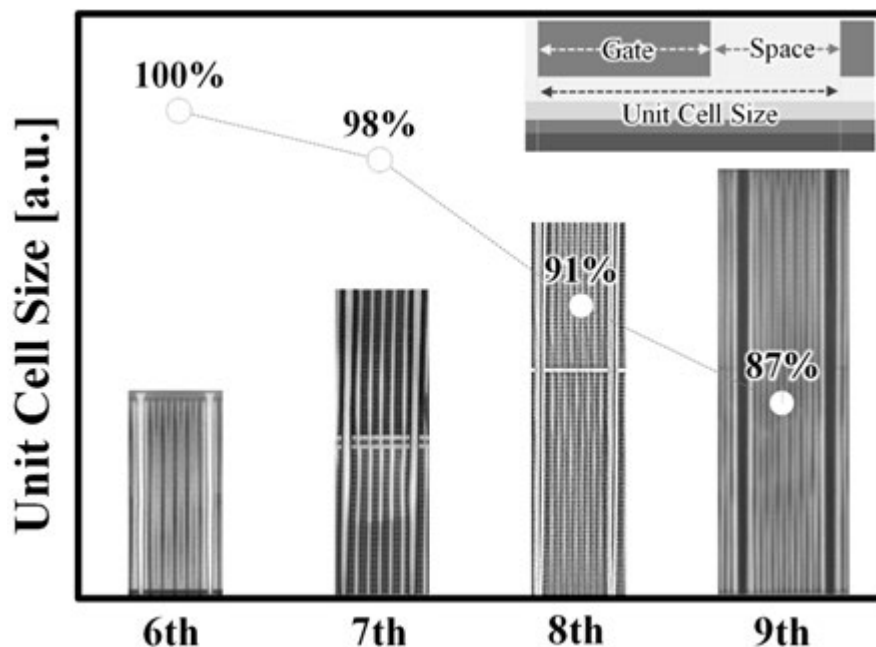


그림: 6 세대부터 9 세대까지의 각 세대별 3D-NAND 플래시 메모리의 수직 단면 SEM 이미지 및 단위 셀 크기.

Memory Technology

"1T1C 3D HZO FeRAM with High Retention ($>125^\circ\text{C}$) and High Endurance ($>1\text{E}13$) for Embedded Nonvolatile Memory Application" – Huawei Technologies Co., Ltd (Paper T6-5)

Huawei 는 HZO(hafnium zirconium oxide) 소재를 활용한 고성능 1T1C 3D FeRAM 테스트 칩을 발표한다. 이 테스트 칩은 40nm CMOS 플랫폼에서 제조된 7nm 두께의 HZO 박막으로 구성된 트렌치 구조의 강유전체 커패시터(FeCAP)를 탑재하여 10 년간의 데이터 보존 및 125°C 에서의 안정적인 작동을 보장한다. 또한, HZO 박막 양면에 결함 차폐층(DSL)을 배치한 새로운 스택 설계를 통해 강유전체 메모리의 일반적인 문제인 스트레스, 임프린트, 핀치 현상 등을 효과적으로 억제한다. 메모리 어레이는 32Mb 의 용량을 자랑하며 $-5.2\sigma(0.1\text{ppm})$ 에서도 340mV 의 메모리 윈도우를 보여주고, 10^{11} 쓰기 사이클 및 10^{13} 읽기 사이클, 그리고 125°C 의 고온 베이킹 후에도 200mV 이상의 메모리 윈도우를 유지한다. 이러한 결과는 임베디드 비휘발성 메모리(eNVM) 응용 분야에서 eFlash 를 대체할 수 있는 가능성을 크게 향상시킨다.

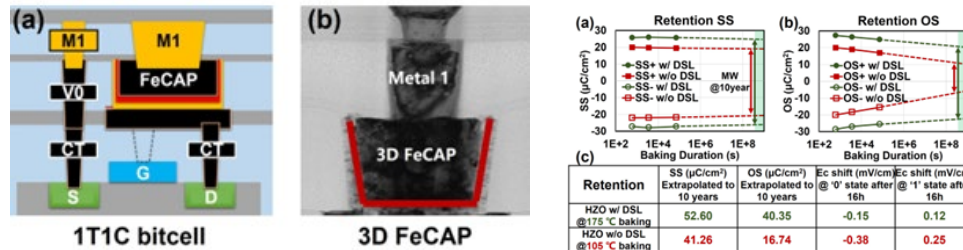


그림: (좌) 3D FeRAM 의 도식 구조 및 TEM 단면도. (우) 보존 특성.

Memory Technology

"Voltage Reduction (1.4V) and Array Scaling (41nm) of Ferroelectric NVDRAM for Low-Power and High-Density Applications" – Micron Technology Inc., (Paper T6-2)

2 세대의 스케일링된 강유전체 NVDRAM 은 축소된 x 및 y 방향 피치(41nm), 더 얇아진 강유전체 스택(5nm) 및 더 낮은 어레이 작동 전압(1.4V 에서 읽기/쓰기)을 특징으로 가진다. 전체 칩 어레이 데이터는 1E10 사이클 후 -4σ 에서 $>250\text{mV}$ 윈도우를 보여준다. 이는 고성능을 갖춘 가장 밀도가 높은 1T1C 강유전체 기술이다. 축소된 크기에서도 성능이 유지되도록 여러 가지 재료 및 전기적 문제를 해결하였다.

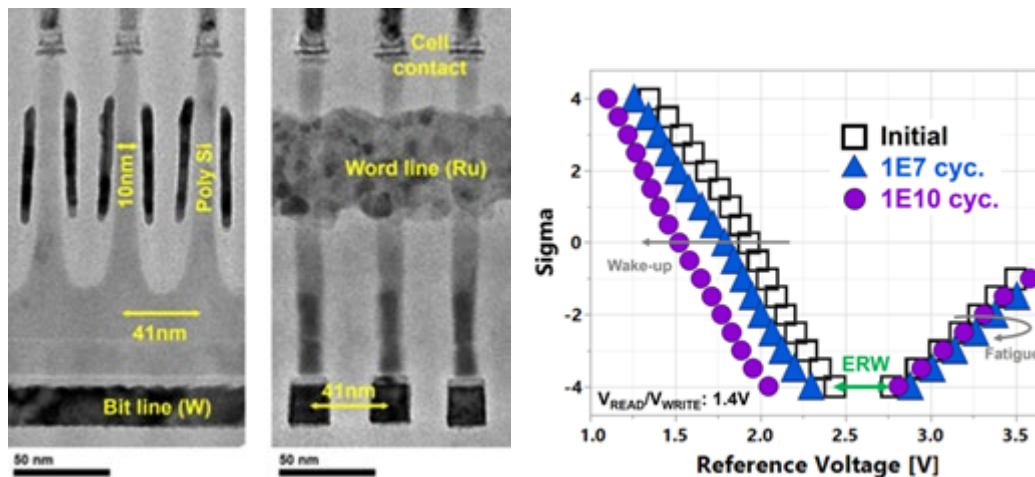


그림: (좌) 액세스 소자의 TEM 단면도. (우) 1.4V, 95°C 에서 작동하는 5nm 강유전체 스택의 내구성 특성.

Memory Technology

"Integration of 0.75V V_{DD} Oxide-Semiconductor 1T1C Memory with Advanced Logic for An Ultra-Low-Power Low-Latency Cache Solution" – Taiwan Semiconductor Manufacturing Company (TSMC) (Paper T2-1)

TSMC 는 BEOL 메모리와 고급 로직의 모놀리식 통합을 성공적으로 입증하였다. 메모리 어레이는 BEOL 에 완전히 임베디드되어 산화물 반도체 채널 선택기와 저온 공정 커패시터를 포함한다. 이 고급 논리 호환 BEOL 메모리 기술은 SRAM 보다 높은 밀도의 커스터마이징이 가능한 초저전력, 저지연 캐시 솔루션을 제공한다.

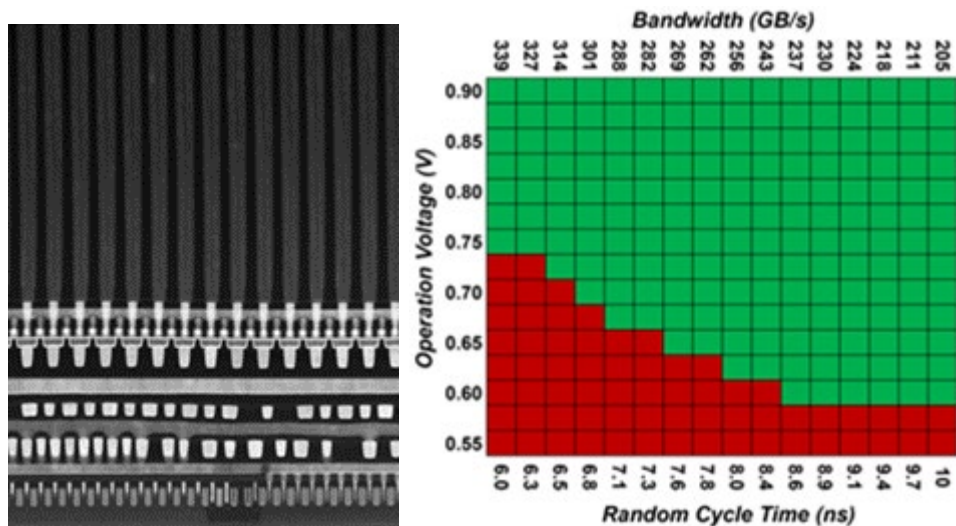


그림: (좌) 셀 어레이 영역 TEM 단면도. (우) 85°C 및 128ms 보존에서의 Shmoo.

이미지 센서 기술

"A Back-illuminated 10 μ m-pitch SPAD Depth Sensor with 42.5% PDE at 940 nm using Optimized Doping Design" – Sony Semiconductor Solutions (Paper T1-2)

이 연구는 300 mm CMOS 플랫폼에서 BI(back-illuminated) 구조의 10 μ m 피치 SPAD(single-photon avalanche diode) 깊이 센서를 사용하여 수행되었다. 광자 검출 효율(PDE)을 높이기 위해 증폭 영역 설계를 최적화하여 가이거 모드의 트리거 확률을 높이고, 최적화된 도핑 설계를 도입하여 더욱 효율적인 전하 수집을 가능하게 하였다. 그 결과, 940 nm 에서 42.5%라는 세계 최고 수준의 PDE 가 달성되었다.

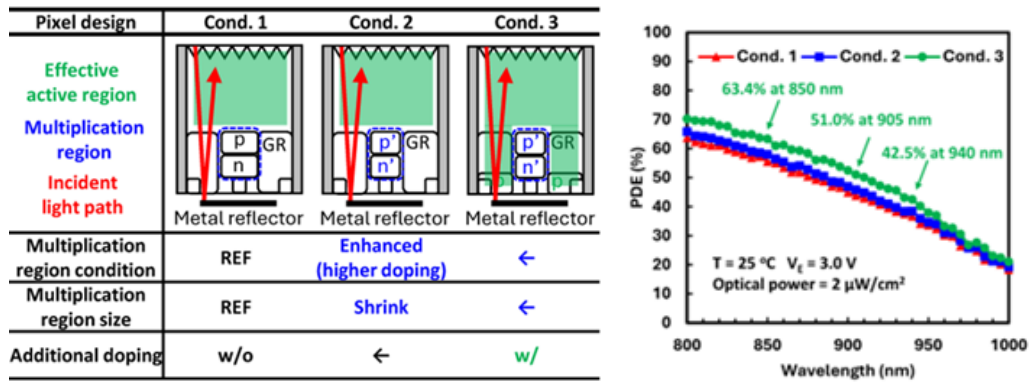


그림: (좌) 픽셀 설계 비교. (우) PDE의 실험 결과.

이미지 센서 기술

"First Demonstration of 1T FDSOI-based > 1000fps Image Sensor with In-pixel Computing" – Peking University (Paper T6-4)

베이징대학교는 1T 22nm FDSOI 픽셀에 기반한 128x128 이미지 센서를 보여준다. 이 센서는 매립 산화물 아래의 공핍 영역을 활용하여 광학 센싱을 수행한다. 주요 특징은 다음과 같다. (1) FET의 증폭 효과로 인해 5×10^5 A/W의 매우 높은 광감성을 제공하고, (2) 게이트/드레인 전압으로 광감성을 조정할 수 있어 1T 구조에서 픽셀 내 컴퓨팅 기능을 구현할 수 있으며, (3) 칩은 픽셀 내 처리 기능 및 제안된 노출/샘플링/리드아웃 분리된 파이프라인 설계를 활용하여 1000 fps 이상 이미징 및 특성 추출을 달성할 수 있다.

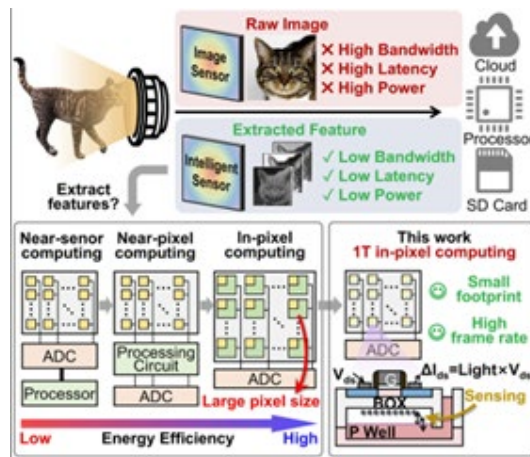


그림: 지능형 센서의 다양한 아키텍처 및 센서 데이터 전송 중 발생하는 문제를 해결하는 방법 제시.

Circuit Highlights

Biomedical devices, circuits, and systems

"PANDA: A 3.178 TOPS/W Reconfigurable Seizure Prediction And Detection Neural Network Accelerator for Epilepsy Monitoring" (Paper C21-1)

베이징대학교, 남방의과대학교, 남방과학기술대학교의 연구팀은 **PANDA**라고 하는 발작 감지 및 예측을 위한 재구성 가능한 신경망 가속기를 발표한다. 연구자들은 신경망의 시간적 분할 및 통계 정보를 사용한 데이터 흐름 개선을 통해 감지/예측 작업의 효율을 향상시켰다. 이를 통해 간질 발작에 대한 99%의 민감도와 0.43회/h의 오타율로 3.178 TOPS/W의 효율을 달성하였다.

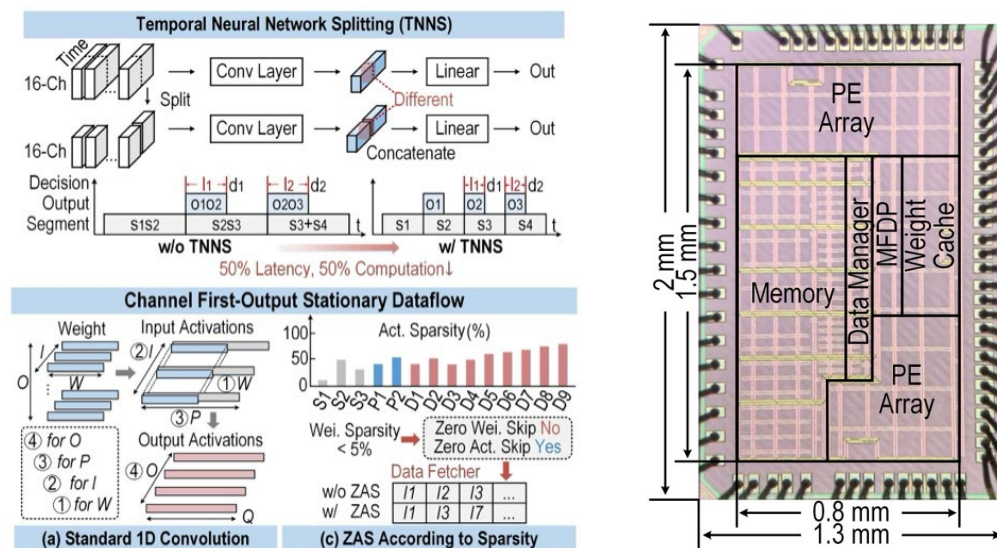


그림: (좌) 제안된 아키텍처. (우) 칩 현미경 사진.

"An Active Silicon Perforated MEA for Seamless 3D Organoid Interfacing with Low-Noise, Scalable Multimodal Electrophysiology" (Paper C24-1)

Imec은 저잡음, 고해상도 기록, 자극 및 전기화학 임피던스 분광법(EIS)을 위한 CMOS 전자 장치를 통합하는 3D 오르가노이드 인터페이스용 활성 실리콘 천공 마이크로 전극 어레이(MEA)를 보고한다. MEA는 멀티플렉싱 작동이 가능한 확장 가능한 256-island 메쉬를 특징으로 하며, 낮은 입력 참조 노이즈($9.1 \pm 1.5 \mu V_{rms}$, 300Hz~10kHz)와 낮은 전력(island 당 $11.3 \mu W$)을 달성한다. 심근세포를 이용한 시험관 내 실험에서 전압 자극을 통한 정확한 기록, 네트워크 전파 매핑, 세포 내 기록이 입증되었다. 이 천공형 MEA는 장기 칩(organ-on-chip) 연구를 발전시킬 수 있는 탁월한 기능성과 확장성을 제공한다.

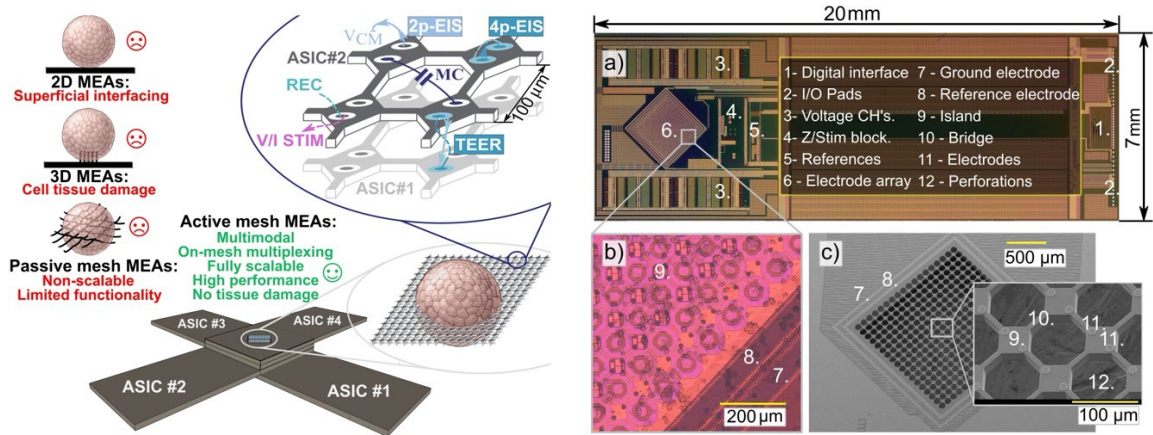


그림: (좌) 4 개의 천공형 MEA 가 적층된 3D CMOS MEA 시스템의 개념. (우) a) 다이 사진 b) 전극 어레이 위에 심근세포 배양 c) 천공, island 및 전극이 있는 완전한 현수형 메쉬의 SEM 이미지.

Data converters

"An 11.9-ENOB 560-MS/s Subranging ADC Employing Amplifier-Switching Architecture with Multi-Threshold Comparators" (Paper C8-1)

도쿄대학교는 증폭기 스위칭 서브레인징 아키텍처를 채택한 14비트 560MS/s ADC를 제안한다. 또한, 단일 입력 쌍으로 16단계의 결정을 달성하기 위해 타임 래치 스테이지를 갖춘 다중 임계값 비교기도 제안한다. 28nm CMOS로 제작된 이 제품은 나이퀴스트 입력에서 72.14dB SNDR를 달성하고 560MS/s에서 9.76mW를 소모하여 176.7dB의 Schreier FoM을 달성한다.

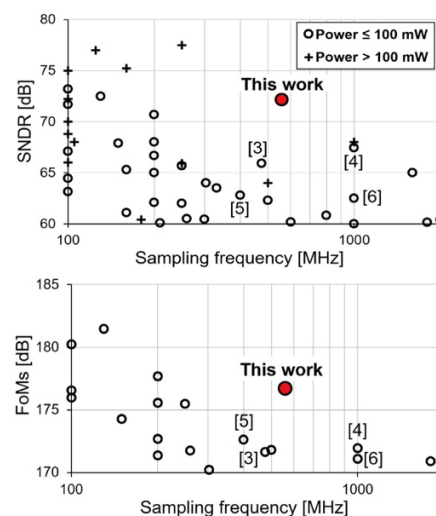
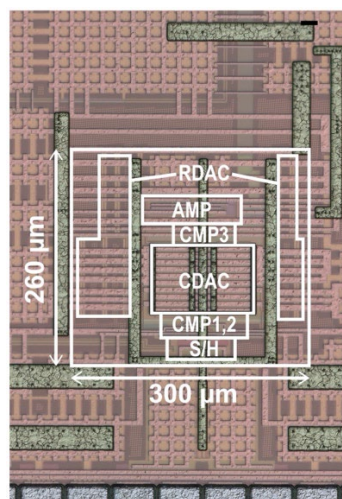


그림: 28nm CMOS 프로토타입의 칩 사진 및 $F_s > 100$ MHz의 최신 나이퀴스트 속도 ADC와의 성능 비교.

Devices and Accelerators for ML/DL and New Compute

"NuVPU: A 4.8~9.6 mJ/frame Progressive NTT-based Unified Video Processor for Stable Video Streaming and Processing with Neural Video Codec" (Paper C10-2)

KAIST 연구진은 이전 설계보다 최대 9.2배 더 뛰어난 성능인 36.9 TOPS/W의 속도로 신경망 비디오 코덱(NVC)의 스트리밍과 후처리를 가속화하는 최초의 통합 신경망 비디오 프로세서인 NuVPU를 소개한다. NuVPU는 SCNE(Selective Convolution-mode Neural Engine)와 PNTU(Progressive NTT Unit)를 활용하여 연산 영역을 적응적으로 전환하고 논리 및 메모리 오버헤드를 최대 80%까지 줄여 처리량을 3.35배 향상시킨다. 주파수 인식 압축 및 적응형 스케줄링을 갖춘 새로운 메모리 아키텍처는 외부 메모리 액세스를 81.3% 줄여 가변적 네트워크 조건에서도 안정적인 4K 비디오 전송을 가능하게 한다.

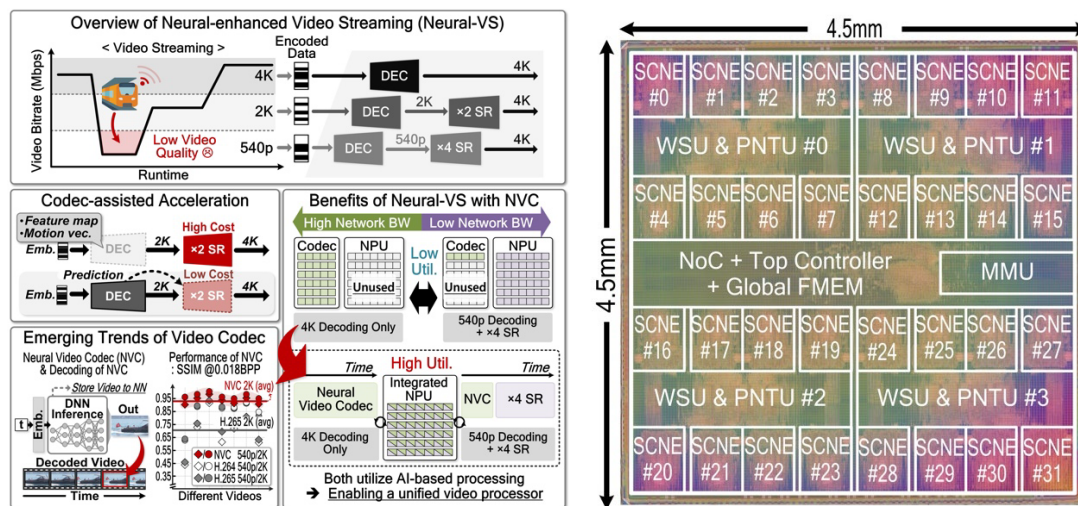


그림: NTT 기반 가속으로 원활한 4K 신경망 비디오 스트리밍과 후처리를 지원하는 NuVPU 칩.

Digital Circuits, Hardware Security, Signal Integrity, Ios

"A 77 fJ/bit 8 Gbps Low-Latency Self-Timed Die-to-Die Link for 2.5D and 3D Interconnect in 3nm" (Paper C7-3)

NVIDIA 연구진은 표준 적응형 디지털 클록과 전압 공급을 사용하는, 2.5D 및 3D 적층 다이 인터커넥트를 위한 self-timed 다이-투-다이 직렬 링크를 제시한다. 이 링크는 3nm 공정에서 1 사이클 지연의 8Gbps/pin 대역폭, 77fJ/b의 에너지 효율 및 07V 에서 44 Tbps/mm²를 달성하였다.

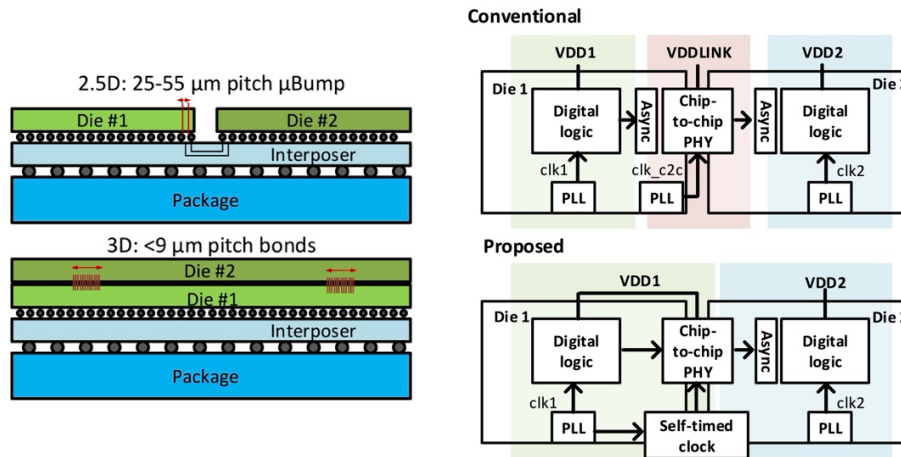


그림: (좌) 2.5D 및 3D 패키지의 단면. (우) 기존 아키텍처와 제안된 아키텍처의 비교.

"A 0.71nJ, 1.53GS/s Throughput 256-FFT using Floating Point Analog Computation" (Paper C23-1)

미시간대학교는 아날로그 부동 소수점 구현을 사용하는 256-point FFT 엔진을 제안한다. 제안된 방식은 전압과 펄스폭 및 디지털 4비트 지수로 가수 값을 인코딩한다. 22nm CMOS로 구현된 이 칩은 1.53 GS/s의 높은 처리량에서 0.71nJ/FFT의 낮은 에너지를 보여준다.

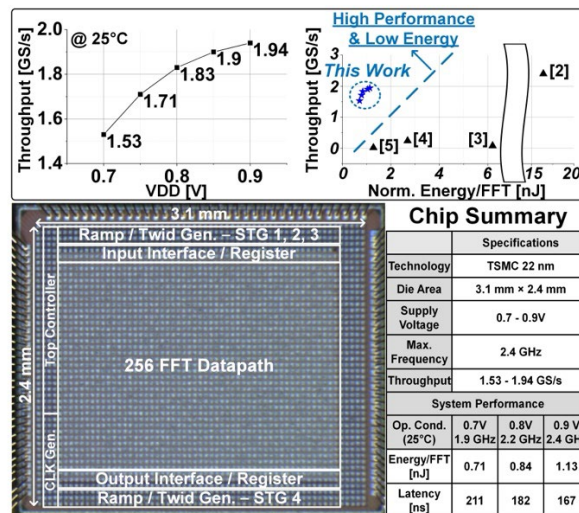


그림: 처리량과 Vdd의 관계, 다른 제품과 FoM 비교, 칩 현미경 사진.

Frequency Generation and Clocking Circuits

"A 24.5-to-45.2-GHz Dual-Injection Clock Multiplier with Folded-Inductor-Based Magnetic-Flux Cancellation Achieving 32.83-fsrms Jitter and 0.037-mm² Core Area" (Paper C19-1)

더블린대학교는 넓은 주파수 튜닝 범위와 낮은 지터를 갖춘 ILCM(injection-locked clock multiplier)를 제시한다. LC 시리즈 듀얼 모드 직교 링 발진기는 주파수 이배기와 함께 설계되어 주파수 튜닝 범위를 동시에 확장하고 mm 파 대역에서 위상 잡음을 낮춘다. 큰 루프 대역폭을 달성하기 위해 차동 시간 정렬 기법을 사용하였다. 28nm CMOS 로 제작되고 0.037 mm²의 코어 면적을 차지하는 제안된 회로는 24.5 ~ 45.23 GHz의 출력 주파수 범위와 39.5 GHz에서 32.83 fs의 RMS 지터를 달성한다.

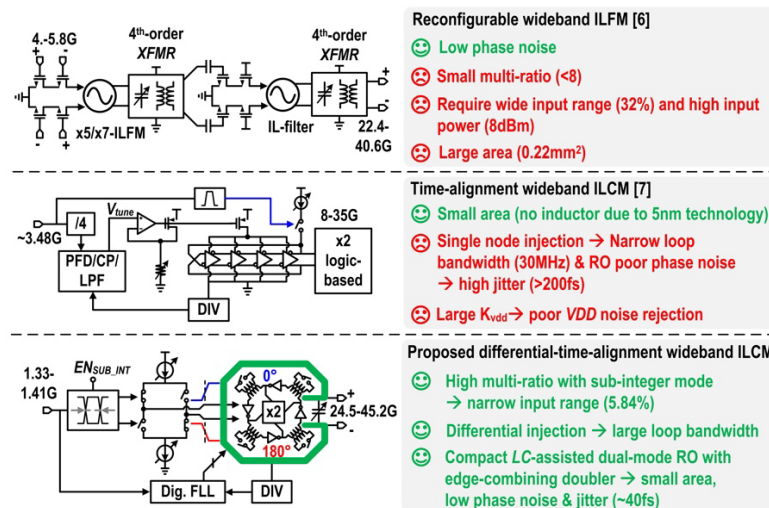


그림: 대형 고차 트랜스포머, 단일 노드 주입 링 발진기(RO) 및 제안된 folded-LC-assisted dual-injection time-alignment clock multiplier를 갖춘 이전 광대역 ILCM(injection-locked frequency multiplier)의 개념도.

Memory Technologies, Devices, Circuits, and Architectures

"A 3nm FinFET 563kbit 35.5Mbit/mm² Dual-Rail SRAM with 3.89pJ/access High Energy Efficient and 27.5uW/Mbit 1-cycle Latency Low-Leakage Mode" (Paper C4-1)

TSMC의 연구진은 eXtended Dual Rail XDR 아키텍처와 두 가지 주요 기법을 사용하는, 모바일 응용을 위한 고밀도(HD) 6T SRAM을 보여준다. DeWL(Delaying-Write-WL) 기법은 셀과 쓰기 드라이버(WDRV) 간의 경쟁 문제를 해결하고, 1사이클 지연 저누설 모드(1-CLM)는 비작동(NOP) 기간 동안 BL 프리차저를 꺼서 전력을 줄인다. 3-nm FinFET 테스트 칩은 활성 에너지를 17% 감소시키고 대기 누설을 10% 감소시킨다.

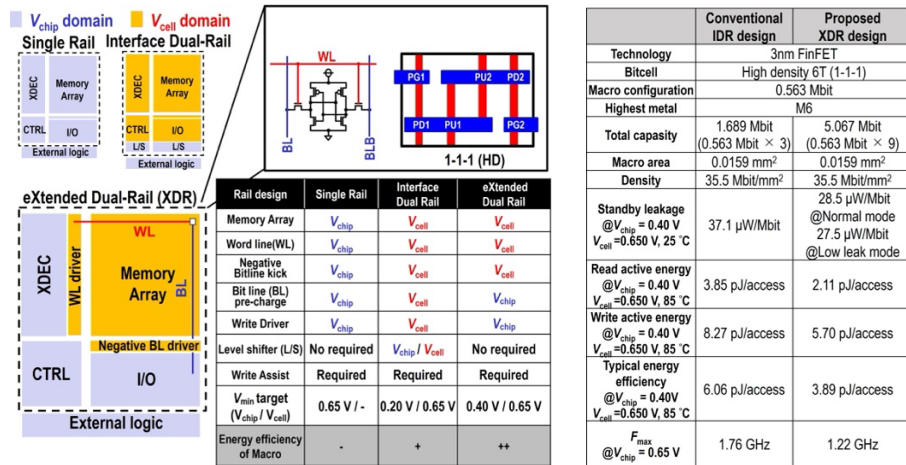


그림: SRAM 매크로 및 기능을 위한 세 가지 유형의 아키텍처 비교.

Power Management Devices and Circuits

A 0.087 fs FOM Current-mirror-based Analog-assisted Digital LDO with VO Ripple Optimization (Paper C18-1)

서강대학교는 빠른 과도 응답 및 출력 전압(V_O) 리플 최적화를 달성하는 CBAA(current-mirror-based analog-assisted) DLDO(digital low-dropout regulator)를 제시한다. 이 DLDO는 200 mA 부하 전류에서 1 mV 미만의 V_O 리플을 제공한다. 28 nm CMOS 공정으로 제작된 CBAA DLDO는 저입력 전압 DLDO 중에서 0.087 fs의 우수한 성능지수(FOM)를 보여준다.

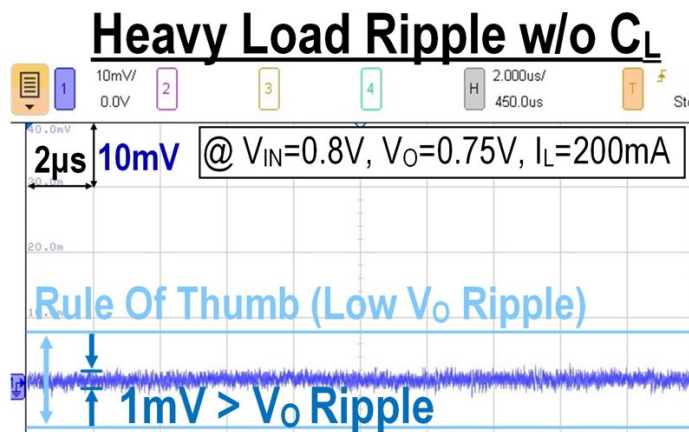


그림: 200 mA 부하 전류에서 1 mV 미만의 V_O 리플이 측정된 LDO 출력 전압 파형.

Processors and SoCs

MAVERIC: A 16nm 72 FPS, 10 mJ/frame Heterogeneous Robotics SoC with 4 Cores and 13 INT8/FP32 Accelerators (Paper C10-5)

UC 버클리대학교의 연구진은 ML 및 로봇공학용의 4개 코어 및 13개 INT8/FP32 가속기 유닛을 갖춘 이기종 SoC(MAVERIC)를 보고한다. 3D 재구성 로봇 응용 분야는 인식 작업을 위해 DE(depth estimation) 및 SLAM(simultaneous localization and mapping)을 결합하여 컴퓨팅 수요, 가속기 통합 및 스케줄링 문제를 야기한다. MAVERIC은 최대 1 GHz에서 작동하고 최대 8 TOPS/W의 에너지 효율을 달성하며, Loop Closure를 지원하고 엔드-투-엔드 DE 및 SLAM에서 10 mJ/frame과 72 FPS를 제공한다.

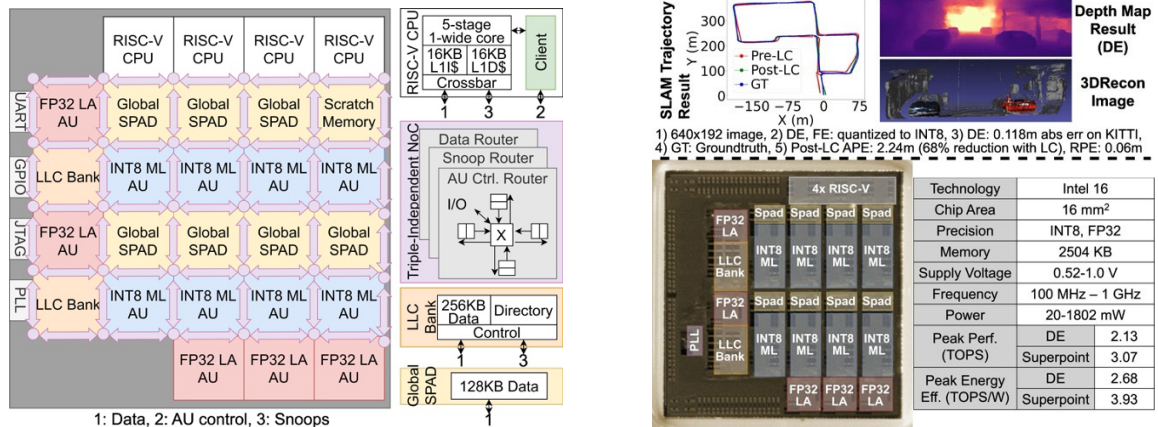


그림: (a) 8개의 INT8 ML 가속기, 5개의 FP32 선형 대수 가속기, 4개의 RISC-V CPU 및 하위 블록을 바인딩하는 3계층 NoC를 보여주는 MAVERIC의 아키텍처 개요. (b) 칩 현미경 사진 및 SLAM 시연을 통한 성능 개요.

Sensors, Imagers, IoT, MEMS, Display Circuits

A 25M points/s Back-Illuminated Stacked SPAD Direct Time-of-Flight Depth Sensor with Equivalent Time Sampling for Automotive LiDAR (Paper C27-2)

Sony Semiconductor Solutions는 히스토그램 처리와 데이터 출력을 파이프라이닝하고 칩 내 거리 정보를 추출하여 출력 데이터 양을 줄임으로써 25M points/s의 거리 측정을 달성하였다. 이는 레벨 3 이상 자율 주행에 사용되는 LiDAR 성능에 필요한 120°/26°의 FoV, 0.05°의 각도 분해능 및 20 fps의 프레임 속도로 거리 측정을 달성한다. 또한, 다중 위상 클럭을 사용한 등가 시간 샘플링 방식을 적용하여 데이터 양의 증가 없이 측정 정확도를 향상시켰다. 이 센서는 250 m 거리에서 25 cm 높이의 물체를 감지하며, 최대 거리 정확도는 300 m 거리에서 17 cm이다.

3D Point Cloud

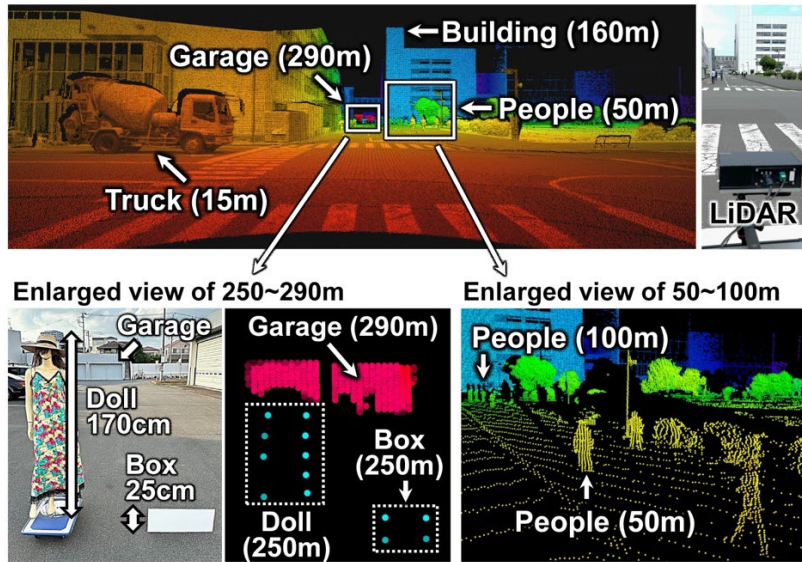


그림: 현재 센서 시스템으로 캡처한 이미지와 측정 데이터.

"2/3-inch 2.1Megapixel SPAD Image Sensor with 156dB Single-Shot Dynamic Range and LED Flicker Mitigation based on Weighted Photon Counting Technique" (Paper C27-1)

Canon은 자동차용 SPAD 이미지 센서를 제시한다. 새로운 가중 광자 계수 기법은 LED 플리커 완화 및 원활한 글로벌 셔터 작동으로 156 dB 다이내믹 레인지를 달성한다. 또한, read noise-free 작동을 통해 0.1 lux 이하의 대상에 대한 이미지 캡처를 보장한다.

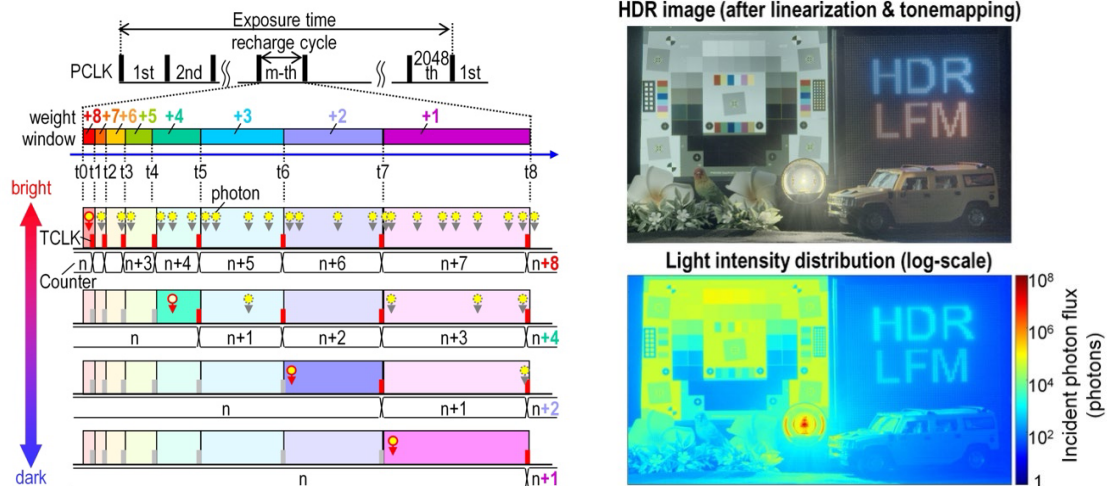


그림: (좌) 가중 광자 계수(WPC) 작동 원리.
 (우) HDR 이미지 및 그 광도 분포.

Wireless and RF Devices Circuits and Systems

A 150 GHz High-Power-Density Phased-Array Transceiver in 65nm CMOS for 6G UE Module (Paper C28-1)

Institute of Science Tokyo가 이끄는 협업은 6세대 이동 통신 시스템(6G)에서 활용될 것으로 예상되는 150GHz(D-대역) 주파수 대역에서 사용하도록 설계된 모바일 기기용 초소형 무선 모듈 IC를 제시한다. 안테나 인 패키지(AiP)는 65nm CMOS 기술로 제작된 위상 어레이 트랜시버 IC 2개를 통합한다. 안테나 경로당 전력 소비는 송신 시 150 mW, 수신 시 93 mW이며, 56 Gb/s의 데이터 전송 속도를 달성한다.

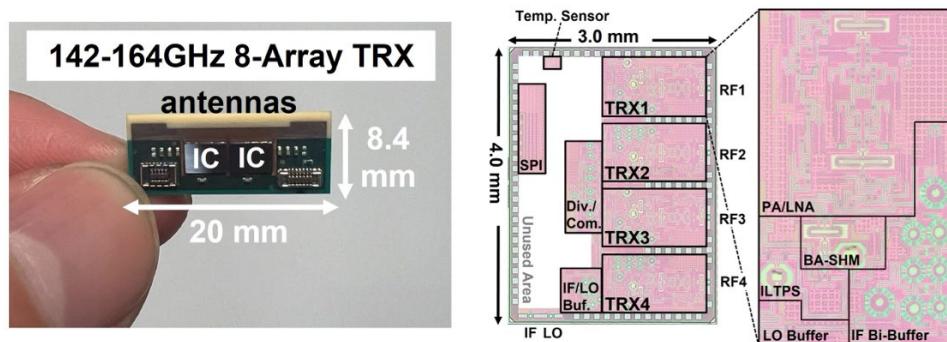


그림: (좌) 제안된 4 소자 D 대역 트랜시버 칩으로 구성된 8 소자 안테나 인 패키지(AiP) 모듈. (우) 칩 현미경 사진.

Wireline and Optical Transceivers, Optical Interconnects and Processors

"A 128Gb/s 0.67pJ/b PAM-4 Transmitter in 18A with RibbonFET and PowerVia" (Paper C12-2)

Intel의 연구진은 RibbonFET, PowerVia 및 후면 전력 공급망을 사용하여 18A CMOS 공정에서 장거리 유선 응용을 위해 설계된 완전 통합형 128-Gb/s DAC 기반 트랜스미터(TX)를 제시한다. 후면 전력층은 인덕터와 클록 분배에도 사용된다. TX는 PAM-4 표준의 주요 전기 규정 준수 사양을 충족하면서 0.67 pJ/bit(PLL의 경우 0.75 pJ/bit)의 최적 에너지 효율과 보고된 것 중 최소 면적을 달성한다.

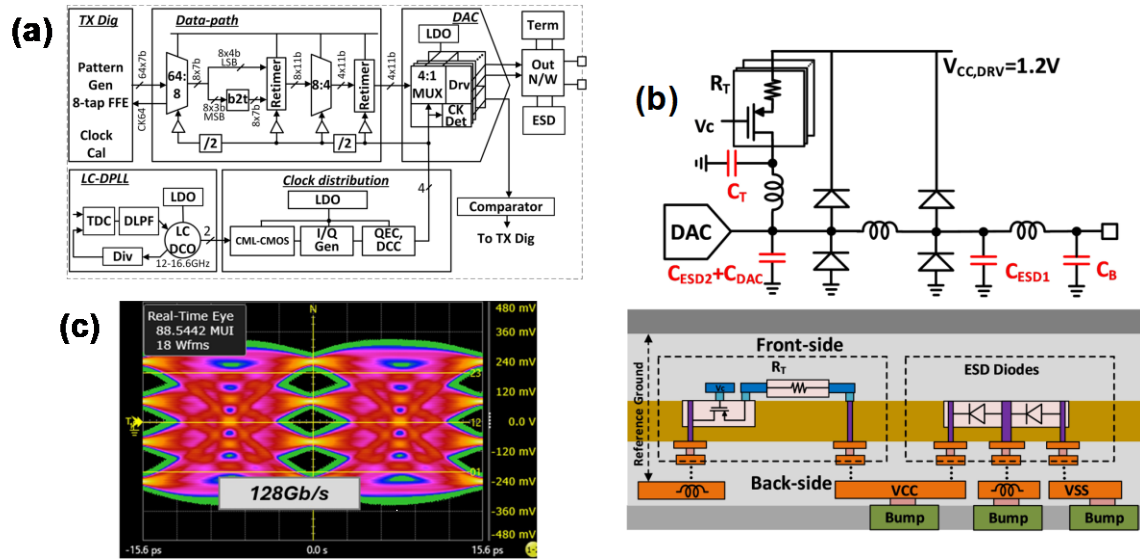


그림: (a) DAC 기반 PAM-4 TX의 블록 다이어그램. (b) 후면 저저항 금속을 활용한 출력 네트워크 설계. (c) 측정된 TX 아이 다이어그램.