



2025 年度 VLSI 技术与电路研讨会的技术亮点

2025 年 VLSI 技术与电路研讨会是记录微/纳米集成电子的发展速度、进展和演变的顶级国际会议，定于 2025 年 6 月 8 日至 12 日举行。该研讨会将在日本京都丽嘉皇家酒店以线下方式举行，以增加交流的机会。

研讨会的总体主题“深耕 VLSI 沃土：从创新萌芽到繁荣发展”旨在将先进的技术开发、创新的电路设计及其所能实现的应用整合在一起，努力促进全球社会向智能互联设备、基础设施和系统所代表的新时代过渡，从而改变人类相互交流的方式。

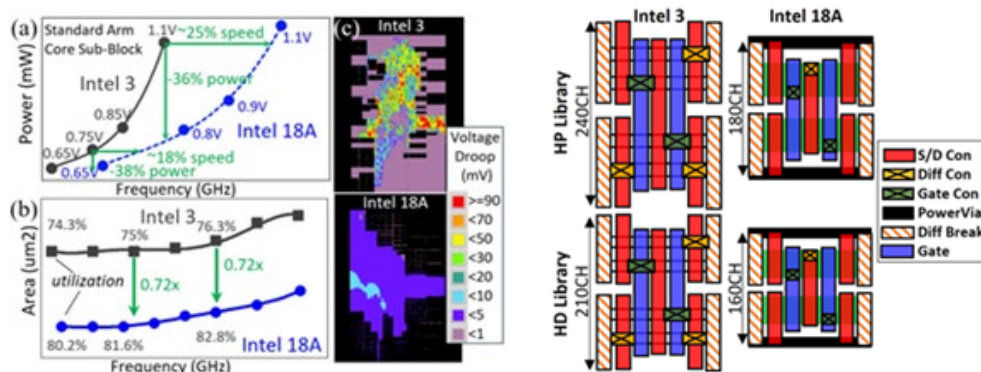
以下是针对此主题的一些亮点论文：

技术亮点

先进的 CMOS 技术

“英特尔 18A 平台技术：采用面向先进高性能计算的 RibbonFET (GAA) 和 Power Via 技术”——英特尔公司（论文 T1-1）

先进的英特尔 18A 技术采用 RibbonFET 和 Power Via 技术，与英特尔 3 技术相比，实现了超过 30% 的密度缩放和完整制程节点的性能提升。英特尔 18A 技术提供高性能(HP)和高密度(HD)库，具备功能齐全的技术设计能力，并增强了设计的易用性。

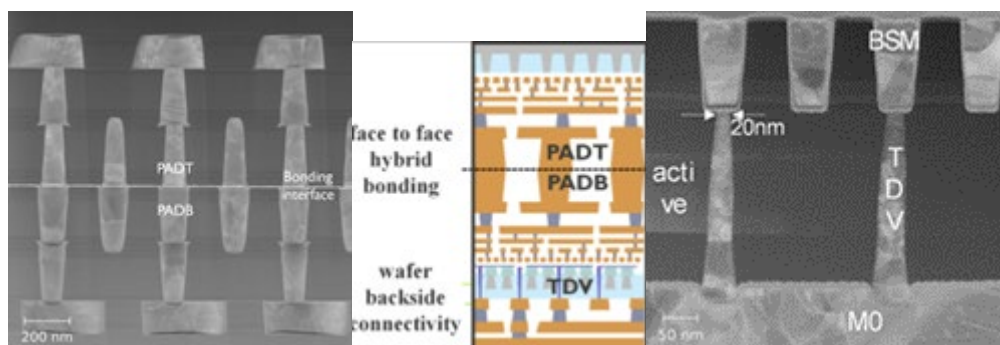


图：（左）英特尔 18A 与英特尔 3 工艺在功耗、性能、面积(PPA)方面的对比。（右）英特尔 18A 与英特尔 3 工艺在高密度库和高性能库上的表现差异。

先进封装技术

“在极致减薄晶圆后，采用间距为 250nm 的正面混合键合以及间距为 120nm 的背面介质通孔技术，实现高密度晶圆级互连”——imec（论文 T6-1）

imec 演示了采用 250nm 间距面对面混合键合和 120nm 间距背面介质通孔的高密度晶圆级互连。该技术还通过将晶圆减薄至超过浅沟槽隔离层底部的极限厚度，实现了从晶圆背面的电路接入。

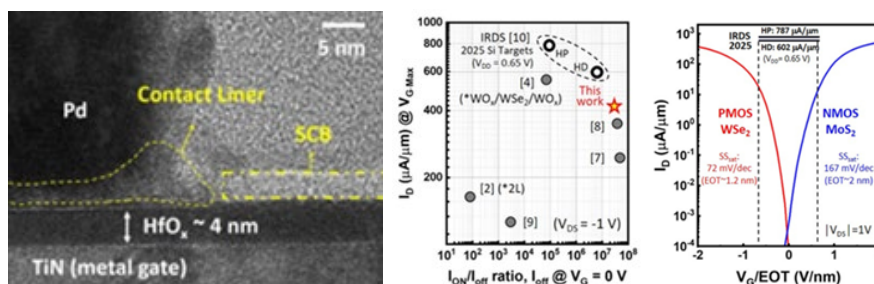


图：（左）250nm 间距面对面混合键合；（中）异构 3D 封装中面对面混合键合与背面连接的示意图；（右）通过介质通孔(TDV)实现的正面至背面连接。

CMOS 缩放工艺及材料和新器件

“采用单层二硒化钨(WSe₂)沟道实现 PMOS 性能提升”——台湾积体电路制造股份有限公司（简称“台积电”）（论文 T1-4）

台积电演示了具有单层(1L) WSe₂ 沟道且等效栅氧化层厚度为 1.2 nm 的背栅 PMOS，在 V_{DS} 为 -1 V 时，导通电流达到 400 $\mu\text{A}/\mu\text{m}$ ，亚阈值摆幅为 72 mV/dec，开关比为 7 个数量级，并且具备在增强模式下工作时几乎无滞后的特性。这些结果使得单层 WSe₂ 作为一种可缩放的 p 沟道候选材料更具竞争力。

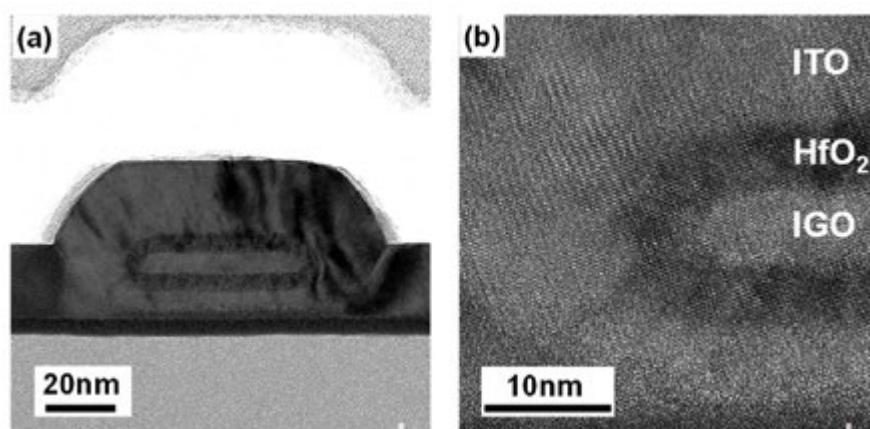


图：（左）WSe₂ 器件的高分辨率横截面透射电子显微镜(TEM)图像，显示了厚度为 4nm 的物理背栅电介质、牺牲接触缓冲层(SCB)和接触衬垫。（中）导通电流与开关比的对标；（右）PMOS-WSe₂ 与 NMOS-MoS₂ 的潜在组合与 2025 年《国际半导体技术发展路线图》(IRDS)目标的比较。

CMOS 缩放工艺及材料和新器件

“通过对氧化铟镓(InGaOx)进行选择结晶以制备全环绕栅极纳米片氧化物半导体晶体管，从而提升性能与可靠性”——东京大学、产业技术综合研究所(AIST)、奈良先端科学技术大学院大学（论文 T6-3）

东京大学和奈良先端科学技术大学院大学展示了通过原子层沉积(ALD)工艺制备的晶体 InGaOx 材料，相较于传统非晶材料，显著提升了迁移率。他们还找到了迁移率和偏置应力可靠性的最佳成分比。此外，他们开发了一种基于晶体 InGaOx 的全环绕栅极纳米片晶体管集成工艺流程，并展示了常关操作和高偏置应力可靠性。这项研究成果将推动氧化物半导体晶体管在大规模集成电路(LSI)应用中的器件缩放。

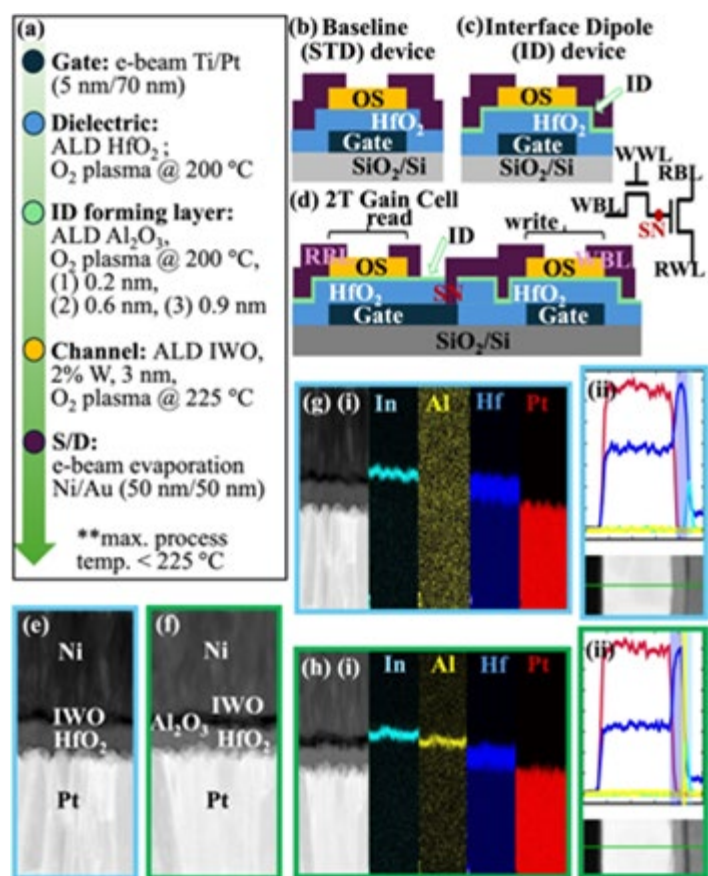


图：本次研究中制备的全环绕栅极纳米片 InGaOx 晶体管的横截面 TEM 图像。右图为左图的放大图。

CMOS 缩放工艺及材料和新器件

“通过界面偶极工程实现氧化物半导体双晶体管增益单元的正交阈值电压(V_T)调谐”——斯坦福大学和台积电（论文 T19-1）

将栅极电介质的界面工程作为一个独立的调控手段，用于调节双晶体管增益单元存储器中氧化物半导体场效应晶体管(FET)的阈值电压。通过对铟钨氧化物(IWO)场效应晶体管运用界面偶极工程，阈值电压相比标准二氧化铪(HfO_2)提高了 450 至 500mV，并且在 85°C到低温范围内，阈值电压变化(ΔV_T)保持稳定。

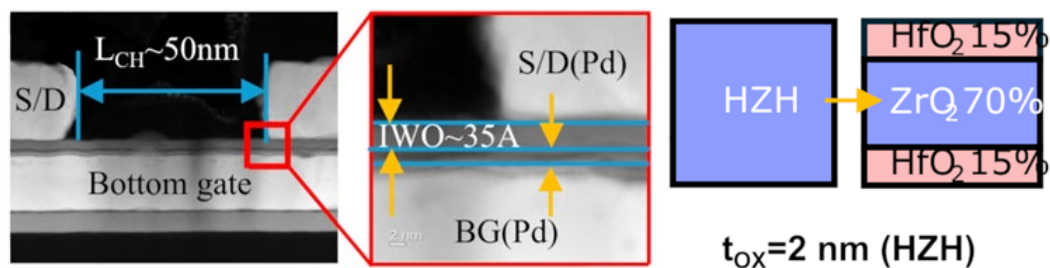


图：采用界面偶极工程的氧化物半导体增益单元工艺流程。横截面 TEM 图像以及能量色散谱 (EDS)元素分布图。

器件物理、表征、建模与可靠性

“掺钨氧化铟 MOSFET 的演示：具有 3 埃等效氧化层厚度(EOT)、稳定性提升和高导电电流”——佐治亚理工学院与三星电子（论文 T1-3）

佐治亚理工学院和三星电子演示了掺钨 In_2O_3 (IWO)沟道 MOSFET 的高导电电流和更高的稳定性。采用 $\text{HfO}_2\text{-ZrO}_2\text{-HfO}_2$ (HZH)叠层栅极电介质，可将 EOT 的尺寸缩小至 0.3 nm，从而实现 $244 \mu\text{A}/\mu\text{m}$ 的高导电电流。此外，HZH 栅极堆叠有效抑制了正负偏压不稳定性。所展示的基于 HZO 栅极堆叠的 IWO MOSFET 为利用 BEOL 工艺开发可靠的 3D 集成电路奠定了基础。

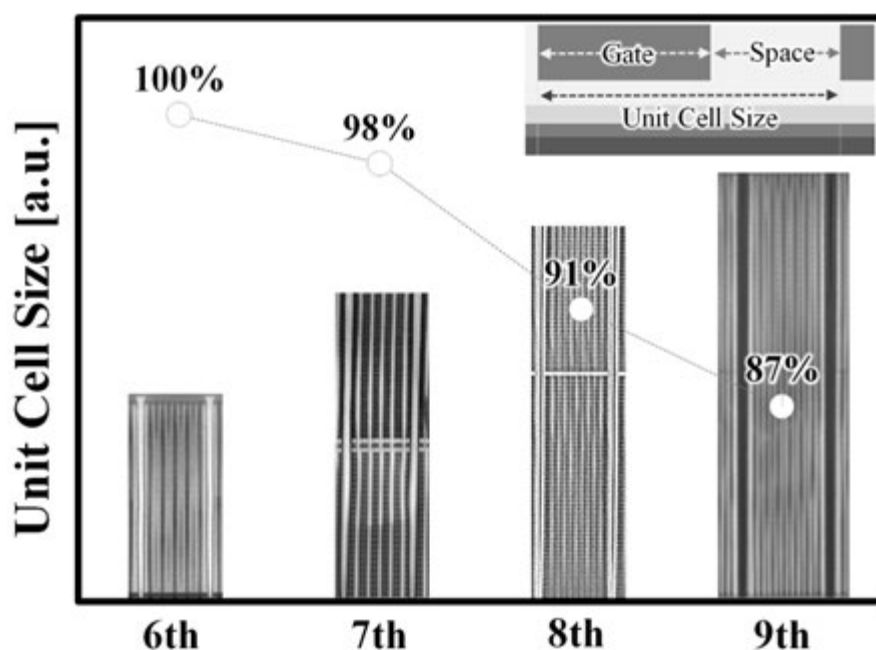


图：（左）STEM 横截面图，显示沟道长度(L_{ch})为 50 nm、3.5 nm 厚的 IWO 沟道和 2 nm 厚的 HZH 栅极堆叠层。（右） $HfO_2/ZrO_2/HfO_2$ 在 HZH 堆叠层中的厚度组成。

存储技术

“1Tb 第九代 3D-NAND 闪存技术的高度可缩放且可靠的单元特性”——三星电子（论文 T1-5）

三星详细介绍了 286 层第九代 3D-NAND 闪存。由于纵向和横向尺寸的大幅缩减，位密度相比上一代提升了 50%。先进的 ONO 材料设计克服了极端缩放带来的可靠性问题，从而以最小的单元体积实现了高度可靠的 3D-NAND。

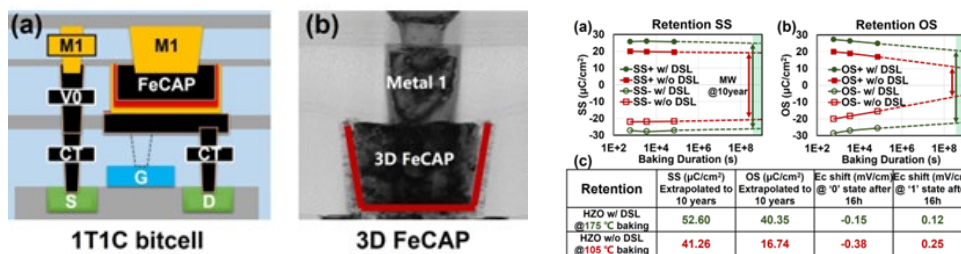


图：从第六代到第九代 3D-NAND 闪存的垂直横截面 SEM 视图和单元尺寸。

存储技术

“面向嵌入式非易失性存储器应用的高保持性(>125°C)和高耐久性(>1E13) 1T1C 3D HZO 铁电存储器(FeRAM)”——华为技术有限公司（论文 T6-5）

华为发布了一款基于铪锆氧化物(HZO)材料的高性能 1T1C 3D FeRAM 测试芯片。该测试芯片采用了沟槽结构的铁电电容器(FeCAP)，由在 40nm CMOS 平台上形成的 7nm 厚的 HZO 薄膜构成，实现了 10 年的数据保存时间，并能在 125°C 的温度下稳定运行。此外，得益于 HZO 薄膜两侧均设置缺陷阻挡层(DSL)的全新堆叠设计，该芯片有效抑制了铁电存储器常见的疲劳、压印和夹断现象等问题。该存储器阵列容量为 32Mb，即使在 -5.2σ (0.1ppm) 下也能保持约 340mV 的存储器窗口，并且在经历 10^{11} 次写入循环和 10^{13} 次读取循环以及 125°C 高温烘烤后，仍能保持超过 200mV 的存储器窗口。这些结果显著增强了其在嵌入式非易失性存储器(eNVM) 应用中替代 eFlash 的潜力。

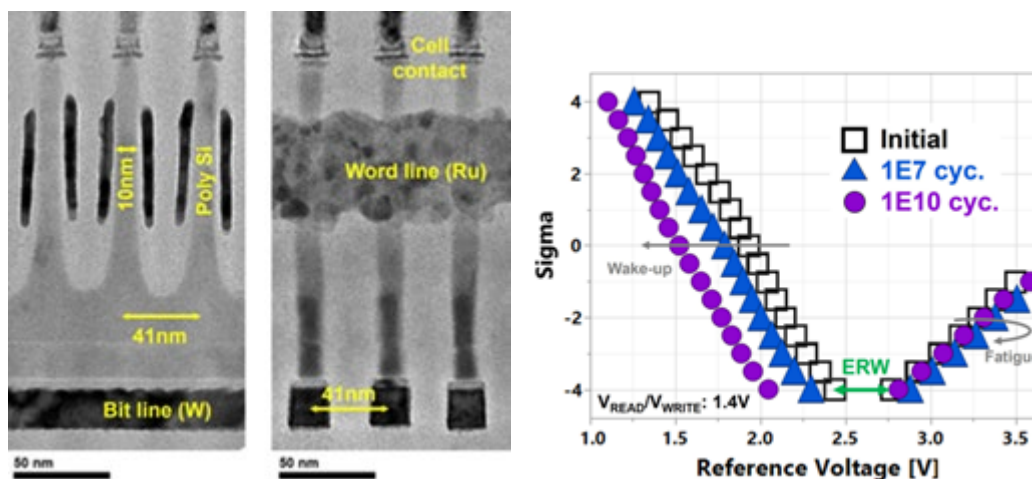


图：（左）3D FeRAM 的结构示意图和 TEM 截面图。（右）数据保持特性。

存储技术

“面向低功耗高密度应用的铁电非易失动态存储器(NVDRAM)的电压下降(1.4V)和阵列缩放(41nm)”——美光科技（论文 T6-2）

第二代缩放的铁电 NVDRAM，其 x 和 y 方向的间距缩小至 41nm，铁电堆叠层的厚度减薄至 5nm，阵列工作电压也有所下降（读/写电压为 1.4V）。全芯片阵列数据显示，在经历 $1\text{E}10$ 次循环后，在 -4σ 的情况下存储器窗口大于 250mV。这是具有如此高性能的密度最高的 1T1C 铁电技术。为确保在缩小尺寸的情况下仍能保持性能，研究团队解决了多项材料和电学难题。

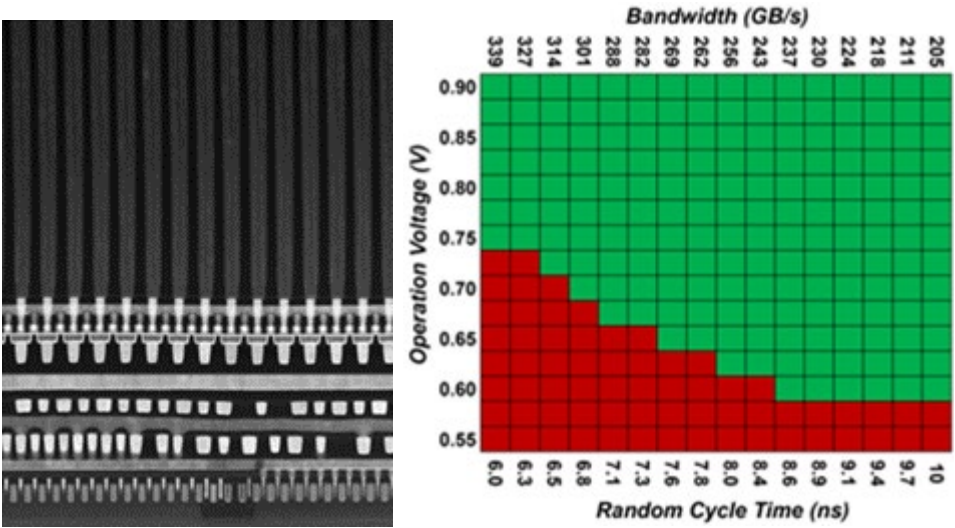


图：（左）存取器件的 TEM 横截面。（右）在 1.4V/95°C条件下工作的 5nm 铁电堆叠结构的耐久性特性。

存储技术

“用于超低功耗低延迟缓存解决方案的 0.75V V_{DD} 氧化物半导体 1T1C 存储器与先进逻辑的集成”——台积电（论文 T2-1）

台积电成功演示了 BEOL 存储器与先进逻辑的单片集成。该存储器阵列完全嵌入 BEOL 中，并采用氧化物半导体沟道选通管和低温工艺电容器。这种与先进逻辑兼容的 BEOL 存储器技术提供了一种可定制的、超低功耗、低延迟的缓存解决方案，其密度高于 SRAM。

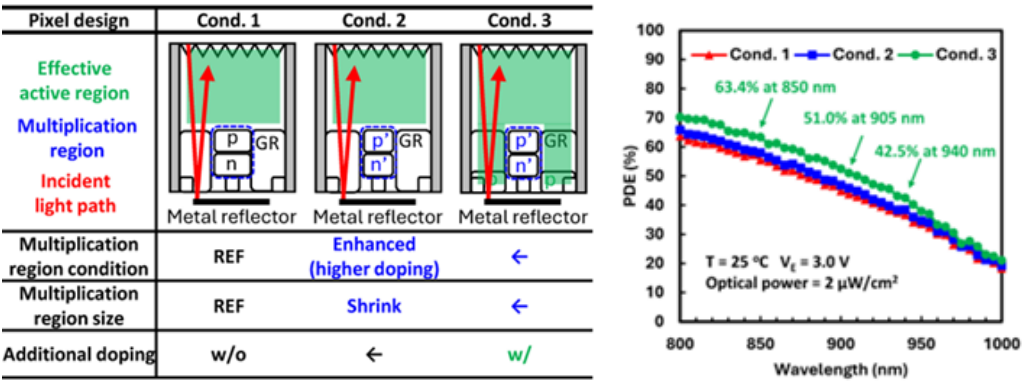


图：（左）单元阵列区域的 TEM 横截面图。（右）85℃温度下保持 128ms 的 Shmoo 图。

图像传感器技术

“一款背照式 10um 间距 SPAD 深度传感器：通过优化掺杂设计，940 nm 波长下光子探测效率(PDE)达 42.5%”——索尼半导体解决方案公司（论文 T1-2）

该研究采用了一个 10 μm 间距单光子雪崩二极管(SPAD)深度传感器。该传感器具有一个背照式(BI)结构，且基于 300 nm CMOS 平台制造。为了提高光子探测效率(PDE)，研究人员优化了倍增区的设计，以提高盖革模式下的触发概率，并引入了经优化的掺杂设计，从而实现更高效的电荷收集。结果是，在 940 nm 波长下实现了 42.5%的全球最高 PDE。

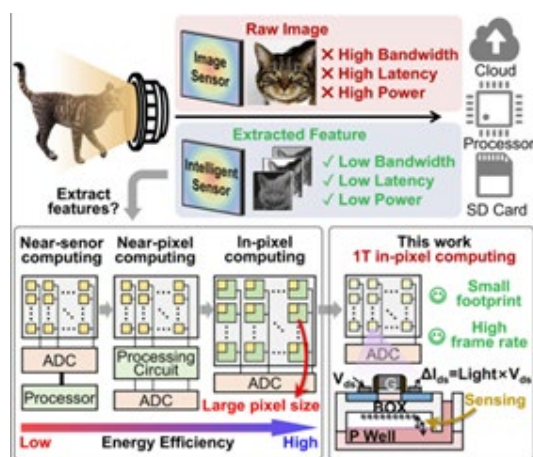


图：（左）像素设计对比图；（右）PDE 的实验结果

图像传感器技术

“基于 1T FDSOI 且帧率大于 1000fps 并具备像素内计算功能的图像传感器的首次演示”——北京大学（论文 T6-4）

北京大学展示了一款基于 1T 22nm FDSOI 像素的 128×128 图像传感器。该传感器利用埋氧层下方的深耗尽区进行光学传感。其主要特性包括：(1)由于 FET 的放大效应，具有 5×10^5 A/W 的极高光敏度；(2)光敏度可通过栅极/漏极电压进行调节，从而使 1T 结构具备像素内计算能力；(3)利用像素内处理能力以及提出的曝光/采样/读出解耦流水线设计，该芯片能够实现超过 1000 fps 的成像以及特征提取。



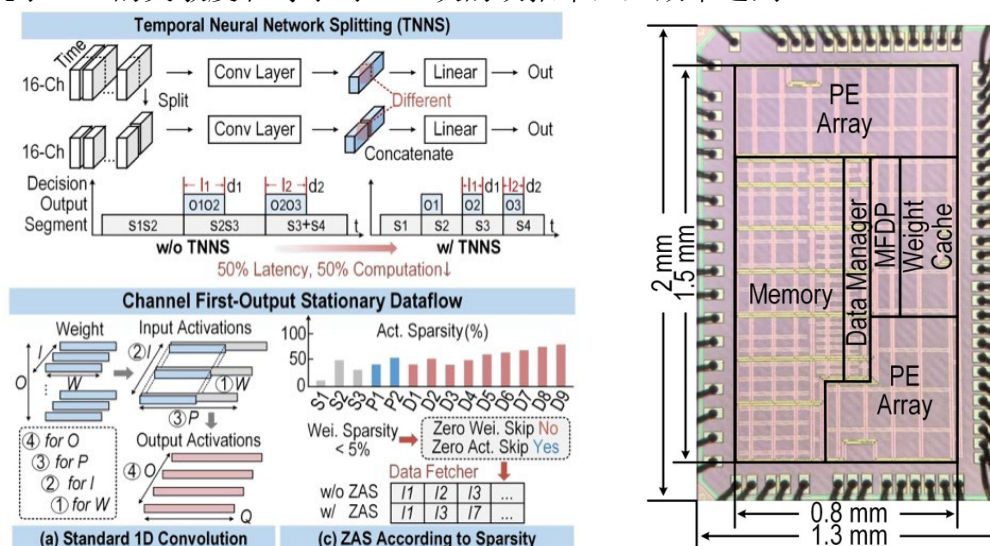
图：各种智能传感器架构和本研究为解决传感器数据传输过程中出现的问题所提出的方案。

电路亮点

生物医学器件、电路和系统

“PANDA：一款用于癫痫监测的 3.178 TOPS/W 可重构癫痫发作预测与检测神经网络加速器”（论文 C21-1）

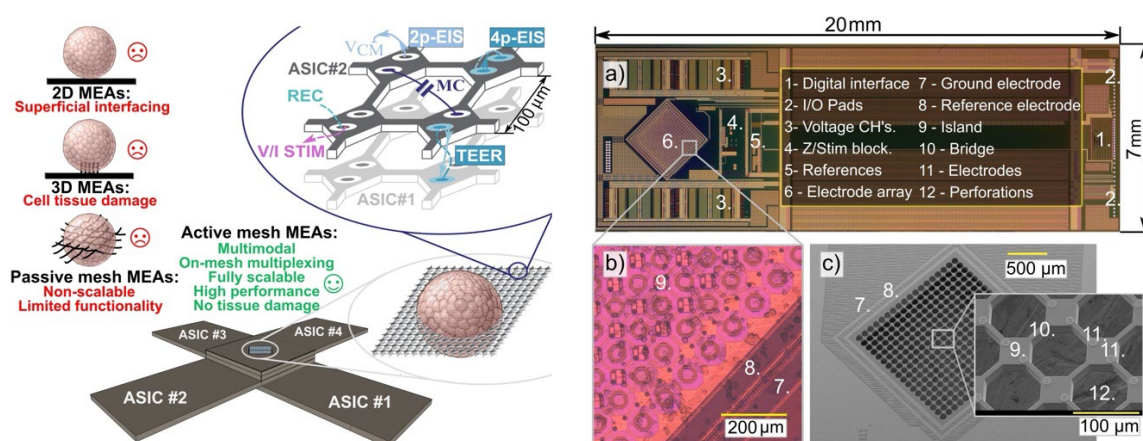
来自北京大学、南方医科大学和南方科技大学的研究团队将展示一款名为PANDA的可重构神经网络加速器，用于癫痫发作的检测和预测。作者通过对神经网络进行时间划分，并利用统计信息改进数据流，提高了检测/预测操作的效率。他们在癫痫发作检测方面实现了99%的灵敏度和每小时0.43次的误报率，且效率达到3.178 TOPS/W。



图：（左）所提出的架构图；（右）芯片显微照片。

“一种有源硅穿孔微电极阵列(MEA)，用于实现与 3D 类器官的无缝连接，具备低噪声、可扩展的多模态电生理特性”（论文 C24-1）

Imec 报告了一种用于 3D 类器官连接的有源硅穿孔微电极阵列(MEA)，通过集成 CMOS 电子元件，可实现低噪声、高分辨率的记录、刺激以及电化学阻抗谱(EIS)检测。该 MEA 具有可扩展的 256 个电极岛网络结构，支持多路复用操作，可实现低输入参考噪声 ($9.1 \pm 1.5 \mu\text{V}_{\text{rms}}$, 300Hz~10kHz) 和低功耗（单岛功耗为 $11.3 \mu\text{W}$ ）。心肌细胞体外测试表明，该 MEA 具有精确记录、网络传播图谱绘制和电压刺激下的细胞内记录功能。这种穿孔 MEA 为推进器官芯片研究提供了前所未有的功能性和可扩展性。

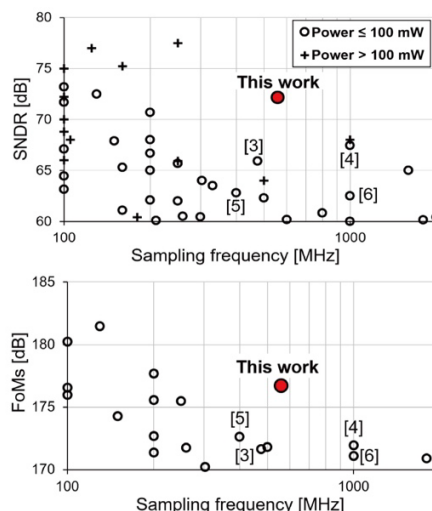
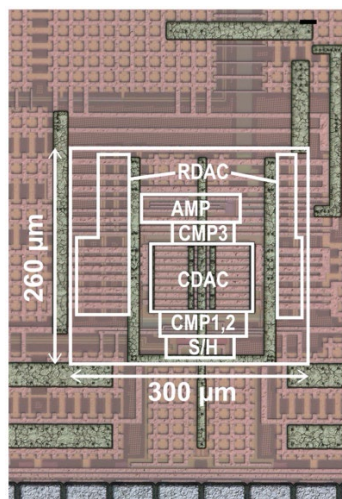


图：（左）3D CMOS MEA 系统（包含 4 个堆叠结构的穿孔 MEA）的概念图；（右）a）芯片照片；b）电极阵列上的心肌细胞培养；c）完全制备的悬浮网络结构 SEM 图（标有穿孔、电极岛和微电极）

数据转换器

“一款采用放大器开关架构和多阈值比较器的 11.9-ENOB 560-MS/s 亚量程模数转换器(ADC)”（论文 C8-1）

东京大学提出了一款14位560-MS/s模数转换器。该转换器采用了放大器开关亚量程架构。同时还提出了一种带有时间锁存级的多阈值比较器，以便通过单输入对实现16级判决。该器件采用28nm CMOS工艺制造，在奈奎斯特(Nyquist)输入下可实现72.14 dB信噪失真比(SNDR)，在560 MS/s下功耗为9.76 mW，从而实现了176.7 dB的Schreier FoM。

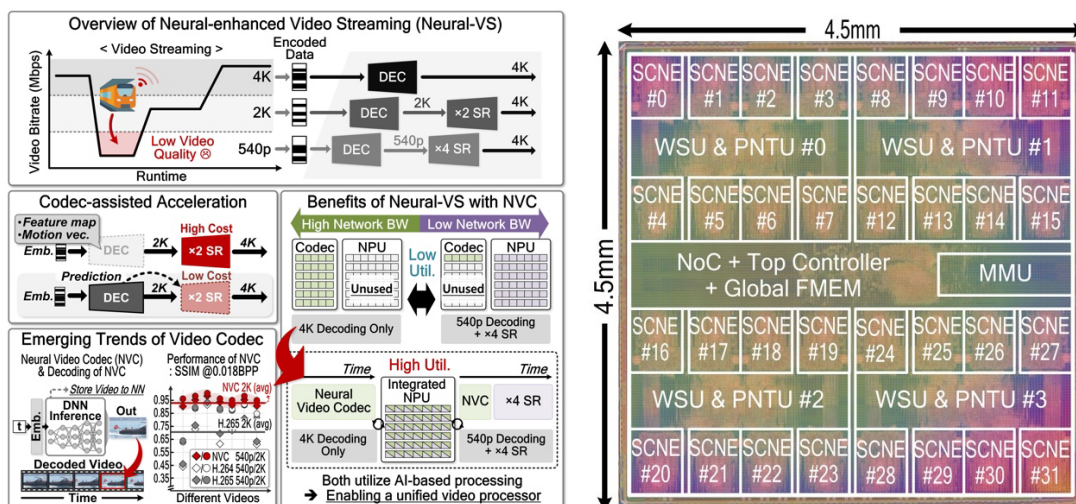


图：28nm CMOS原型的芯片图及其与采样频率大于100 MHz的先进奈奎斯特速率ADC的性能比较。

用于机器学习(ML)/深度学习(DL)的器件和加速器与新型计算

“NuVPU：基于渐进式数论变换(NTT)的4.8~9.6 mJ/帧统一视频处理器，借助神经视频编解码器实现稳定的视频流传输与处理”（论文C10-2）

韩国科学技术研究院(KAIST)的研究人员推出了首款统一神经视频处理器NuVPU。该处理器可加速神经视频编解码器(NVC)的视频流传输和后处理，最高可达36.9 TOPS/W，比之前的设计性能高出最多9.2倍。借助选择性卷积模式神经引擎(SCNE)和渐进式数论变换单元(PNTU)，NuVPU能够自适应地切换计算域，并将逻辑和内存开销最多降低80%，从而使吞吐量提高了3.35倍。一种具有频率感知压缩和自适应调度功能的新型内存架构，将外部内存访问量减少了81.3%，能够在不同的网络条件下实现稳定的4K视频传输。

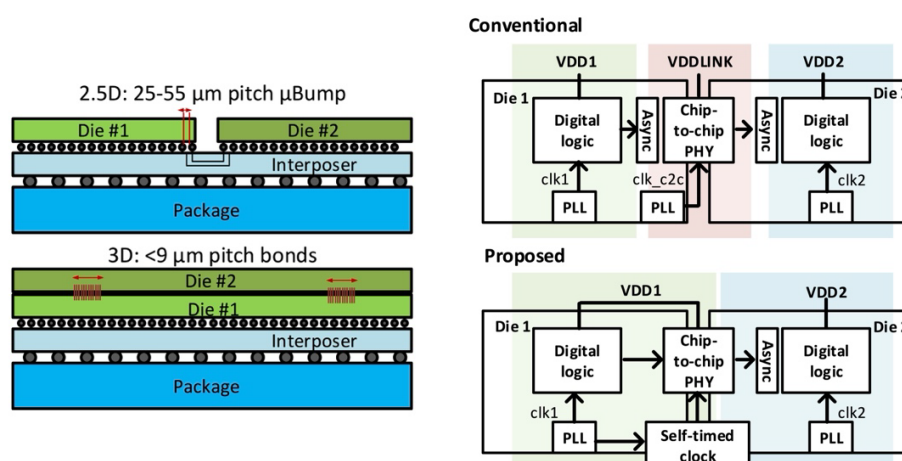


图：NuVPU 芯片支持通过基于 NTT 的加速功能实现无缝 4K 神经视频流传输和后处理。

数字电路、硬件安全、信号完整性、输入输出

“一款基于 3 nm 工艺，面向 2.5D 和 3D 互连的 77 fJ/位 8 Gbps 低延迟自定时芯片间链路”（论文 C7-3）

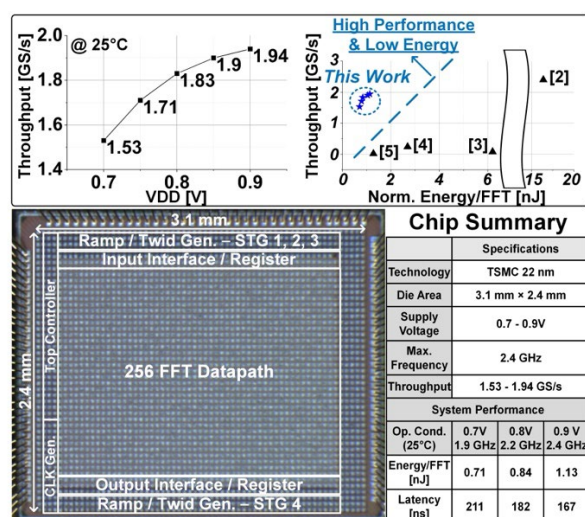
英伟达的研究人员提出了一种用于 2.5D 和 3D 堆叠芯片互连的自定时芯片间串行链路，该链路采用标准的自适应数字时钟和电源电压。在 3nm 工艺下，当电压为 0.7V 时，该链路实现了每引脚 8Gbps 的带宽、单周期延迟、77fJ/b 的能源效率，以及 44 Tbps/mm² 的传输速率。



图：（左）2.5D/3D封装的横截面；（右）传统架构与所提出架构的比较。

“一款采用浮点模拟计算技术的芯片：能耗为 0.71 nJ，吞吐率达 1.53GS/s，可实现 256 点快速傅里叶变换(FFT)”（论文 C23-1）

密歇根大学提出了一种采用模拟浮点实现方式的 256 点 FFT 引擎。该方法利用电压和脉冲宽度对尾数进行编码，并使用 4 位数字指数。该芯片采用 22nm CMOS 工艺实现，在 1.53 GS/s 的高吞吐率下，实现了 0.71nJ/FFT 的低能耗。

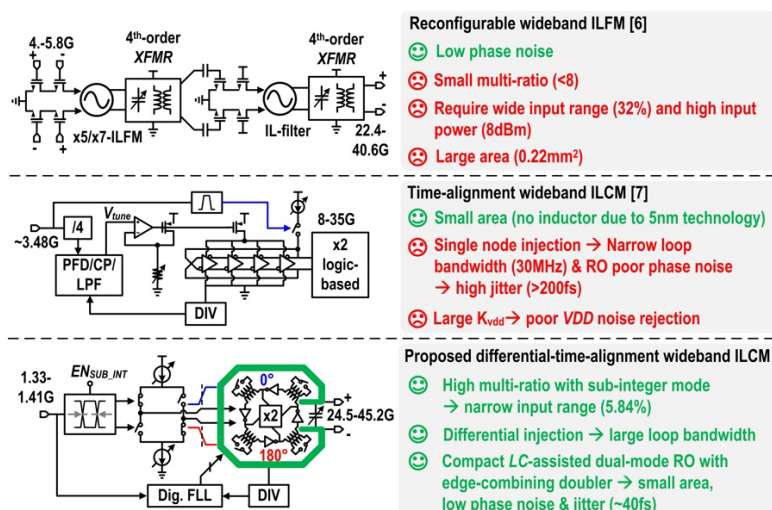


图：吞吐率与Vdd之间的关系图；与其他器件的FoM对比；和芯片显微照片

频率生成和时钟电路

“一种采用基于折叠电感磁通抵消技术的 24.5 至 45.2 GHz 双注入时钟倍频器，可实现 32.83 fs 的均方根抖动和 0.037 mm² 的核心面积”（论文 C19-1）

都柏林大学提出了一种具有宽频率调谐范围和低抖动的注入锁定时钟倍频器(ILCM)。将 LC 串联双模正交环形振荡器与倍频器协同设计，以在毫米波频段同时扩展频率调谐范围并降低相位噪声。采用差分时间对齐技术来实现较大的环路带宽。该电路采用 28nm CMOS 工艺制造，核心面积为 0.037 mm²，输出频率范围为 24.5 至 45.23 GHz，在 39.5 GHz 时测得的均方根抖动为 32.83 fs。

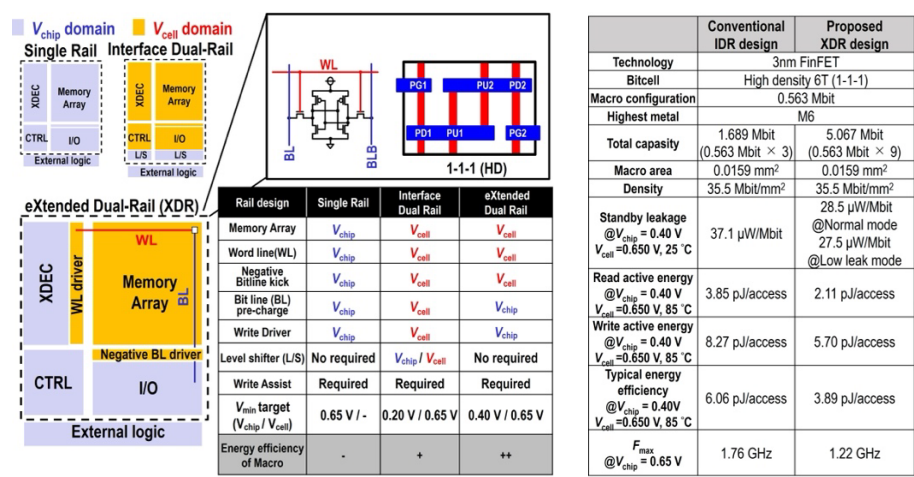


图：传统具有大型高阶变压器的宽带注入锁定频率倍增器(ILFM)、单节点注入环形振荡器(RO)以及所提出的折叠LC辅助式双注入时间对齐时钟倍频器的概念图。

存储技术、器件、电路和架构

“一款采用3nm FinFET 技术、容量563kbit、存储密度达35.5Mbit/mm²的双轨 SRAM，单次访问能耗 3.89pJ，具备高能效，且在单周期延迟低泄漏模式下功耗为 27.5uW/Mbit”（论文 C4-1）

台积电的研究人员展示了一款适用于移动应用的高密度(HD) 6T SRAM。该器件采用了扩展双轨XDR架构和两项关键技术。写字线延迟(DeWL)技术解决了单元与写入驱动器(WDRV)之间的争用问题；单周期延迟低泄漏模式(1-CLM)通过在不操作(NOP)周期关闭BL预充电器来降低功耗。一款采用3nm FinFET的测试芯片实现了动态能耗降低17%，待机漏电减少10%。

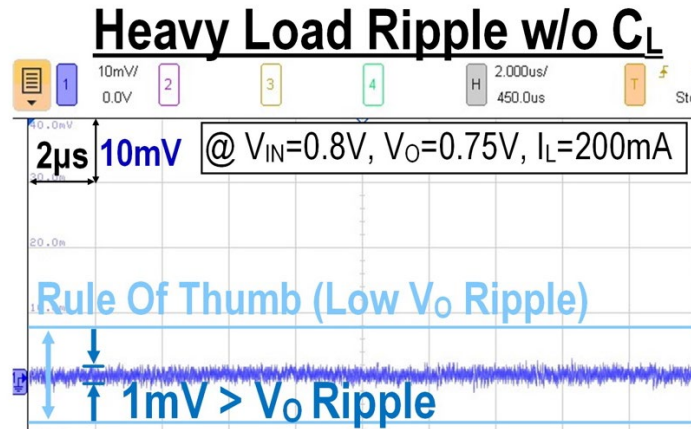


图：SRAM宏的三种架构及其特性对比。

电源管理器件与电路

“一款FOM 为0.087 fs 的基于电流镜的模拟辅助数字低压差稳压器(LDO)，具有输出电压纹波优化功能”（论文 C18-1）

西江大学提出了一种基于电流镜的模拟辅助(CBAA)数字低压差稳压器(DLDO)。该设计实现了快速瞬态响应和输出电压(V_o)纹波优化。在200 mA负载电流下，其输出电压(V_o)纹波小于1 mV。该CBAA DLDO采用28 nm CMOS工艺制造，在低输入电压DLDO中实现了0.087 fs的卓越品质因数(FOM)。

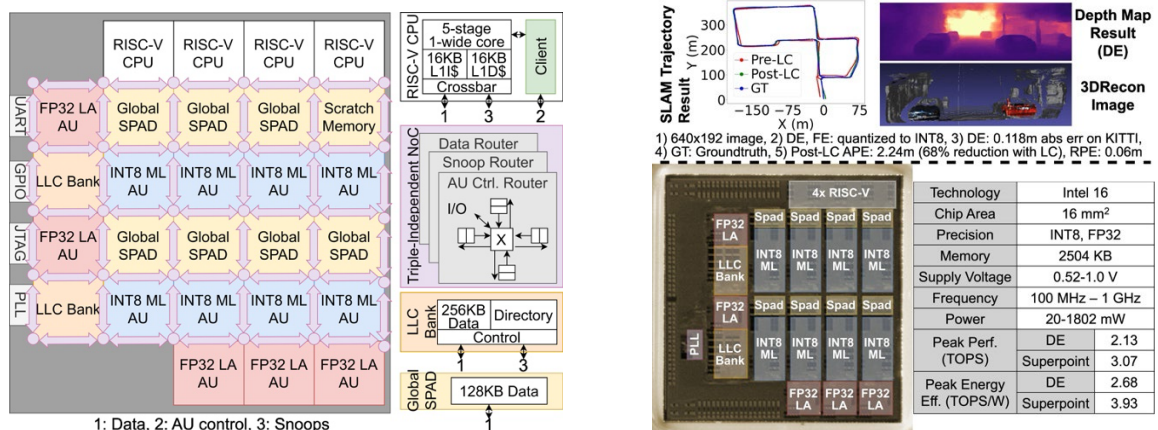


图：在200 mA负载电流下测得的LDO输出电压波形，输出电压(V_O)纹波低于1 mV。

处理器和 SoC

“MAVERIC：一款采用 16nm 工艺、帧率 72 FPS、每帧能耗 10 mJ 的异构机器人系统级芯片(SoC)，具备 4 个核心和 13 个 INT8/FP32 加速器”（论文 C10-5）

加州大学伯克利分校的研究人员报告了一款异构SoC (MAVERIC)，其拥有4个核心和13个INT8/FP32加速器单元，适用于机器学习和机器人应用。3D重建机器人应用将深度估计(DE)与同步定位和建图(SLAM)相结合来完成感知任务，这对计算要求、加速器集成和调度提出了挑战。MAVERIC的运行频率高达1 GHz，并实现了8 TOPS/W的峰值能源效率。该芯片支持环路闭合，在端到端的DE和SLAM任务中，每帧能耗为10 mJ，帧率达到72 FPS。

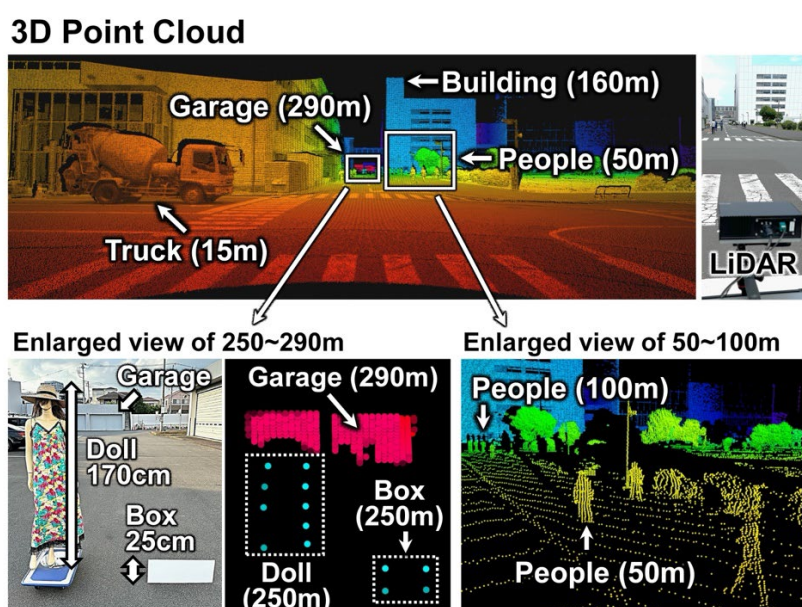


图：（a）MAVERIC的架构概述图，展示了8个INT8 ML加速器、5个FP32线性代数加速器、4个RISC-V CPU以及用于连接各子模块的三层NoC。
（b）芯片显微照片以及结合SLAM演示的性能概述图。

传感器、成像仪、物联网、MEMS、显示电路

“一款适用于汽车激光雷达、具备等效时间采样功能、点测量速率达每秒25M点的背照式堆叠 SPAD 直接飞行时间深度传感器”（论文 C27-2）

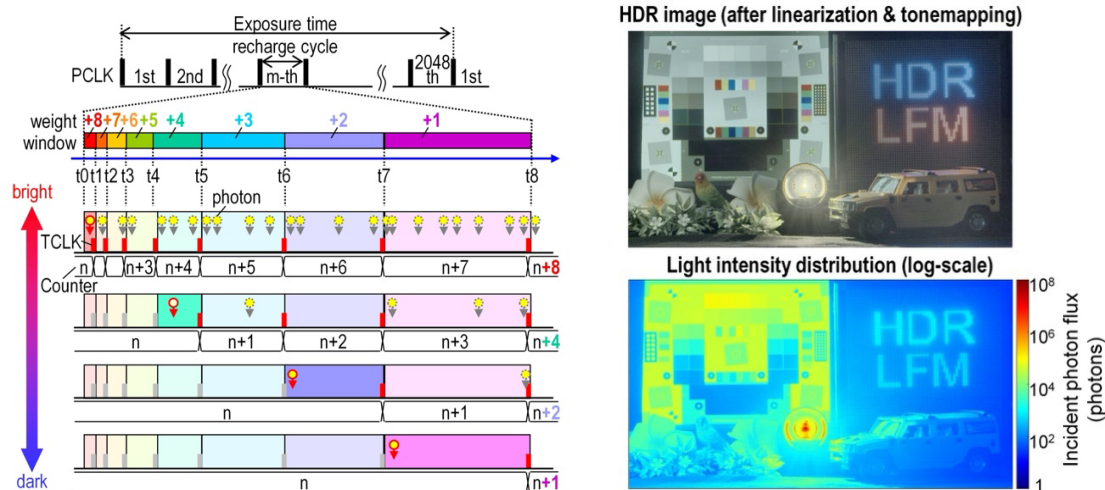
索尼半导体公司通过流水线化直方图处理和数据输出，以及提取芯片内部距离信息减少输出数据量，实现了每秒25M点的测距能力。这实现了120°/26°视场角、0.05°角分辨率和20 fps帧率的距离测量，这些性能是3级以上自动驾驶所需的激光雷达性能。此外，通过采用多相时钟的等效时间采样方法，在不增加数据量的情况下提高了测量精度。该传感器能够在250米的距离处检测到高度为25厘米的物体，并且在最远300米的距离范围内，最大距离测量精度为17厘米。



图：使用当前传感器系统捕获的图像和测量数据。

“基于加权光子计数技术的2/3英寸210万像素SPAD图像传感器：实现156dB单次拍摄动态范围与LED闪烁抑制功能”（论文 C27-1）

佳能推出了一款车用SPAD图像传感器。其全新的加权光子计数技术实现了156 dB的动态范围，并具有LED闪烁抑制和无缝全局快门工作模式。此外，通过无读取噪声操作，确保了对低于0.1勒克斯光照下的目标的图像捕捉。

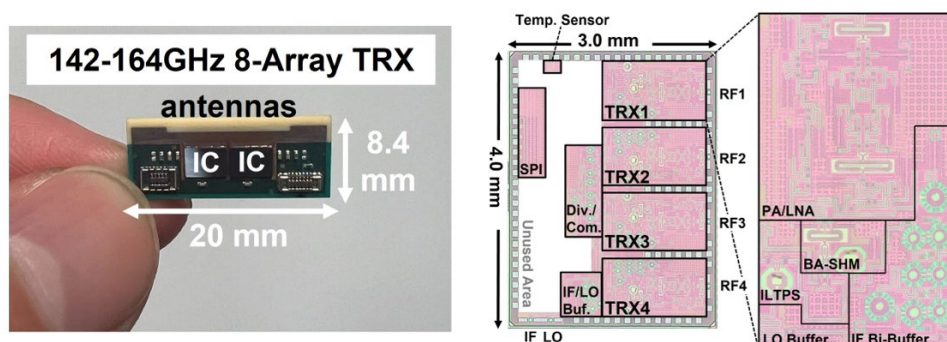


图：（左）加权光子计数(WPC)工作原理。
（右）高动态范围(HDR)图像及其光强分布。

无线和射频器件电路与系统

“一款用于 6G UE 模块并采用 65 nm CMOS 工艺的 150 GHz 高功率密度相控阵收发器”
（论文 C28-1）

由东京科学大学牵头的合作团队展示了一款用于移动设备的超紧凑无线模块IC，其设计用于150 GHz（D波段）频率范围，预计将应用于第六代移动通信系统(6G)。这款封装天线(AiP)集成了两个采用65 nm CMOS工艺制造的相控阵收发器IC。每条天线路径的功耗在发射时为150 mW，在接收时为93 mW，实现了56 Gb/s的数据传输速率。

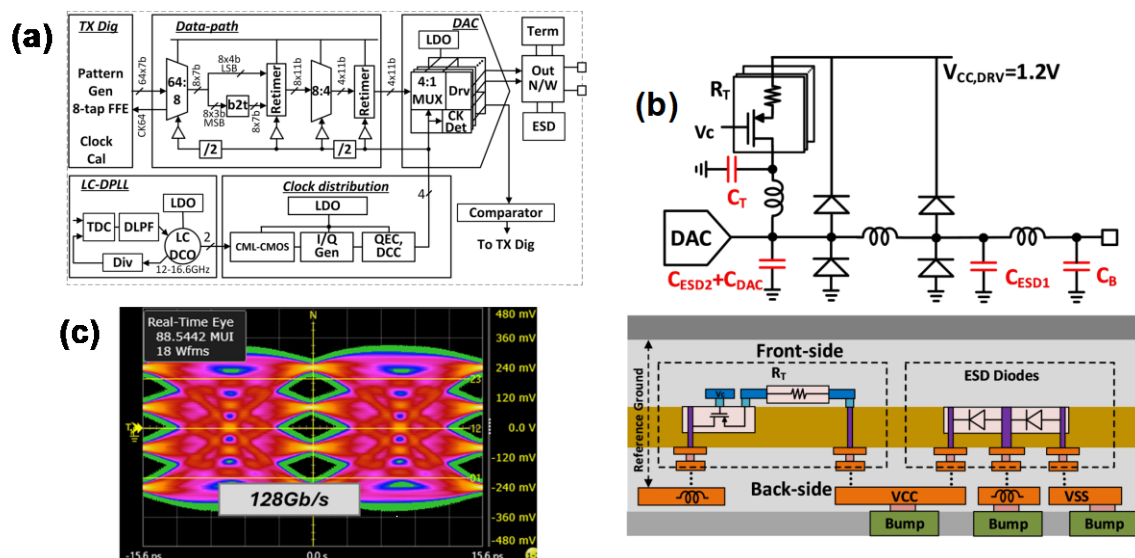


图：（左）由所提出的4单元D波段收发器芯片组成的8单元封装天线(AiP)模块；
（右）芯片显微照片。

有线和光收发器、光互连和处理器

“一款基于 RibbonFET 和 PowerVia 技术的 18A 工艺 PAM-4 发射器：实现 128Gb/s 的速率和 0.67pJ/b 的能效”（论文 C12-2）

英特尔的研究人员展示了一款基于DAC的全集成128 Gb/s发射器(TX)，专为长距离有线应用而设计，采用18A CMOS工艺制造，并配备RibbonFET、PowerVia和背面供电网络。背面电源层也可用于电感和时钟分配。该TX实现了0.67 pJ/bit的最佳能效（带PLL时为0.75 pJ/bit），并且占位面积业内最小，同时满足PAM-4标准关键电气合规性规范。



图：（a）基于DAC的PAM-4发射器框图。（b）利用背面低电阻金属的输出网络设计。（c）实测发射器眼图。