



2025 年 VLSI 技術及電路研討會技術亮點

2025 年 VLSI 技術及電路研討會是頂尖的國際會議，這場國際會議記載微/奈米積體電子的發展速度、進度和演進，預計於 2025 年 6 月 8 日至 12 日舉辦。研討會將在日本京都的麗嘉皇家酒店 (Rihga Royal Hotel) 現場舉辦，讓參與者有機會當面交流。

這次研討會以「培育 VLSI 花園：從創新種子到蓬勃發展」為核心主題，活動日程之中整合了進階技術發展、創新電路設計及其各種應用。這些應用協助全球社會進入一個智慧連網裝置、基礎架構及系統的新紀元，改變了人類彼此互動的方式。

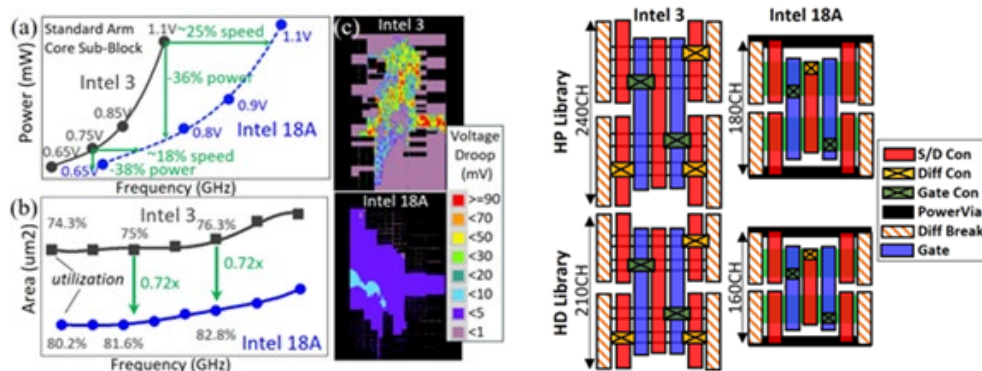
下列是以此為主題的一些精彩論文介紹：

技術焦點

進階 CMOS 技術

「採用 RibbonFET (GAA) 和 Power Via 的 Intel 18A 平台技術，適用於進階高效能運算」 – Intel (論文 T1-1)

採用 RibbonFET 和 Power Via 的先進 Intel 18A 技術與 Intel 3 相比，提供超過 30% 的更高密度和完整節點的效能提升。Intel 18A 提供高效能 (HP) 及高密度 (HD) 標準元件庫，具有完整功能的技術設計能力，同時強化設計易用性。

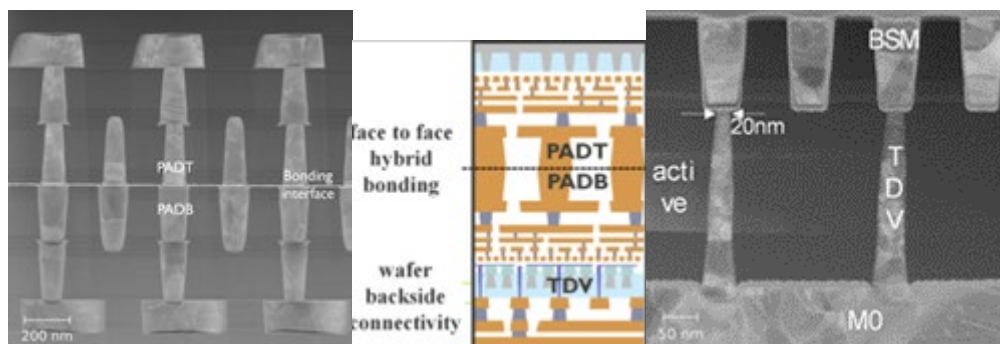


圖：(左) Intel 18A 與 Intel 3 PPA (功耗、效能、面積) 比較。(右) Intel 18A 與 Intel 3 高密度元件庫、高效能元件庫。

先進封裝

「在晶圓極度薄化後，採用 250nm 間距的正面混合鍵合和 120nm 間距的背面介電通孔實現高密度晶圓級連接」 – imec (論文 T6-1)

imec 展示採用 250nm 間距面對面混合鍵合和 120nm 間距背面介電通孔的高密度晶圓級連接。透過在淺溝槽隔離層之外進行晶圓極度薄化，實現晶圓的背面連接。

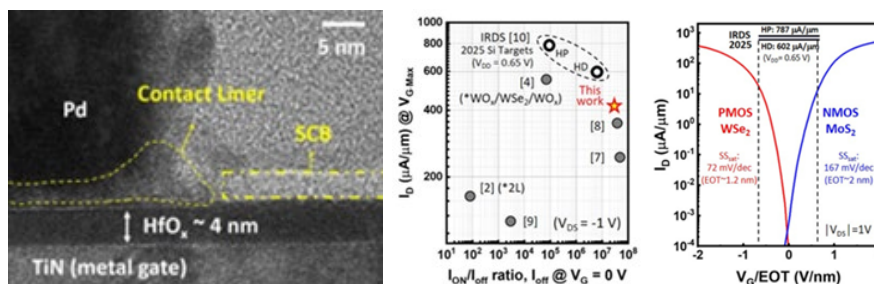


圖：(左) 採用 250nm 間距的面對面混合鍵合，(中) 異質 3D 封裝中面對面混合鍵合和背面連接的示意圖，以及 (右) 透過介電通孔 (TDV) 實現的正面到背面連接。

適用於 CMOS 微縮和新元件的製程與材料

「實現單層 WSe₂ 通道 PMOS 的效能提升」 – 台灣積體電路製造股份有限公司 (TSMC) (論文 T1-4)

TSMC 展示，具有單層 (1L) WSe₂ 通道和等效閘極氧化物厚度為 1.2 nm 的背柵 PMOS 在增強模式下運作時，在 V_{DS} 為 -1 V 時達到 400 $\mu\text{A}/\mu\text{m}$ 的導通電流，次臨界擺幅為 72 mV/dec，開/關比為 7 個數量級，幾乎沒有遲滯特性。這些結果使得 1L WSe₂ 成為微縮 p 通道更具競爭力的選擇。

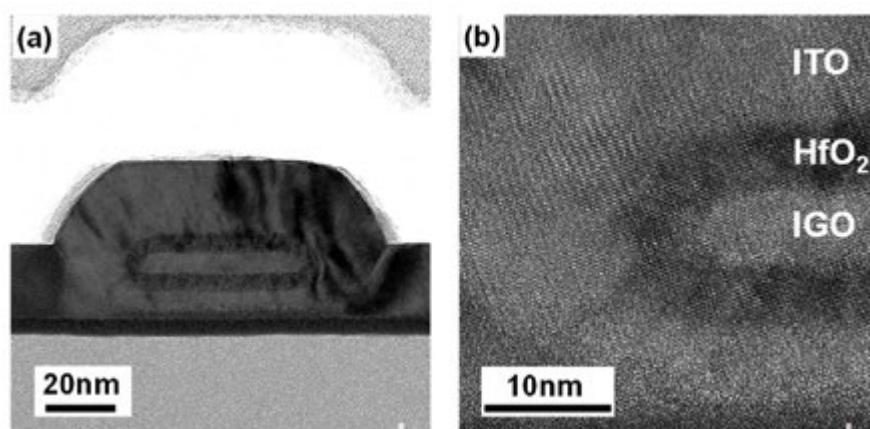


圖：(左) WSe₂ 裝置的高解析度橫截面 TEM 影像，其背閘極介電層物理厚度為 4 nm，具有犧牲接觸緩衝 (SCB) 層和接觸襯墊。(中) 導通電流與開/關比的基準比較，(右) 可能的 CMOS 組合與 PMOS-WSe₂ 和 NMOS-MoS₂ 與 IRDS 2025 目標比較。

適用於 CMOS 微縮和新元件的製程與材料

「透過選擇性結晶 InGaOx 實現閘極環繞式奈米片氧化物半導體電晶體，以提高效能和可靠性」－東京大學、日本產業技術綜合研究所 (AIST) 和奈良先端科學技術大學院大學 (Nara Institute of Science of Technology) (論文 T6-3)

東京大學和奈良先端科學技術大學院大學展示透過 ALD 製程生長的晶體 InGaOx 與傳統非晶態材料相比，遷移率獲得大幅改善。他們還發現了實現最佳遷移率和偏壓應力可靠性的材料組成比。此外，他們開發了閘極環繞式奈米片電晶體與晶體 InGaOx 的整合製程，並展示常關操作和高偏壓應力可靠性。此研究成果將促進氧化物半導體電晶體在 LSI 應用領域的元件微縮發展。

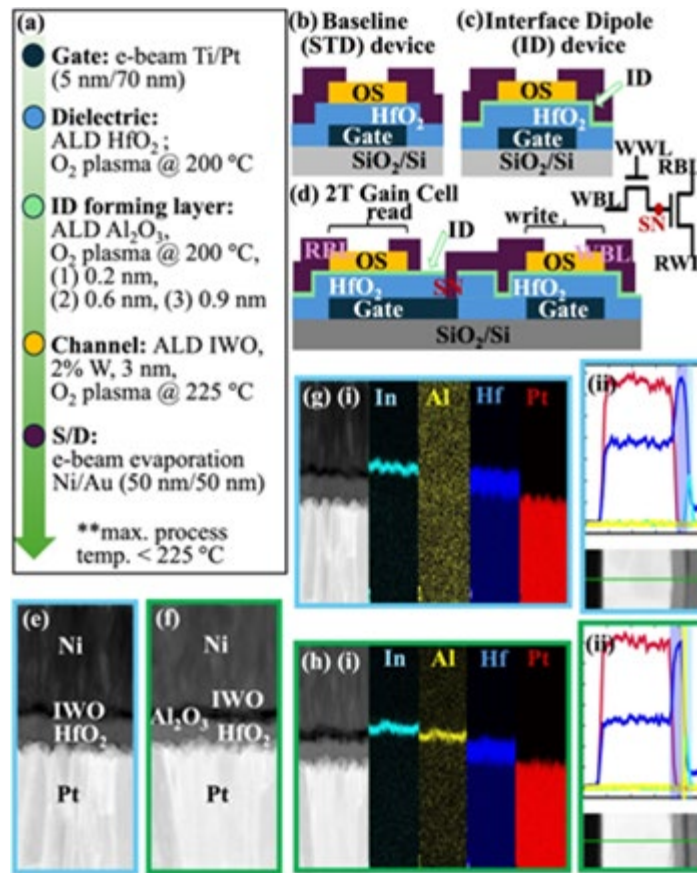


圖：本研究中製造的閘極環繞式奈米片 InGaOx 電晶體的橫截面 TEM 影像。右圖是左圖的放大圖。

適用於 CMOS 微縮和新元件的製程與材料

「透過介面電偶極子調控實現氧化物半導體 2T 增益單元的正交 V_T 調變」－史丹佛大學和台灣積體電路製造股份有限公司 (TSMC) (論文 T19-1)

閘極介電質的介面調控作為一個獨立手段來調整雙電晶體增益單元記憶體體的氧化物半導體場效電晶體 (FET) 的臨界電壓。運用氧化銻鎢 (IWO) FET 的介面電偶極子調控，與標準 HfO2 閘極介電質相比，臨界電壓增加 450-500mV，並且此 ΔV_t 在 85°C 至低溫範圍內維持不變。

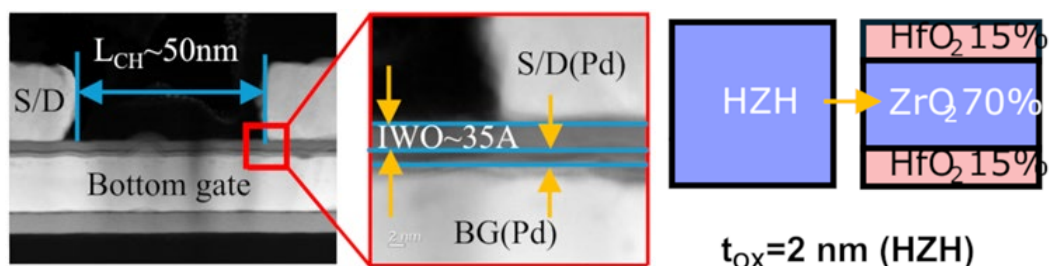


圖：採用介面電偶極子調控的氧化物半導體增益單元的製程。橫截面 TEM 影像及 EDS 元素圖。

元件物理、特性、建模和可靠性

「具有 3 埃 EOT、更高穩定性和高導通電流的鎢摻雜氧化銦 MOSFET 展示」－ 喬治亞理工學院和 Samsung Electronics Co., Ltd (論文 T1-3)

喬治亞理工學院和 Samsung Electronics 展示 W 摻雜 In_2O_3 (IWO) 通道 MOSFET 的高導通電流和更高穩定性。採用 $\text{HfO}_2\text{-ZrO}_2\text{-HfO}_2$ (HZH) 層壓閘極介電質可使 EOT 縮小至 0.3 nm，達到 $244 \mu\text{A}/\mu\text{m}$ 的高導通電流。此外，HZH 閘極堆疊有效抑制正、負偏壓的不穩定性。這次展示的具有 HZO 閘極介電質的 IWO MOSFET，為使用 BEOL 製程開發可靠的 3D 積體電路奠定了基礎。

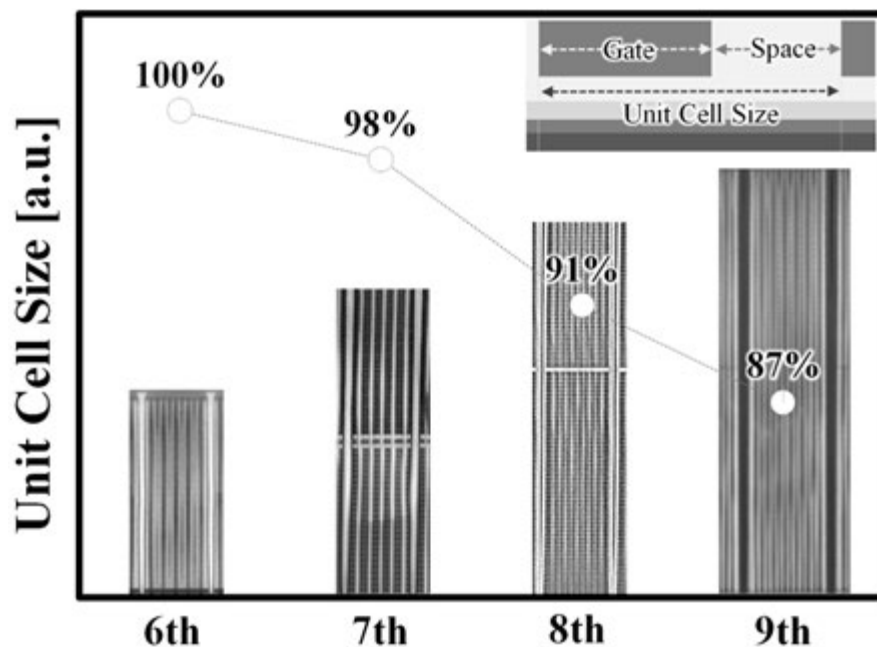


圖：(左) 橫截面 STEM，顯示 $L_{ch} = 50\text{ nm}$ 、 3.5 nm IWO 通道和 2 nm HZH 閘極堆疊。(右) HZH 堆疊中的 $\text{HfO}_2/\text{ZrO}_2/\text{HfO}_2$ 厚度組成。

記憶體技術

「1Tb 第 9 代 3D-NAND 快閃記憶體技術的高度可擴展和可靠的單元特性」 – Samsung Electronics Co., Ltd (論文 T1-5)

Samsung 詳細介紹 286 層的第 9 代 3D-NAND 快閃記憶體。由於垂直和橫向尺寸的大幅縮小，位元密度與前一代相比提高了 50%。先進 ONO 材料應用克服了由於極端微縮而導致的可靠性問題，用最小的單元體積提供高度可靠的 3D-NAND。

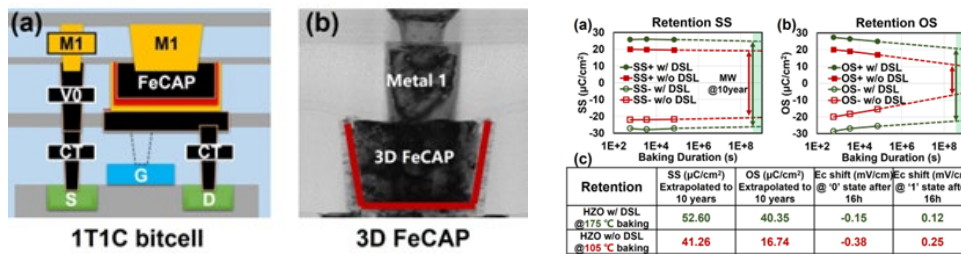


圖：第 6 代至第 9 代 3D-NAND 快閃記憶體的垂直橫截面 SEM 視圖和最小記憶單元尺寸。

記憶體技術

「適用於嵌入式非揮發性記憶體應用的具有高保留性 ($>125^\circ\text{C}$) 和高耐久性 ($>1\text{E}13$) 的 1T1C 3D HZO FeRAM」 – Huawei Technologies Co., Ltd (論文 T6-5)

Huawei 發布採用氧化鋯鈣 (HZO) 材料的高效能 1T1C 3D FeRAM 測試晶片。此測試晶片採用 40 nm CMOS 平台上 7 nm 厚 HZO 薄膜構成的溝槽結構鐵電電容器 (FeCAP)，實現 10 年的資料保存時間和在 125°C 下的穩定運作。此外，由於採用在 HZO 薄膜兩側放置缺陷屏蔽層 (DSL) 的新型堆疊設計，有效抑制了鐵電記憶體中常見的疲勞、壓印和夾止現象等問題。此記憶體陣列容量為 32 Mb ，即使在 -5.2σ (0.1 ppm) 下也能展現出約 340 mV 的記憶體視窗，且在 10^{11} 次寫入週期和 10^{13} 次讀取週期以及 125°C 的高溫烘烤之後，仍能保持 200 mV 以上的記憶體視窗。這些結果大幅提升在嵌入式非揮發性記憶體 (eNVM) 應用中替代 eFlash 的潛力。

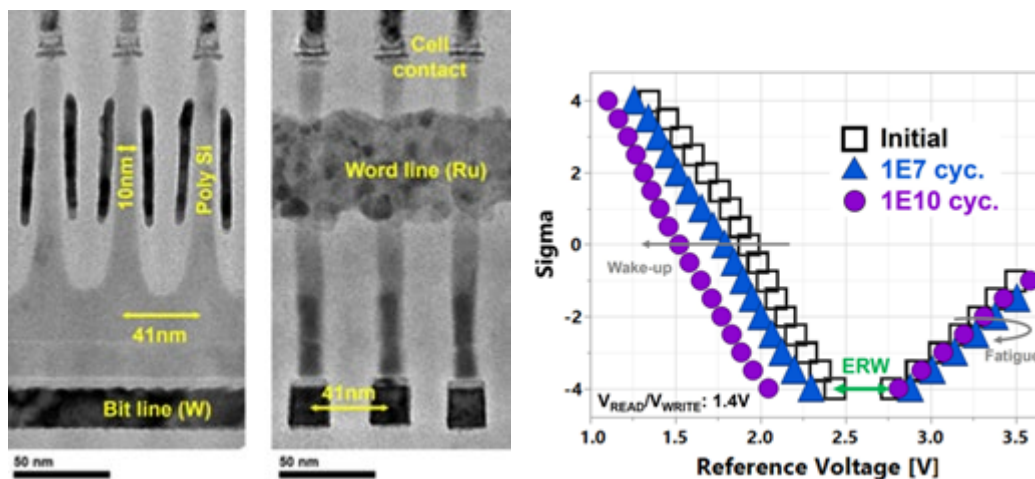


圖：(左) 3D FeRAM 的示意結構和 TEM 橫截面。(右) 保留特性。

記憶體技術

「針對低功耗和高密度應用的鐵電 NVDRAM 的電壓降低 (1.4V) 和陣列微縮 (41nm)」
– Micron Technology Inc. (論文 T6-2)

第二代微縮鐵電 NVDRAM，具有縮小的 x 和 y 方向間距 (41nm)、更薄的鐵電堆疊層 (5nm) 和更低的陣列操作電壓 (讀/寫為 1.4V)。完整晶片陣列資料顯示經過 $1\text{E}10$ 次循環後， -4σ 的視窗 $>250\text{mV}$ 。這是目前密度最高，同時效能也非常高的 1T1C 鐵電技術。為確保在縮小尺寸的情況下保持效能，已解決多種材料和電性方面的難題。

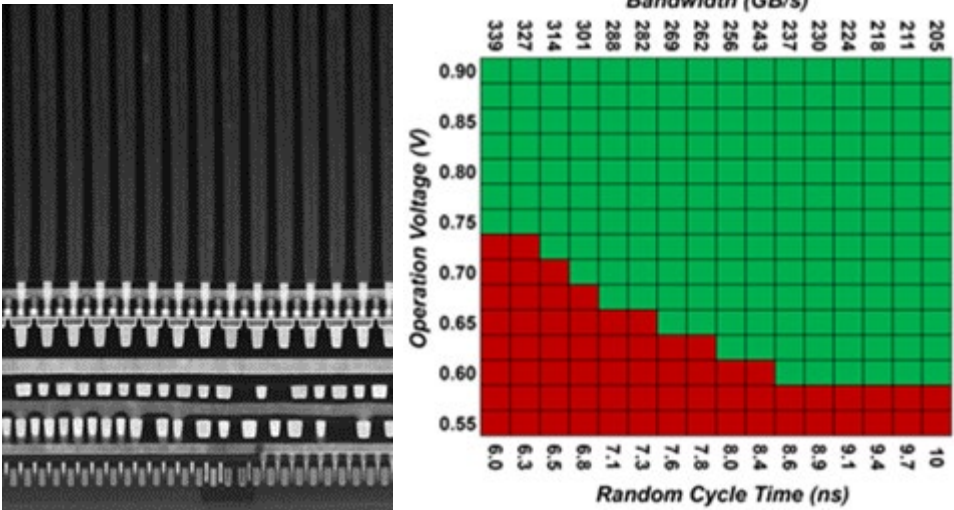


圖：(左) 存取元件的 TEM 橫截面。(右) 5nm 鐵電堆疊在 1.4V、95°C 下作業的耐久特性。

記憶體技術

「將 $0.75\text{V } V_{\text{DD}}$ 氧化物半導體 1T1C 記憶體與先進邏輯整合，實現超低功耗低延遲快取解決方案」– 台灣積體電路製造股份有限公司 (TSMC) (論文 T2-1)

TSMC 成功展示了 BEOL 記憶體與先進邏輯的單片整合。記憶體陣列完全嵌入在 BEOL 中，具有氧化物半導體通道選擇器和低溫製程電容器。這種與先進邏輯相容的 BEOL 記憶體技術可以提供密度高於 SRAM、可客製化、超低功耗、低延遲快取的解決方案。

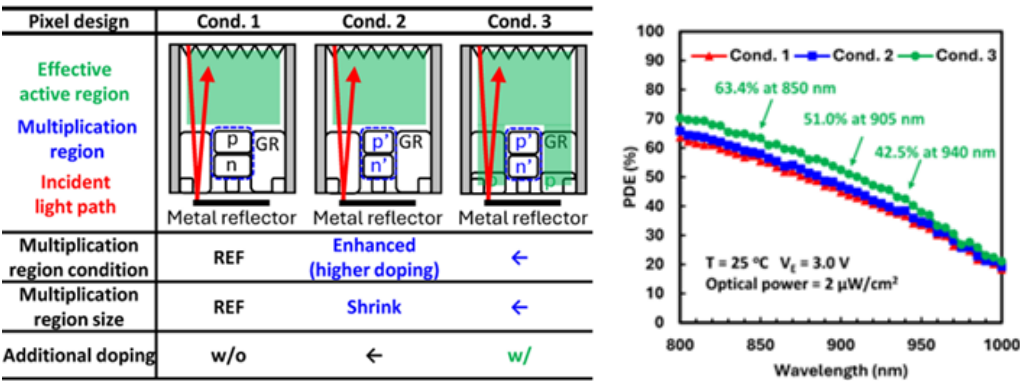


圖：(左) 單元陣列區域橫截面 TEM。(右) 在 85°C 和 128ms 保留時間下的 Shmoo 圖。

影像感測器技術

「採用最佳化摻雜設計的背照式 10 μm 間距 SPAD 深度感測器，在 940 nm 波長下 PDE 為 42.5%」 – Sony Semiconductor Solutions (論文 T1-2)

本研究採用在 300 mm CMOS 平台上建造的具有背照式 (BI) 結構的 10 μm 間距單光子雪崩二極體 (SPAD) 深度感測器。為了提高光子偵測效率 (PDE)，倍增區設計也經過最佳化，以增加蓋革模式的觸發機率，並導入最佳化的摻雜設計，實現更高效的電荷收集。結果，在 940 nm 波長下實現了 42.5% 的全球最高 PDE。

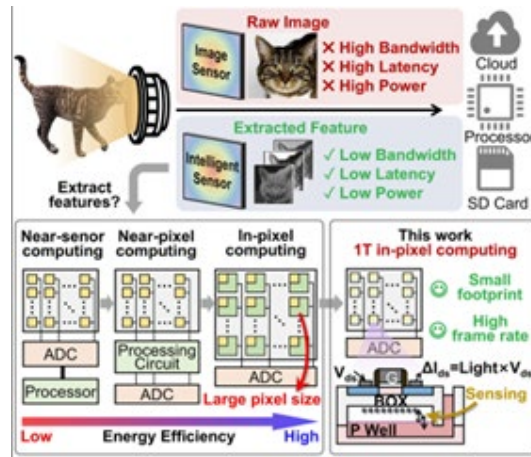


圖：(左) 像素設計比較，(右) PDE 實驗結果

影像感測器技術

「首次展示基於 1T FDSOI 且具有像素內運算功能的超過 1000fps 影像感測器」 – 北京大學 (論文 T6-4)

北京大學展示基於 1T 22nm FDSOI 像素的 128x128 影像感測器，其運用埋入式氧化物下的深耗盡區進行光學感測。主要特色包括：(1) 由於 FET 的放大效應，光敏性極高，可達 5×10^5 A/W；(2) 可以透過閘極/汲極電壓調整光敏性，實現 1T 結構中的像素內運算能力；(3) 晶片可利用像素內處理能力和建議的曝光/取樣/讀出解耦管線設計，實現超過 1000 fps 的成像和特徵擷取。



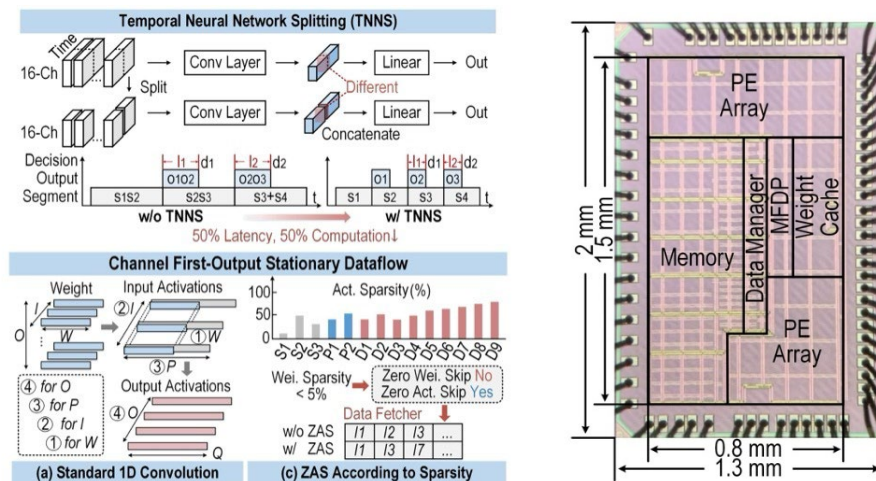
圖：各種智慧感測器架構以及為解決感測器資料傳輸過程中出現的問題所提出的此項研究。

電路焦點

生物醫學裝置、電路與系統

「PANDA：用於癲癇監控的 3.178 TOPS/W 可重組癲癇發作預測和偵測神經網路加速器」(論文 C21-1)

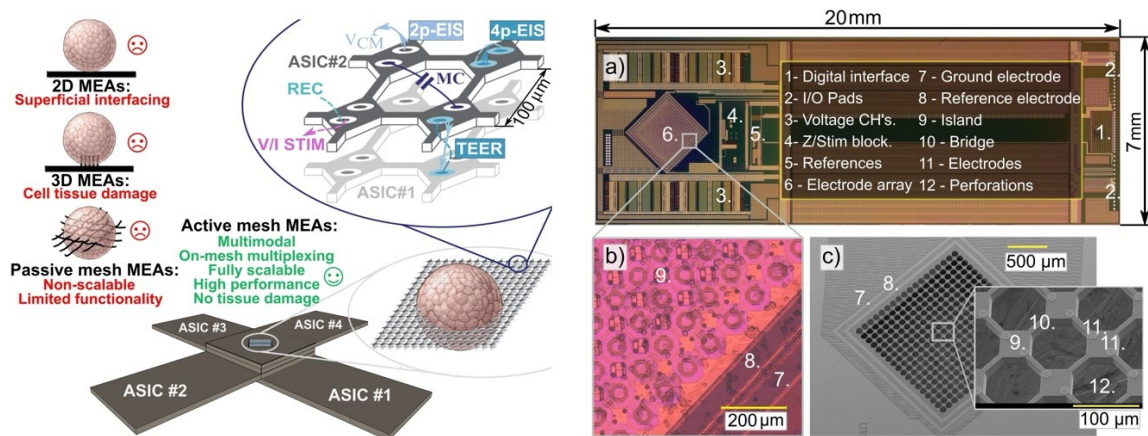
來自北京大學、南方醫科大學和南方科技大學的團隊將展示一種名為 PANDA 的可重組神經網路加速器，用於癲癇發作偵測和預測。作者透過對神經網路進行時間劃分並使用統計資訊改善資料流，以提升偵測/預測作業的效率。他們對癲癇發作的敏感度達到 99%，偽陽性率為 0.43 次/小時，運算效率為 3.178 TOPS/W。



圖：(左) 建議的架構，(右) 晶片顯微照片。

「用於 3D 類器官無縫介接的活性矽穿孔 MEA，具低雜訊且可擴展的多模電生理記錄能力」(論文 C24-1)

Imec 提出一種用於 3D 類器官介接的活性矽穿孔 MEA (微電極陣列)，整合 CMOS 電子裝置，可實現低雜訊、高解析度記錄、刺激和電化學阻抗頻譜 (EIS)。MEA 具有可擴展的 256 島網格和多工作業，可實現低輸入參考雜訊 ($9.1 \pm 1.5 \mu\text{V}_{\text{rms}}$ ，300Hz~10kHz) 和低功耗 (每個島 $11.3 \mu\text{W}$)。心肌細胞體外試驗顯示，透過電壓刺激，可實現精確的記錄、網路傳播映射和細胞內記錄。這種穿孔 MEA 提供無與倫比的功能性和可擴展性，推動器官晶片的研究。

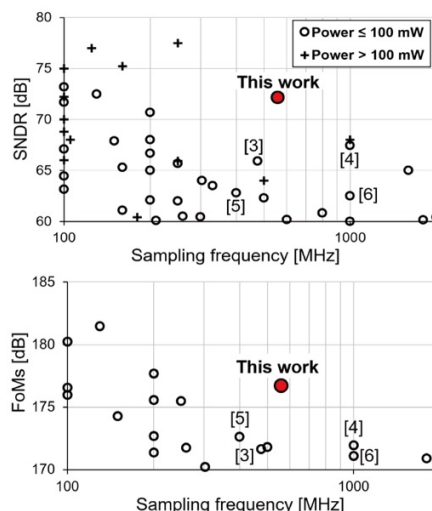
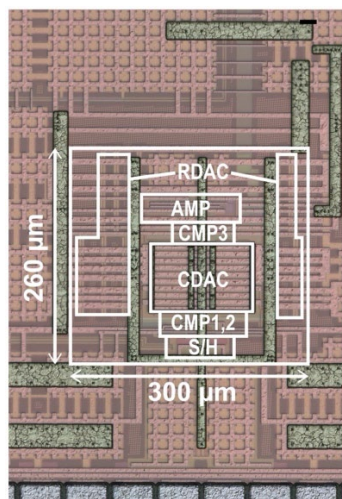


圖：(左) 具有 4 個堆疊穿孔 MEA 的 3D CMOS MEA 系統概念，(右) a) 晶片照片 b) 電極陣列上的心肌細胞培養 c) 具有穿孔、島和電極的完全製造懸浮網的 SEM 影像。

資料轉換器

「採用多閾值比較器的放大器開關架構的 11.9 ENOB 560 MS/s 次區間 ADC」(論文 C8-1)

東京大學提出採用放大器開關次區間架構的 14 位元 560 MS/s ADC。另外還提出一種具有時間門鎖級的多閾值比較器，可透過單一輸入對實現 16 級決策。裝置採用 28nm CMOS 製造，在奈奎斯特輸入下實現 72.14 dB SNDR，在 560 MS/s 下功耗為 9.76 mW，因此可達到 176.7 dB Schreier FoM。

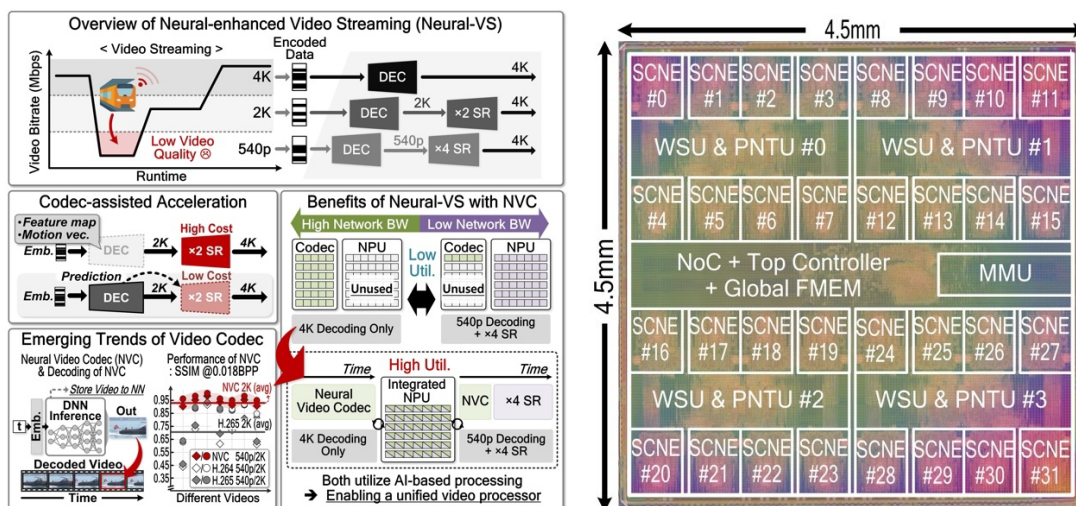


圖：28nm CMOS 原型的晶片照片，以及與 $F_s > 100$ MHz 最先進的奈奎斯特速率 ADC 的效能比較。

適用於 ML/DL 和新運算的裝置與加速器

「NuVPU：4.8~9.6 mJ/幀的漸進式 NTT 架構統一視訊處理器，透過神經視訊編解碼器實現穩定的視訊串流傳輸和處理」(論文 C10-2)

KAIST 研究人員推出 NuVPU，這是第一款統一神經視訊處理器，可加速神經視訊編解碼器 (NVC) 的串流傳輸和後處理，速度高達 36.9 TOPS/W，效能比先前設計高出 9.2 倍。NuVPU 運用選擇性卷積模式神經引擎 (SCNE) 和漸進式 NTT 單元 (PNTU)，自適應地切換運算域，並將邏輯和記憶體開銷降低多達 80%，將處理量提高 3.35 倍。具有頻率感知壓縮和自適應排程的新型記憶體架構，可將外部記憶體存取量減少 81.3%，因此能在多變的網路條件下實現穩定的 4K 視訊傳輸。

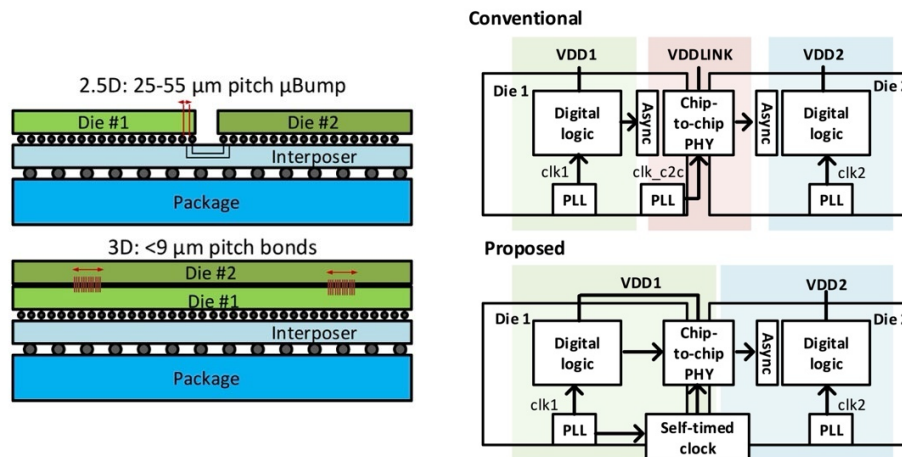


圖：NuVPU 晶片支援流暢 4K 神經視訊串流傳輸和具有 NTT 架構加速功能的後處理。

數位電路、硬體安全性、訊號完整性、輸入輸出

「用於 3nm 製程中 2.5D 和 3D 互連的 77 fJ/bit 8 Gbps 低延遲自定時晶片間連結」(論文 C7-3)

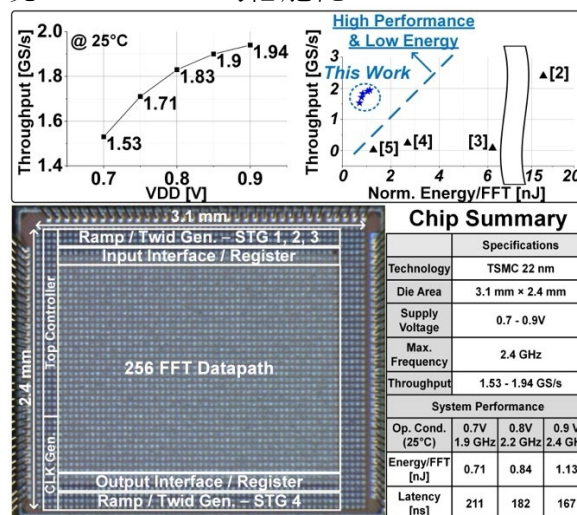
NVIDIA 研究人員展示了使用標準自適應數位時脈和電壓電源，用於 2.5D 和 3D 堆疊晶片互連的自定時晶片間序列連結。此連結在 3nm 製程下實現了 8Gbps/pin 頻寬，單週期延遲，能源效率為 77fJ/b，在 0.7V 時實現 44 Tbps/mm²。



圖：(左) 2.5D 和 3D 封裝的橫截面，(右) 傳統架構和建議架構的比較。

「使用浮點類比運算的 0.71nJ、1.53GS/s 處理量 256-FFT」(論文 C23-1)

密西根大學提出了使用類比浮點實作的 256 點 FFT 引擎。建議的方法使用電壓和脈衝寬度以及數位 4 位元指數對尾數值進行編碼。晶片採用 22nm CMOS 實作，在 1.53 GS/s 的高處理量下實現 0.71nJ/FFT 的低能耗。

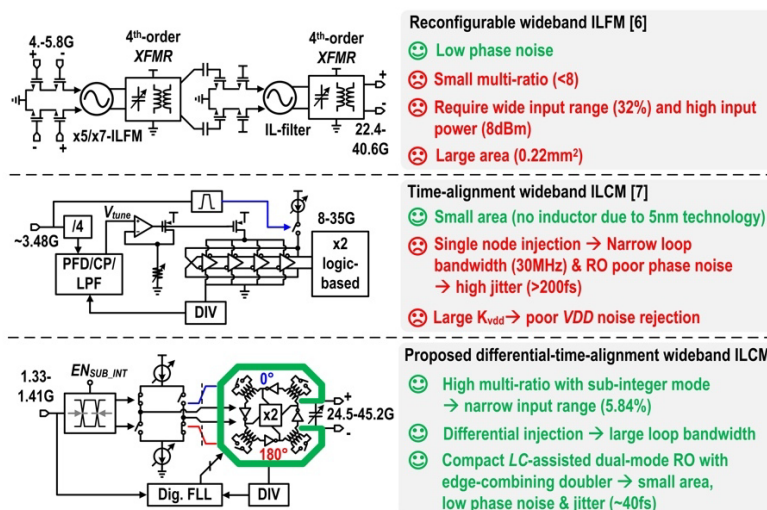


圖：處理量與 Vdd 的關係、FoM 與其他研究的比較，以及晶片顯微照片

頻率產生和時脈電路

「24.5 至 45.2 GHz 雙注入時脈倍頻器，採用折疊電感器架構的磁通消除技術，可實現 32.83 fsrms 抖動和 0.037 mm² 核心面積」(論文 C19-1)

都柏林大學提出了具有寬頻率調諧範圍和低抖動的注入鎖定時脈倍頻器 (ILCM)。LC 系列雙模正交環形振盪器與倍頻器採用共同設計，同時擴展頻率調諧範圍並降低毫米波頻段的相位雜訊。利用差分時間對齊技術，實現較大的迴路頻寬。建議的電路採用 28nm CMOS 製造，核心面積為 0.037 mm²，可實現 24.5 至 45.23 GHz 的輸出頻率範圍，在 39.5 GHz 時測得的 RMS 抖動為 32.83 fs。

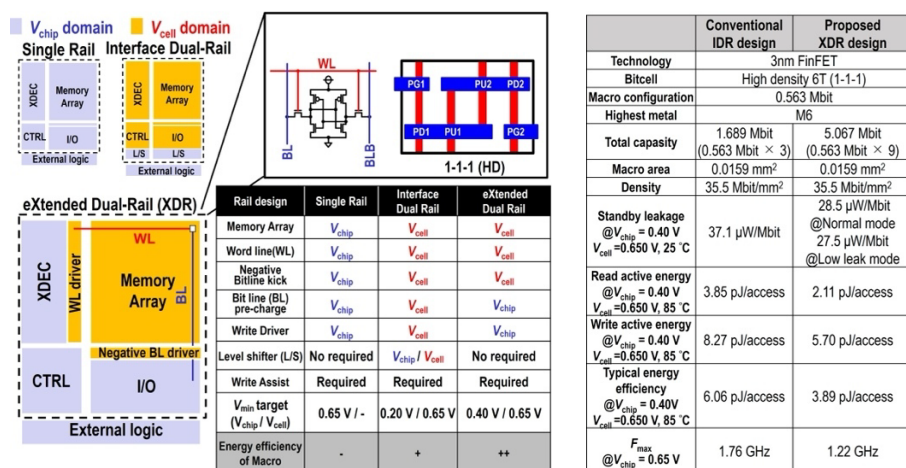


圖：具有大型高階變壓器的先前寬頻注入鎖定倍頻器 (ILFM)、單節點注入環形振盪器 (RO) 及建議的折疊 LC 輔助雙注入時間對齊時脈倍頻器的概念圖。

記憶體技術、裝置、電路和架構

「3nm FinFET 563kbit 35.5Mbit/mm² 雙軌 SRAM，具有 3.89pJ/存取高能效和 27.5uW/Mbit 單週期延遲的低洩漏模式」(論文 C4-1)

TSMC 的作者展示了採用擴展雙軌 XDR 架構和兩項關鍵技術，用於行動應用的高密度 (HD) 6T SRAM。延遲寫入 WL (DeWL) 技術解決儲存單元與寫入驅動器 (WDRV) 間的爭用問題，而單週期延遲的低洩漏模式 (1-CLM) 透過在無操作 (NOP) 期間關閉 BL 預充電器來降低功耗。3nm FinFET 測試晶片的有效電能降低 17%，待機漏電減少 10%。

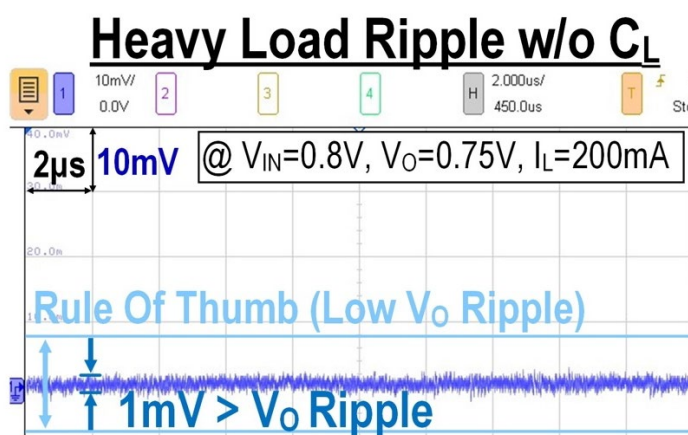


圖：三種 SRAM 巨集架構和特色的比較。

電源管理裝置和電路

基於 0.087 fs FOM 電流鏡的類比輔助數位 LDO，具有 VO 漣波最佳化功能 (論文 C18-1)

西江大學提出了一種基於電流鏡的類比輔助 (CBAA) 數位低壓差穩壓器 (DLDO)，可實現快速瞬態回應和輸出電壓 (Vo) 漣波最佳化。在 200 mA 負載電流下，其 Vo 漣波小於 1 mV。CBAA DLDO 採用 28 nm CMOS 製程製造，在低輸入電壓 DLDO 中表現出 0.087 fs 的優異品質因數 (FOM)。



圖：測得的 LDO 輸出電壓波形在 200 mA 負載電流下具有小於 1 mV 的 Vo 漣波。

處理器和 SoC

MAVERIC : 16nm 72 FPS、10 mJ/幀異質機器人 SoC，配備 4 個核心和 13 個 INT8/FP32 加速器 (論文 C10-5)

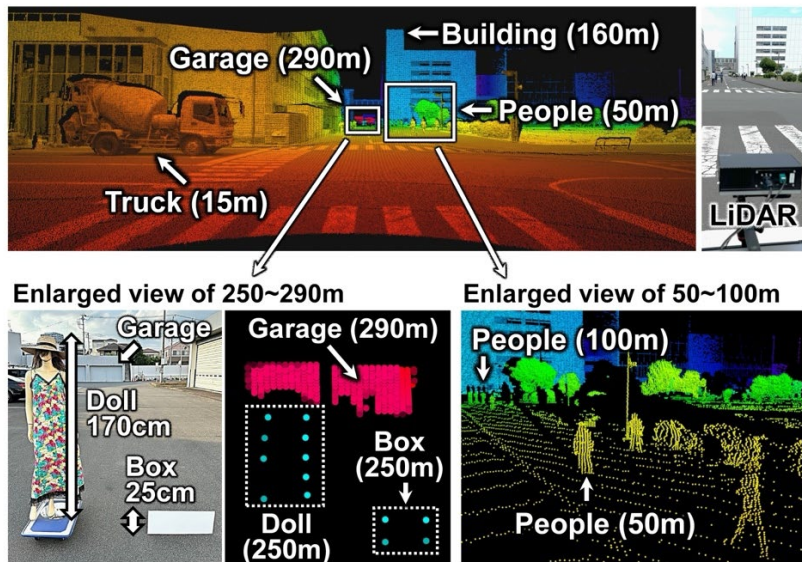
加州大學柏克萊分校的研究人員提出了用於機器學習和機器人應用的異質 SoC (MAVERIC)，配備 4 個核心和 13 個 INT8/FP32 加速器單元。3D 重建機器人應用整

[illegible]

感測器、成像器、物聯網、MEMS、顯示電路

Sony Semiconductor Solutions 透過管線直方圖處理和資料輸出，並透過擷取晶片內的距離資訊來減少輸出資料量，實現每秒 **25M** 點的距離測量。這可實現 **FoV** 為 **120°/26°**、角度解析率為 **0.05°** 和幀率為 **20 fps** 的距離測量，滿足自動駕駛 **3 級** 以上所使用的光達效能。此外，透過採用多相時脈的等效時間取樣方法，在不增加資料量的情況下提高測量準確度。此感測器可偵測距離 **250 m** 處高度 **25 cm** 的物體，而在距離最遠 **300 m** 處的最大距離準確度為 **17 cm**。

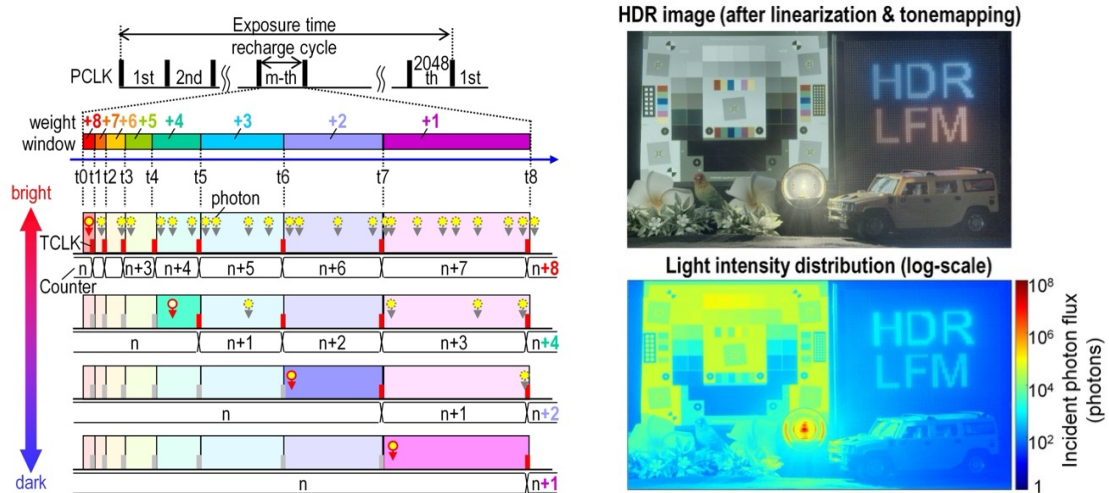
3D Point Cloud



圖：使用目前的感測器系統擷取影像和測量資料。

「2/3 吋 210 萬像素 SPAD 影像感測器，具有 156dB 單次動態範圍和基於加權光子計數技術的 LED 閃爍抑制功能」(論文 C27-1)

Canon 推出用於汽車應用的 SPAD 影像感測器。新穎的加權光子計數技術可實現 156 dB 動態範圍，並具有 LED 閃爍抑制和流暢全域快門作業。此外，透過無讀取雜訊的作業，可確保對 0.1 lux 以下的目標進行影像擷取。

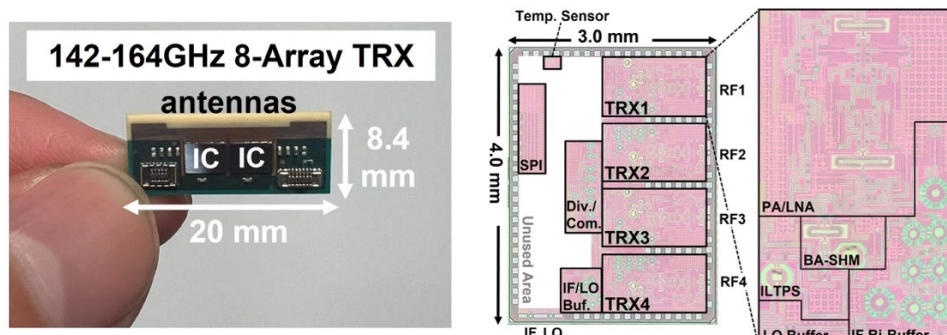


圖：(左) 加權光子計數 (WPC) 的操作原則。
(右) HDR 影像及其光強度分布。

無線和射頻裝置電路和系統

適用於 6G UE 模組且採用 65nm CMOS 的 150 GHz 高功率密度相位陣列收發器 (論文 C28-1)

由東京科學大學帶領的合作計畫推出了用於行動裝置的超小型無線模組 IC，其設計用於 150 GHz (D 頻段) 頻率範圍，預計將用於第六代行動通訊系統 (6G)。封裝天線 (AiP) 整合了兩個採用 65nm CMOS 技術製造的相位陣列收發器 IC。每個天線路徑的功耗在傳輸時為 150 mW，接收時為 93 mW，可達到 56 Gb/s 的資料傳輸速率。

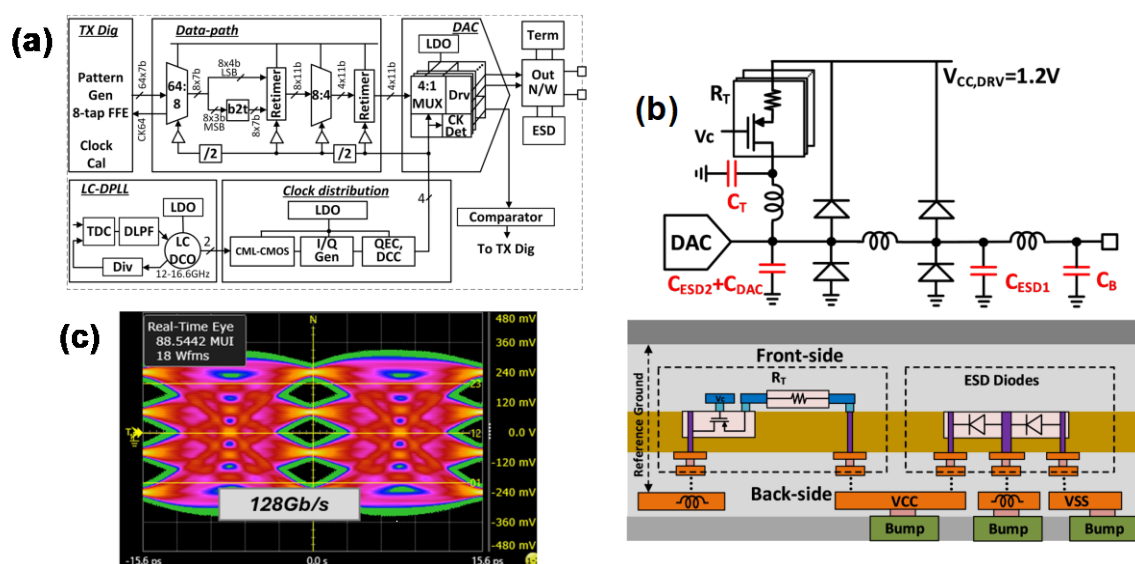


圖：(左) 8 元件封裝天線 (AiP) 模組，由建議的 4 元件 D 頻段收發器晶片組成，(右) 晶片顯微照片。

有線和光學收發器、光學互連和處理器

「採用 RibbonFET 和 PowerVia 的 18A 128Gb/s 0.67pJ/b PAM-4 發射器」(論文 C12-2)

Intel 的研究人員展示了一款完全整合的 128 Gb/s DAC 架構發射器 (TX)，專為長距離有線應用所設計，採用 18A CMOS 製程，並配備 RibbonFET、PowerVia 和背面供電網路。背面電源層也用於電感器和時脈分配。這款 TX 實現 0.67 pJ/bit 的最佳能源效率 (使用 PLL 時為 0.75 pJ/bit)，以及達到目前報導中最小面積規格，同時滿足 PAM-4 標準的關鍵電氣合規規範。



圖：(a) 基於 DAC 架構的 PAM-4 TX 區塊圖。(b) 利用背面低電阻金屬的輸出網路設計。(c) 測得的 TX 眼圖。